

Міністерство освіти і науки України
Тернопільський національний технічний університет імені Івана Пулюя

Факультет комп'ютерно-інформаційних систем і програмної інженерії
(повна назва факультету)

Кафедра комп'ютерних систем та мереж
(повна назва кафедри)

КВАЛІФІКАЦІЙНА РОБОТА

на здобуття освітнього ступеня

бакалавр

(назва освітнього ступеня)

на тему: *Розробка 8-бітного центрального процесора*

Виконав: студент 4 курсу, групи СІ-41
спеціальності 123 «Комп'ютерна інженерія»

(шифр і назва спеціальності)

(підпис)

Магдич С. І.

(прізвище та ініціали)

Керівник

(підпис)

(прізвище та ініціали)

Нормоконтроль

(підпис)

(прізвище та ініціали)

Завідувач кафедри

(підпис)

Осухівська Г.М.

(прізвище та ініціали)

Рецензент

(підпис)

(прізвище та ініціали)

Тернопіль
2025

Міністерство освіти і науки України
Тернопільський національний технічний університет імені Івана Пулюя

Факультет комп'ютерно-інформаційних систем і програмної інженерії
(повна назва факультету)

Кафедра комп'ютерних систем та мереж
(повна назва кафедри)

ЗАТВЕРДЖУЮ
Завідувач кафедри
Осухівська Г.М.
(підпис) (прізвище та ініціали)
«27» січня 2025 р.

ЗАВДАННЯ
НА КВАЛІФІКАЦІЙНУ РОБОТУ

на здобуття освітнього ступеня бакалавр
(назва освітнього ступеня)

за спеціальністю 123 «Комп'ютерна інженерія»
(шифр і назва спеціальності)

студента Магдича Степана Ігоровича
(прізвище, ім'я, по батькові)

1. Тема роботи Розробка 8-бітного центрального процесора

Керівник роботи Тиш Євгенія Володимирівна к.т.н.
(прізвище, ім'я, по батькові, науковий ступінь, вчене звання)

Затверджені наказом ректора від « 27 » січня 2025 року № 4/7-53

2. Термін подання студентом завершеної роботи 19.06.2025

3. Вихідні дані до роботи Технічне завдання

4. Зміст роботи (перелік питань, які потрібно розробити)

Вступ. 1. Аналіз технічного завдання

2. Проєктна частина

3. Практична частина

4. Безпека життєдіяльності, основи охорони праці.

Висновки

5. Перелік графічного матеріалу (з точним зазначенням обов'язкових креслень, слайдів)

1. Схема електрична принципова 8-бітного процесора

2. Схема електрична принципова плати керування 8-бітним процесором

3. Структурна схема

4. Блок-схема алгоритму роботи

6. Консультанти розділів роботи

Розділ	Прізвище, ініціали та посада консультанта	Підпис, дата	
		завдання видав	завдання прийняв
<i>Безпека життєдіяльності, основи охорони праці</i>			

7. Дата видачі завдання 27.01.2025 р.

КАЛЕНДАРНИЙ ПЛАН

[illegible]

Студент

(підпис)

(прізвище та ініціали)

Керівник роботи

(підпис)

(прізвище та ініціали)

АНОТАЦІЯ

Магдич С. І. Розробка 8-бітного центрального процесора: робота на здобуття кваліфікаційного ступеня бакалавра: спец. 123 — комп'ютерна інженерія. Тернопіль: Тернопільський національний технічний університет імені Івана Пулюя, 2025.

Ключові слова: комп'ютерна система, процесор, комп'ютерна логіка, центральний процесор, мікросхема.

Об'єкт проєктування – 8-бітний центральний процесор.

Проєкт складається з чотирьох розділів.

Перший розділ присвячено аналізу технічного завдання. Приводиться детальний аналіз компонентів, логічних елементів пристрою.

Другий розділ присвячений проєктуванню компонентів з логічних елементів, логічних компонентів з польових транзисторів методом логічного сімейста CMOS, яке, також, обґрунтовано, після цього проводиться тестування.

Третій розділ показує вибір та заміну певних компонентів 8-бітного центрального процесора на існуючі варіанти для спрощення схем та зменшення їх кількості. Усі елементи перекомпоновуються.

Четвертий розділ присвячений вимогам безпеки на робочу місці та опису працездатності людини–оператора.

ANNOTATION

Mahdych S.I. Development of an 8-bit central processor: Bachelor's Graduation Thesis: speciality 123 — computer engineering. Ternopil: Ternopil Ivan Puluj National Technical University, 2025.

Keywords: computer system, processor, computer logic, central processing unit, microchip.

The object of the project is an 8-bit central processing unit (CPU).

The project consists of four chapters.

The first chapter is dedicated to the analysis of the technical assignment. A detailed analysis of the components and logical elements of the device is provided.

The second chapter focuses on the design of components based on logic gates, as well as logic components built using field-effect transistors with CMOS logic family technology; the choice of this family is also explained.

The second chapter is dedicated to the design of components using logic gates and the development of logic components based on field-effect transistors using the CMOS logic family method, which is also explained. After that, testing is performed.

The third chapter presents the selection and replacement of certain components of an 8-bit central processors with existing alternatives to simplify the circuits and reduce their number. All elements are restructured.

The fourth chapter focuses on workplace safety requirements and the description of human operator performance..

ЗМІСТ

ВСТУП	9
РОЗДІЛ 1 АНАЛІЗ ТЕХНІЧНОГО ЗАВДАННЯ	10
1.1 Кваліфікація 8-бітного процесора.....	10
1.2 Опис компонентів 8-бітного процесора, їх принцип роботи	11
1.3 Аналіз логічних сімейств	13
1.4 Опис проєктованих пристроїв	14
1.4.1 Аналіз логічних елементів	14
1.4.2 Аналіз мультиплексора	14
1.4.3 Аналіз суматора	15
РОЗДІЛ 2 ПРОЄКТНА ЧАСТИНА.....	17
2.1 Опис проєктованих пристроїв	17
2.2 Проєктування компонентів	18
2.2.1 Проєктування логічних елементів.....	18
2.2.2 Проєктування мультиплексора	21
2.2.3 Проєктування суматора	22
2.2.4 Проєктування арифметико-логічного пристрою	24
2.2.5 Проєктування тригерів	27
2.2.6 Проєктування регістрів.....	29
2.3 Проєктування декодера	29
2.3.1 Проєктування генератора фаз	30

					КС КРБ 123.214.00.00 ПЗ		
Змн.	Арк.	№ докум.	Підпис	Дата			
Розроб.		Магдич С.І.			Розробка 8-бітного центрального процесора	Літ.	Арк.
Перевір.		Тиш Є.В.					6
Реценз.						ТНТУ, каф. КС, гр. СІ-41	
Н. Контр.		Луцик Н. С.					
Затверд.		Осухівська Г.М.					

2.3.2	Проектування декодера інструкцій	31
2.3.3	Проектування RAM.....	32
2.3.4	Зв'язування елементів декодера	33
РОЗДІЛ 3 ПРАКТИЧНА ЧАСТИНА.....		35
3.1	Вибір компонентів для проектування комп'ютерної логіки	35
3.1.1	Заміна логічних елементів.....	35
3.1.2	Заміна мультиплексорів.....	35
3.1.3	Вибір 8-бітного регістра	36
3.1.4	Вибір компонентів для створення тактових сигналів	37
3.1.5	Заміна адресних декодерів	37
3.1.6	Заміна тригерів	38
3.2	Заміна елементів на схемах	39
3.3	Проектування додаткової периферії	41
РОЗДІЛ 4 БЕЗПЕКА ЖИТТЄДІЯЛЬНОСТІ, ОСНОВИ ОХОРОНИ ПРАЦІ..		42
4.1	Вимоги безпеки до робочих місць для виконання робіт	42
4.2	Працездатність людини – оператора	44
ВИСНОВКИ.....		46
СПИСОК ВИКОРИСТАНИХ ДЖЕРЕЛ.....		47
Додаток А Технічне завдання		50
Додаток Б Схеми електричні принципові операційних елементів		60
Додаток В Перелік елементів.....		66
Додаток Г Перелік елементів		67

СПИСОК СКОРОЧЕНЬ

ЛК – Лічильник команд

АЛП – Арифметико-логічний пристрій

MOSFET – Metal-Oxide-Semiconductor Field-Effect Transistor

CMOS – Complementary Metal-Oxide-Semiconductor

RTL – Resistor-Transistor Logic

TTL – Transistor-Transistor Logic

ECL – Emitter-Coupled Logic

DTL – Diode-Transistor Logic

BiCMOS – Bipolar Complementary Metal-Oxide-Semiconductor

					<i>КС КРБ 123.214.00.00 ПЗ</i>	Арк.
						8
Змн.	Арк.	№ докум.	Підпис	Дата		

ВСТУП

Розвиток мікропроцесорної техніки є одним із найважливіших напрямів сучасної електроніки, що знаходить широке застосування у всіх сферах діяльності людини — від побутових приладів до складних обчислювальних систем. Особливе місце займають 8-бітні процесори, які надають можливість реалізувати велику кількість завдань у будь-якій техніці. Усі процесори, незважаючи на свої характеристики використовують загальні принципи роботи та алгоритми дій, розробка 8-бітного процесора дозволяє краще зрозуміти усі внутрішні процеси, завдяки своїй простоті та легкості реалізації, відносно інших, більш продуктивних аналогів.

Метою даного проєкту є розробка окремих функціональних компонентів 8-бітного процесора, що дозволяє поглибити знання з цифрової логіки, принципів роботи елементів комп'ютерної техніки та методів проєктування електронних пристроїв. У роботі послідовно розглядаються етапи від аналізу технічного завдання до практичної реалізації основних блоків процесора.

Проєкт забезпечує повне розкриття поставленого завдання — від теорії до практичної реалізації.

					КС КРБ 123.214.00.00 ПЗ	Арк.
						9
Змн.	Арк.	№ докум.	Підпис	Дата		

РОЗДІЛ 1 АНАЛІЗ ТЕХНІЧНОГО ЗАВДАННЯ

1.1 Кваліфікація 8-бітного процесора

8-бітний процесор це набір логіки для покрокового виконання деякого алгоритму – програми, яка зберігається в пам'яті програми.

Сам по собі процесор немає можливості виконувати корисну роботу, оскільки він складається лише з набору простих команд, які по-одиноці виконують найпростіші дії над наборами даних, тому для нього потрібно реалізувати найпростіший комп'ютер, який дозволить показати роботу пристрою більш ефективно. Усі завдання, які мікропроцесор вирішує, повинні бути розбиті на багато малих кроків: базову арифметику, булеві операції, завантаження даних з пам'яті або ввідного елементу і надсилання на компоненти виводу.

До елементів вводу-виводу мікропроцесор отримує доступ через шини даних та адрес. Бітність пристрою залежить від того, скільки байтів він може обробляти на раз, що, також, задає максимальний розмір шин. Наприклад у 8-бітному процесорі, який може оперувати 1 байтом на раз, шини складаються з 8 окремих проводів, але 32-бітні пристрої, які оперують 4-ма байтами на раз, можуть містити шини розмірами у 32, 16 або 8 біт.

Пристрій складається з мікропроцесора, пам'яті і елементів вводу-виводу, а сам реалізований на Фон-нейманівській архітектурі.

Найпростіший процесор повинен складатися з: Арифметико-логічного пристрою (АЛП), декодера, регістрів, лічильника команд. Регістри процесора поділятимуться на: регістр адреси, загальний регістр (акумулятор). Пристрій містить процесор для зберігання даних та програм, тобто реалізується Фон-

					КС КРБ 123.214.00.00 ПЗ		
Змн.	Арк.	№ докум.	Підпис	Дата			
Розроб.		Магдич С.І.			Аналіз технічного завдання		
Перевір.		Тиш. Є.В.					
Реценз.							
Н. Контр.		Луцик Н.С.					
Затверд.		Осухівська Г.М.					
					Лім.	Арк.	Аркушів
						10	
					ТНТУ, каф. КС, гр. СІ-41		

нейманівська архітектура. Розміри усіх даних, якими оперує процесор складається з 8 біт, винятками є регістр адреси та комірки пам'яті (16 біт) [24].

Для виконання будуть доступні команди:

- SET – встановлення акумулятора певним числом;
- ADD – додавання до акумулятора певне число;
- SUB – віднімання певного числа від акумулятора;
- AND – виконання побітового AND між акумулятором і певним числом;
- GET – Отримання даних з комірки пам'яті у акумулятор;
- SEND – Запис даних у комірку пам'яті;
- JMP – Перехід на комірку пам'яті;
- JMPZ – Перехід на комірку пам'яті, якщо встановлений прапор нуля (Zero, Z);
- JMPC – Перехід на комірку пам'яті, якщо встановлений прапор нуля (Carry, C);
- JMPNZ – Перехід на комірку пам'яті, якщо не встановлений прапор нуля (Zero, Z);
- JMPNC – Перехід на комірку пам'яті, якщо не встановлений прапор нуля (Carry, C);

Також процесор матиме додаткову логіку для об'єднання усіх компонентів між собою, та для елементів вводу-виводу [2].

1.2 Опис компонентів 8-бітного процесора, їх принцип роботи

Будь-який процесор складається з наступних елементів: АЛП, Декодер, Регістрів (Загальних, станів, адреси), Лічильника команд, Додаткової логіки у вигляді логічних елементів, мультиплексорів.

Це є абсолютним мінімумом для створення процесора, розглянемо принцип роботи кожного компонента.

					КС КРБ 123.214.00.00 ПЗ	Арк.
						11
Змн.	Арк.	№ докум.	Підпис	Дата		

АЛП – виконує прості логічні команди, наприклад: додавання, віднімання, побітові логічні операції. Варто зазначити, що цей компонент не виконує абсолютно всі інші команди, такі як стрибок, встановлення, запис чи зчитування з пам'яті, тощо. АЛП використовується у зв'язці з іншими елементами для реалізації усіх можливостей процесора, але у своєму найпростішому вигляді – це суматор з додатковою логікою.

Декодер – один з найскладніших компонентів процесора, який складається з не менш важливих компонентів: генератора фаз, декодера інструкцій, основної логіки для перетворення вхідного коду у команди. Цей елемент впроваджує простий цикл роботи комп'ютера Fetch-Decode-Execute (Зчитування, Декодування, Виконання), що впроваджується генератором фаз. На фазі зчитування, декодер встановлює всю потрібну зовнішню логіку для зчитування даних з пам'яті. Далі, декодер інструкцій, що міститься у цьому компоненті, дозволяє розрізнити певну команду на основі її бінарного коду, який називається опкодом – відбувається під час фази декодування. Фінальна фаза – виконання, саме тут декодер використовує логіку, яка складається з простих елементів AND, OR, NOT, тощо, для встановлення високих та низьких сигналів внутрішнім компонентам процесора, що дає змогу реалізувати увесь масив його команд.

Регістри – складається з простого набору тригерів, яких є різні види, - це дозволяє створити найменшу комірку пам'яті потрібного розміру.

Лічильник команд – вказує на комірку пам'яті, з якої процесор під час фази зчитування отримує дані. Лічильник постійно збільшується на 1, що дозволяє покроково проходитись по програмі. Але може змінюватись унаслідок команд стрибка, або стрибка з умовою – вони встановлюють нову адресу у лічильник, з якої процесор отримуватиме дані на наступній фазі зчитування.

Уся додаткова логіка у вигляді простих логічних елементів, та мультиплексорів дозволяє зв'язати між собою усі вище перелічені

					КС КРБ 123.214.00.00 ПЗ	Арк.
Змн.	Арк.	№ докум.	Підпис	Дата		12

компоненти, вони використовуються для створення налагодженої роботи будь-якого процесора [18].

1.3 Аналіз логічних сімейств

Логіка комп'ютерів складається з найпростіших елементів AND, OR, NOT, тощо, які є транзисторними схемами. У залежності від компонентів, які використовуються для побудови цих елементів, розрізняють логічні сімейства, кожне з яких містить свої переваги та недоліки (див. табл. 1.1).

Таблиця 1.1 – Основні логічні сімейства

Назва	Переваги	Недоліки
RTL (Resistor-Transistor Logic)	дуже проста конструкція	низька швидкість, високе енергоспоживання
DTL (Diode-Transistor Logic)	краща швидкість порівняно з RTL	великі розміри
ECL (Emitter-Coupled Logic)	найвища швидкість, дуже мала затримка	дуже велике споживання; складне живлення (-5.2В)
TTL (Transistor-Transistor Logic)	відносно висока швидкість, простота інтеграції	високе споживання, потрібне точне живлення
CMOS (Complementary MOS)	низьке споживання, висока щільність, гнучке живлення	відносно повільніше ніж ECL, чутливе до статичної електрики
BiCMOS (Bipolar+CMOS)	поєднує швидкість біполярних та низьке споживання CMOS;	складне та дороге виробництво

Як видно з таблиці 1.1, для реалізації 8-бітного процесора найкращим варіантом є використання CMOS логіки, також вона є найпопулярнішою і присутня в усіх сучасних пристроях [14, 15, 16].

1.4 Опис проєктованих пристроїв

Транзистори утворюють логічні елементи, які утворюють більш складні схеми. Побудування комп'ютерних систем неможливо лише з використанням найпростіших компонентів, тому протягом багатьох років спроб та невдач були винайдено та удосконалено різні схеми комп'ютерної логіки.

Наприклад, важливим компонентом є мультиплексор – він дозволяє за рахунок керуючого сигналу виводити один з безліччі вхідних сигналів.

Існує велика кількість логічних схем: суматори, регістри, декодери, тощо. У цьому розділі буде проведений аналіз кожного компоненту, який використовується у проєктування 8-бітного процесора.

1.4.1 Аналіз логічних елементів

Логічні елементи є найважливішою частиною комп'ютерної техніки. AND, OR, XOR, NOT, NAND, NOR. Вони є фундаментальними частинами логічних схем.

Методів побудови цих компонентів існує безліч, але на даний момент є популярним використання CMOS логіки, оскільки воно є дешевим, швидким та має низьке енергоспоживання. Методи побудови логічних елементів з MOSFET транзисторів розглядається детальніше у 3-му розділі.

Логічних елементів є небагато, а функції які вони виконують є простими для розуміння. Складність логічних схем базується на використанні комбінацій з цих компонентів. Кожен елемент описується своїм оператором, що є дуже зручним для записування булевих функцій – це використовується для пошуку найбільш оптимальних функцій, розв'язку задач, тощо.

1.4.2 Аналіз мультиплексора

Найпростіший мультиплексор дозволяє вибрати 1 сигнал з двох вхідних. Вибір сигналу залежить від сигналу керування, переглянемо таблицю істинності для такого мультиплексора (див. рис. 1.2).

					КС КРБ 123.214.00.00 ПЗ	Арк.
						14
Змн.	Арк.	№ докум.	Підпис	Дата		

Таблиця 1.2 - Таблиця істинності мультиплексора 2:1

S0	I0	I1	Y
0	0	X	0
0	1	X	1
1	X	0	0
1	X	1	1

З допомогою даного елементу реалізують інші мультиплексори, наприклад 4:1, 2:1 та інші. Даний компонент є дуже важливим для 8-бітного процесору, адже він дозволяє реалізувати для пристрою можливість вибору даних для оперування на автоматичному рівні, без втручання людини [2].

1.4.3 Аналіз суматора

Для проектування арифметико-логічного пристрою потрібно реалізувати суматор, який складається з півсуматорів. Півсуматор – це проста логічна схема, яка дозволяє додати 2 біти, і згенерувати сигнал перенесення або суми. З цим елементом можна реалізувати суму $1 + 1$, що не є корисним, але у зв'язці з ще одним півсуматором є можливим створення повного суматора. Таблиця істинності півсуматора наведена у таблиці 1.3, тут A та B – вхідні біти, Cout (Carry out) – сигнал перенесення, Sum – сума.

Таблиця 1.3 – Таблиця істинності півсуматора

A	B	Cout	Sum
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

Хоча повний суматор виконує функцію додавання, він все ж має можливість реалізувати функцію віднімання, шляхом другого доповнення. Таблиця істинності повного суматора наведена на таблиці 1.4 [2].

Таблиця 1.4 – Таблиця істинності повного суматора

Cin	A	B	Cout	Sum
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	0	0
1	1	1	1	1

РОЗДІЛ 2 ПРОЄКТНА ЧАСТИНА

2.1 Опис проєктованих пристроїв

Будь-які компоненти комп'ютерної логіки складаються з найпростіших логічних елементів: AND, NAND, OR, NOR, NOT, XOR. З їх допомогою можливо розробити великий спектр різної техніки для виконання будь-яких завдань.

Буде використано логічне сімейство CMOS для реалізації усіх логічних елементів 8-бітного процесора, оскільки воно має низьке енергоспоживання та високу швидкість, також самі польові транзистори є низької вартості. Це сімейство базується на використанні N-канальних та P-канальних MOSFET.

Після цього, з простих логічних елементів будуть реалізовані решта компонентів процесора.

Для проєктування будуть використані: P-канальні MOSFET AO3407A та N-канальні IRLML2502PBF, вольт-амперні характеристики транзисторів наведені на рисунках 2.1-2.2 [21, 22].

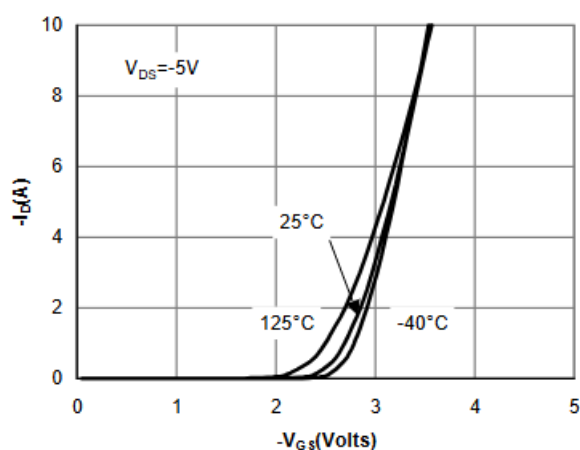


Рисунок 2.1 – Вольт-амперна характеристика P-канального польового транзистора AO3407A

					КС КРБ 123.214.00.00 ПЗ		
Змн.	Арк.	№ докум.	Підпис	Дата	Проектна частина		
Розроб.	Магдич С.І.						
Перевір.	Тиш Є.В.						
Реценз.							
Н. Контр.	Луцик Н.С.						
Затверд.	Осухівська Г.М.						
					Лім.	Арк.	Аркушів
						17	
					ТНТУ, каф. КС, гр. CI-41		

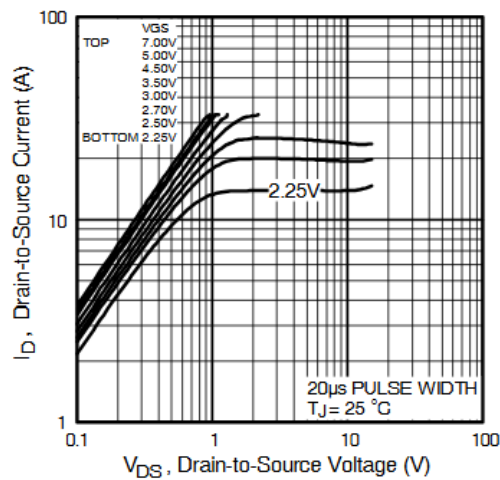


Рисунок 2.2 – Вольт-амперна характеристика N-канального польового транзистора IRLML2502PBF

Транзистори підбирались з умовою повного відкриття при живленні приблизно 3 Вольта.

2.2 Проєктування компонентів

Під час проєктування компонентів вартує підтримуватись принципу абстрактності, тобто для використання певного елементу не повинна бути необхідність знати його внутрішню структуру, лише принцип його роботи. Також будувати компоненти потрібно з увагою на модульність, тобто можливістю їх використання у різних схемах [19].

2.2.1 Проєктування логічних елементів

Найпростішими логічними елементами є AND, NOT, OR. З їх допомогою можна реалізувати усі інші: XOR, NAND, тощо. Почнемо з проєктування NOT, для нього достатньо використати лише два транзистори: N-канальний та P-канальний. Якщо подається сигнал, тоді P-канальний закривається, а N-канальний відкривається підтягуючи вихідний сигнал до 0, якщо вхідний сигнал низький, тоді відкривається лише P-канальний MOSFET, підтягуючи вихідний сигнал до 1 (див. рисунок 2.3) [23].

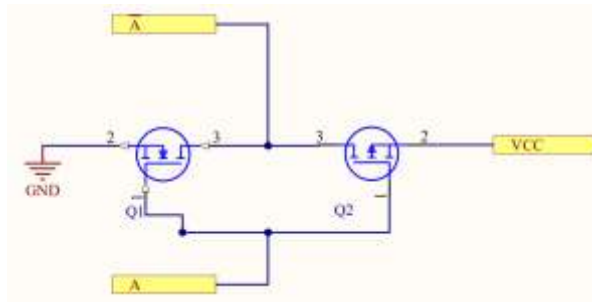


Рисунок 2.3 – Схема електрична принципова NOT

Тепер спроектуємо AND – для його реалізації, потрібно з'єднати два N-канальні транзистори послідовно до землі, а P-канальні – паралельно до живлення. До кожного піна Gate однієї пари N-канального та P-канального транзисторів підключається вхідний сигнал. Також у кінці додається інвертор, без нього схема поводитиметься як елемент NAND, що також використовується у проектуванні процесора. Принципова схема AND наведена на рисунку 2.4 [23].

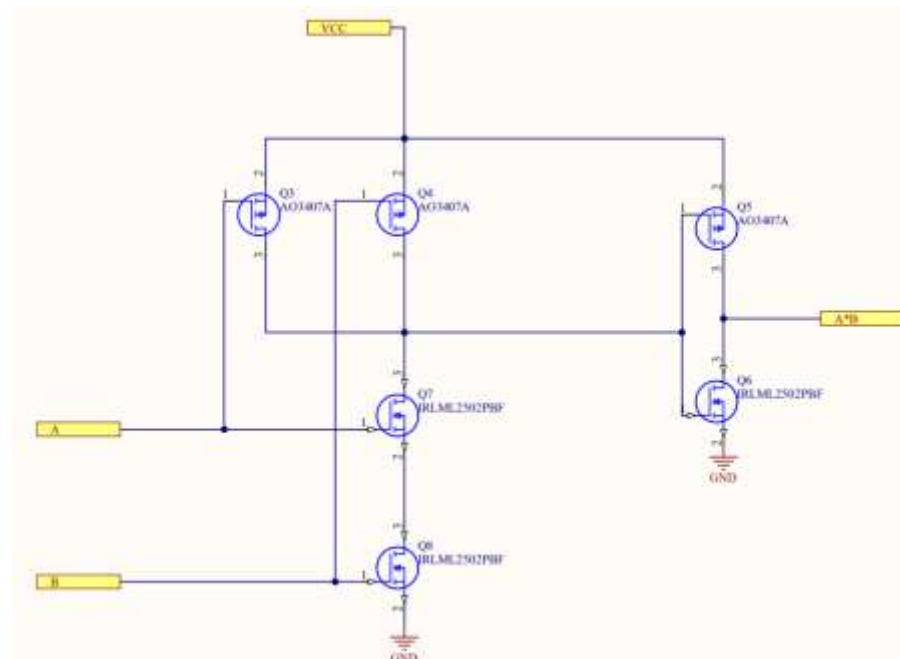


Рисунок 2.4 – Схема електрична принципова AND

Побудуємо OR, будова у цього елементу схожий з AND, але паралельно підключені N-канальні транзистори, а P-канальні – послідовно (див. рис. 2.5).

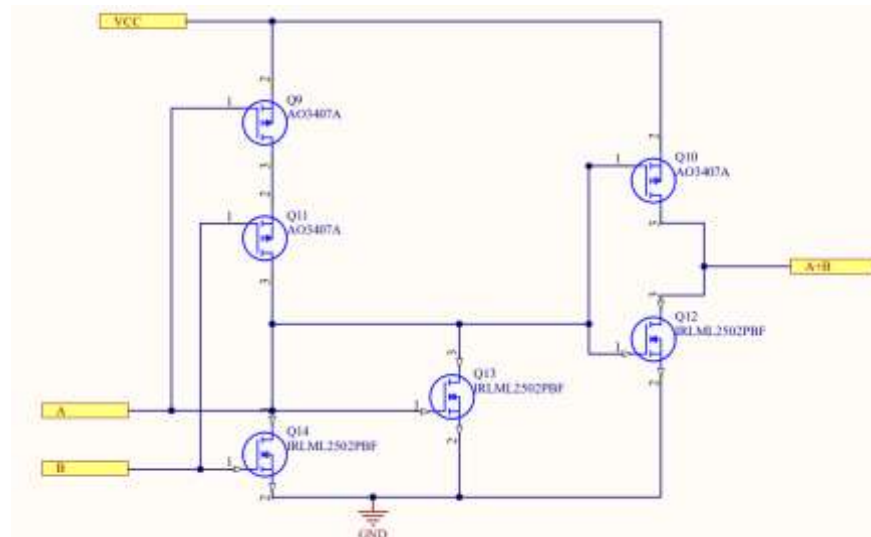


Рисунок 2.5 – Схема електрична принципова OR

У кінці також додається інвертор, інакше буде отримано схему NOR. Для логічних елементів AND, NAND, OR, NOR є можливим реалізування довільної кількості входів шляхом додавання відповідної кількості пар N-канальних та P-канальний транзисторів, це є важливим, оскільки для проєктування деяких компонентів необхідні елементи з 3-ма, 4-ма, або 5-ма входами [23].

Додатково спроектуємо XOR – це найскладніший простий елемент, для нього потрібно використати AND, NAND та OR і з'єднати таким чином, як це зображено на рисунку 2.6 [25].

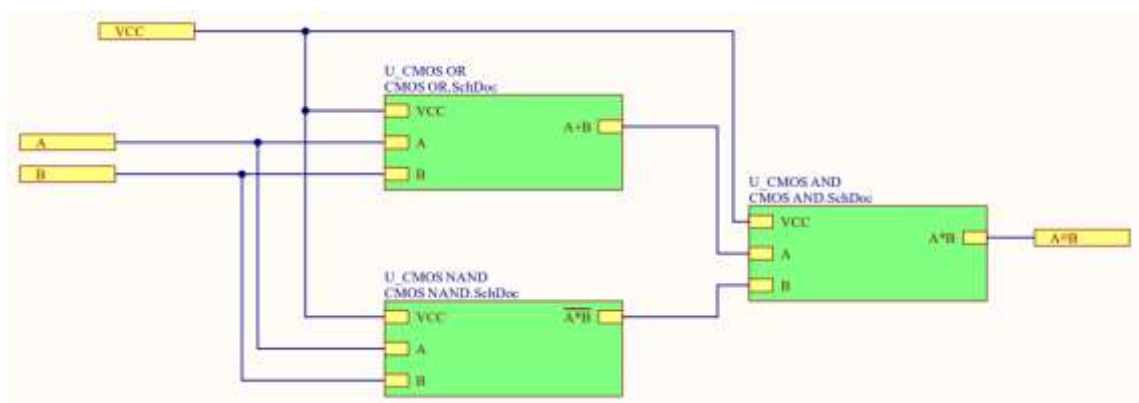


Рисунок 2.6 – Схема електрична принципова XOR

2.2.2 Проектування мультиплексора

Мультиплексор є важливою частиною архітектури процесора, він дозволяє приймати багато входних сигналів, і у залежності від контрольних сигналів вибирає один із них і передає на вихід. 8-бітний процесор має 2 основні шини: даних та адреси, кожна шина складається з 8 біт. Потрібно розробити мультиплексор який приймає на вхід 2 шини розміром 8 біт, і у залежності від контрольного сигналу передає один із них на вихід [2].

Спершу розробимо найпростіший мультиплексор 2:1 (2 входи, 1 вихід). Він міститиме лише один входний сигнал. Складається даний елемент з двох AND, одного OR та одного NOT компонентів. Розробимо принципову схему простого 2:1 мультиплексора (див. рис. 2.7) [2].

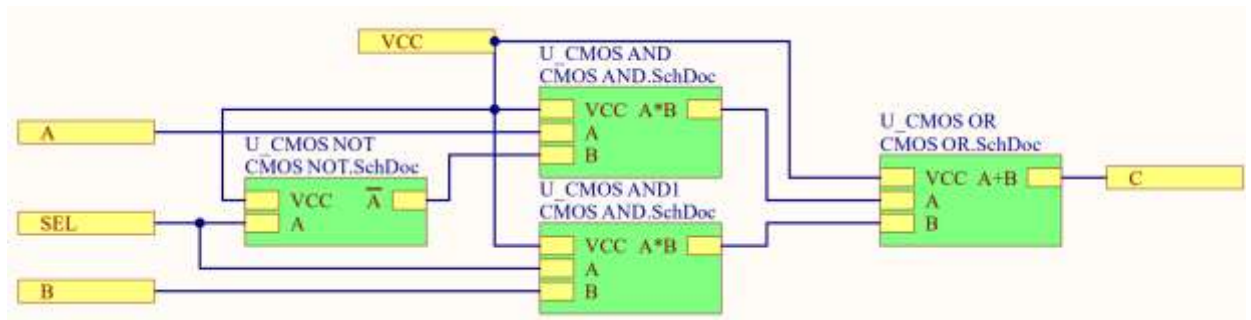


Рисунок 2.7 – Схема електрична принципова 2:1 мультиплексора

Тепер, маючи даний компонент, можемо створити 2:1 мультиплексор, який прийматиме на входи дві шини розміром 8 біт, і виводитиме одну з них. Це робиться достатньо просто, потрібно лише використати 8 2:1 мультиплексорів, для кожного з них буде йти один біт з шини даних на перший вхід, і один біт з шини адреси на другий вхід. Принципова схема 8-бітного 2:1 мультиплексора наведена на рисунку 2.8 [2].

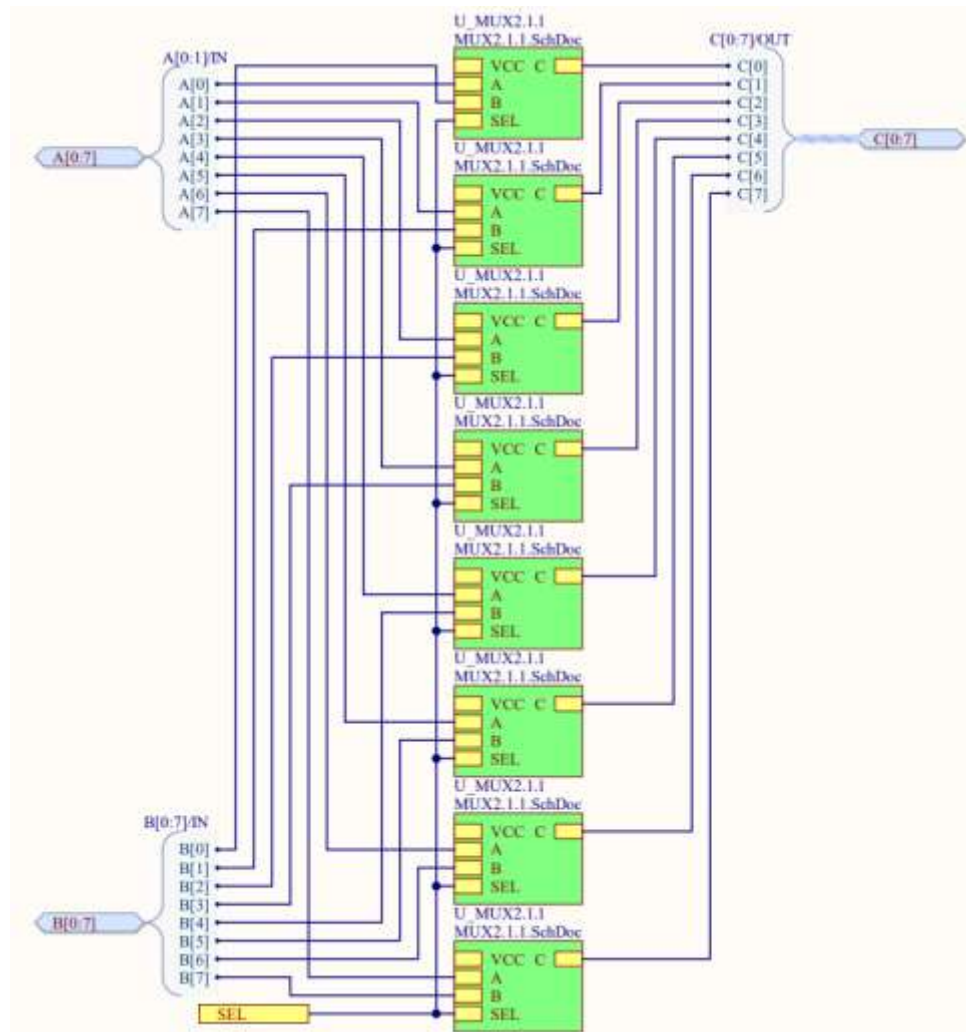


Рисунок 2.8 – Схема електрична принципова 8-бітного 2:1 мультіплексера

2.2.3 Проектування суматора

Суматор складається з 2-х пів-суматорів, кожен з них приймає на вхід 2 однобітні сигнали і виводить їх суму та біт переносу. Принципова схема пів-суматора наведена на рисунку 2.9 [2].

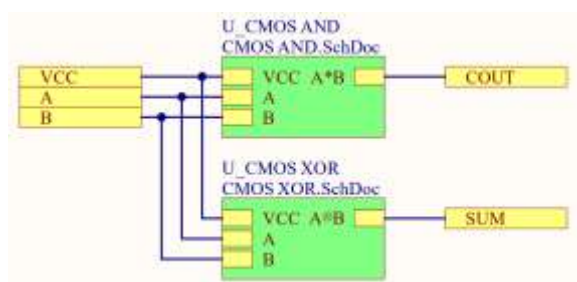


Рисунок 2.9 – Схема електрична принципова пів-суматора

Сам по собі він дозволяє додати лише два біти, але для процесора потрібно оперувати 8 бітами. Для цього, спершу, створимо повний суматор, потрібно з'єднати 2 пів-суматора таким чином, як це показано на рисунку 2.10 [2].

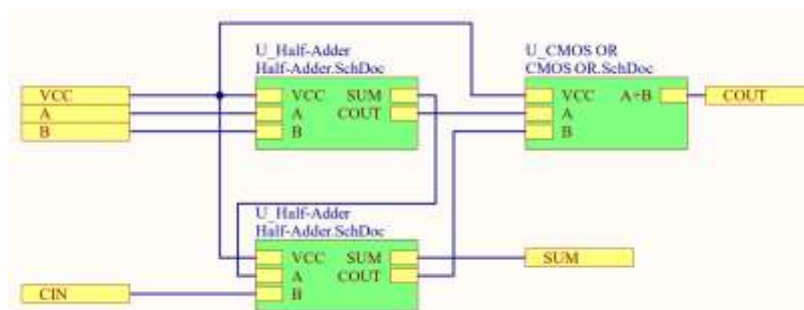


Рисунок 2.10 – Схема електрична принципова повного суматора

Головна відмінність суматора від пів-суматора це те, що він може приймати додатково сигнал переносу і додавати його до результату суми вхідних бітів. Тепер, з'єднавши 8 суматорів, на 2 входи яких подається один біт з 2-х шин і підключивши послідовно вихідні сигнали переносу попередніх суматорів до вхідних сигналів переносу наступних повних суматорів, отримаємо суматор з послідовним переносом (див рис. 2.11) [3].

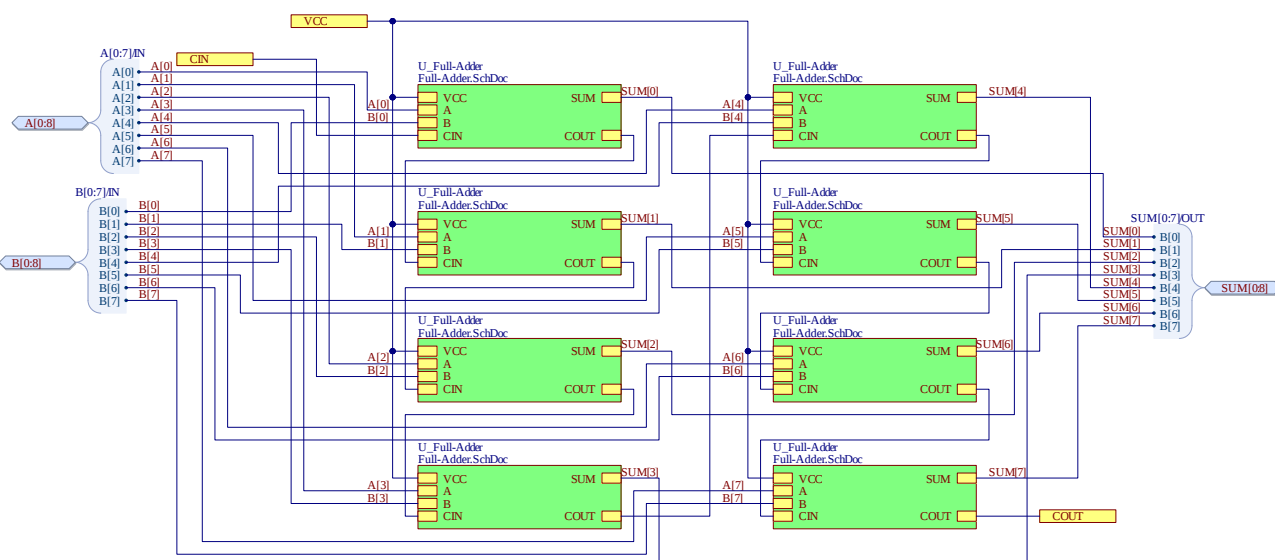


Рисунок 2.11 – Схема електрична принципова суматора з послідовним переносом

2.2.4 Проектування арифметико-логічного пристрою

Арифметико-логічний пристрій будується з використанням усіх попередньо створених компонентів. Додатково до сум, є можливим реалізація різниці 2 байтів, для цього кожен біт від'ємника інвертується (перше доповнення), потім до нього додається один (друге доповнення) – отримується доповняльний код. Після цього перший байт додається до отриманого числа, результатом є різниця першого байту від другого (до отримання доповняльного коду).

Реалізація інвертування байту виконується побітовою операцією XOR між числом та 1. Після цього, для додавання 1 до інвертованого числа потрібно подати вхідний сигнал переносу на суматор. Принципова схема побітного XOR наведена на рисунку 2.12.

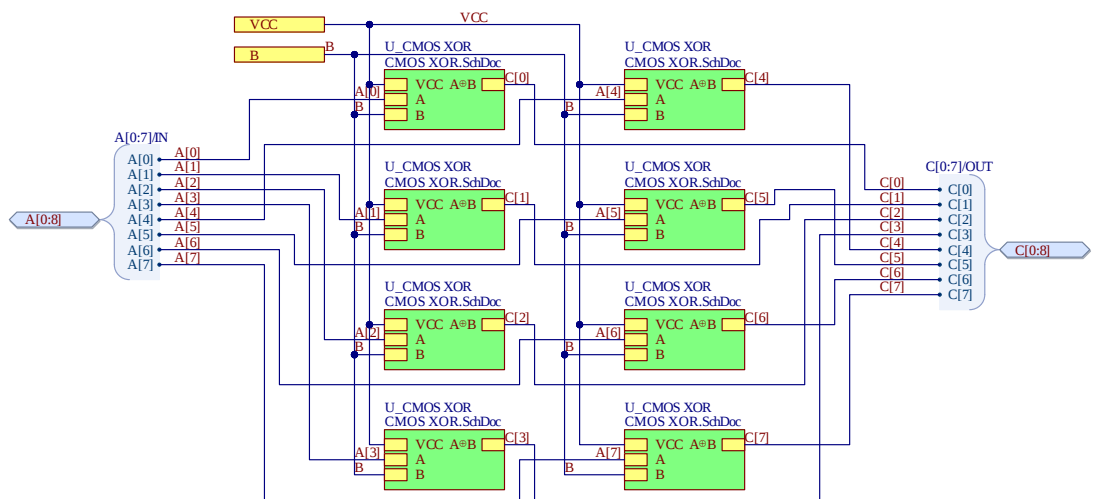


Рисунок 2.12 – Схема електрична принципова побітного XOR

У процесорах є поширеним функція інкрементції (додавання 1). Реалізуємо її для першого вхідного байту АЛП. Для цього потрібно перетворити другий байт на 0, виконується це побітовою операцією AND з 0. Але спершу потрібно створити компонент буферу, оскільки буде подаватись лише один біт, який потрібно продублювати 8 раз для побітного AND, через що сигнал може дуже сильно послабнути. Спершу потрібно спроектувати буфер, для цього достатньо встановити два послідовні інвертори (див. рис. 2.13) [24].

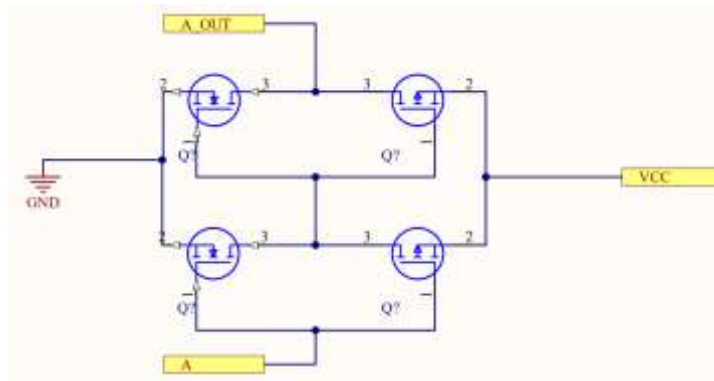


Рисунок 2.13 – Схема електрична принципова буфера

Тепер створивши компонент з 8 буферів, де на вхід кожного йде один вхідний сигнал, стало можливим поділити один сигнал на 8, що дозволить приєднати їх до вхідного першого байту побітного AND.

Після цього подаємо вхідний сигнал переносу на суматор, у результаті отримаємо функцію інкрементації першого вхідного байту АЛП. Сама по собі функція побітного AND корисна для перевірки станів регістрів. Тому потрібно додати ще один компонент побітного AND. Також необхідно створити мультиплексор 4:1, який дозволяє вибрати 1 з 4 вхідних байтів, це робиться з допомогою 3-х мультиплексорів 2:1, де, сумарно, на 4 входи перших 2 йдуть 4 вхідні байти, а їх виходи на 2 вхідні байти 3-тього. Вибирається байт з допомогою двох пінів S0 та S1, де перший приєднаний паралельно до SEL двох перших мультиплексорів 2:1, а другий на останній мультиплексор 2:1 (див. рис. 2.14) [19].

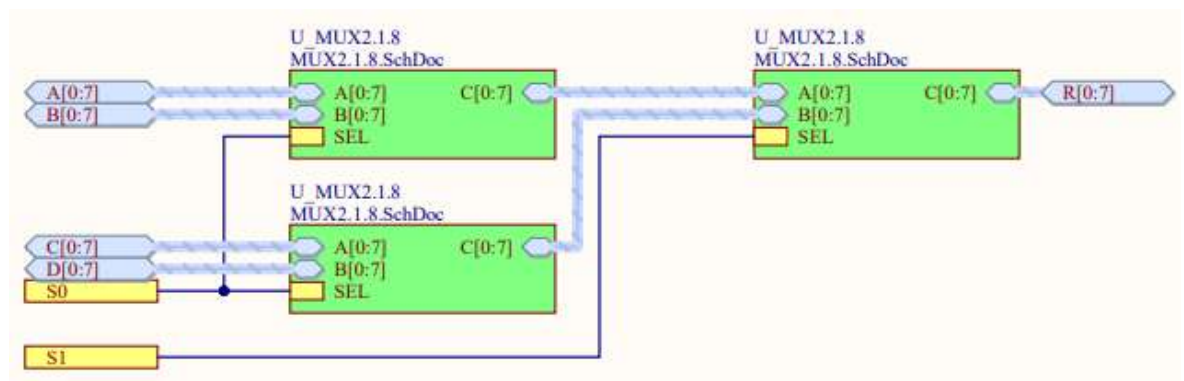


Рисунок 2.14 – Схема електрична принципова 4:1 мультиплексора

Після цього потрібно з'єднати усі компоненти. У результаті створено простий АЛП, принципова схема якого наведена на риснку 2.15 [2].

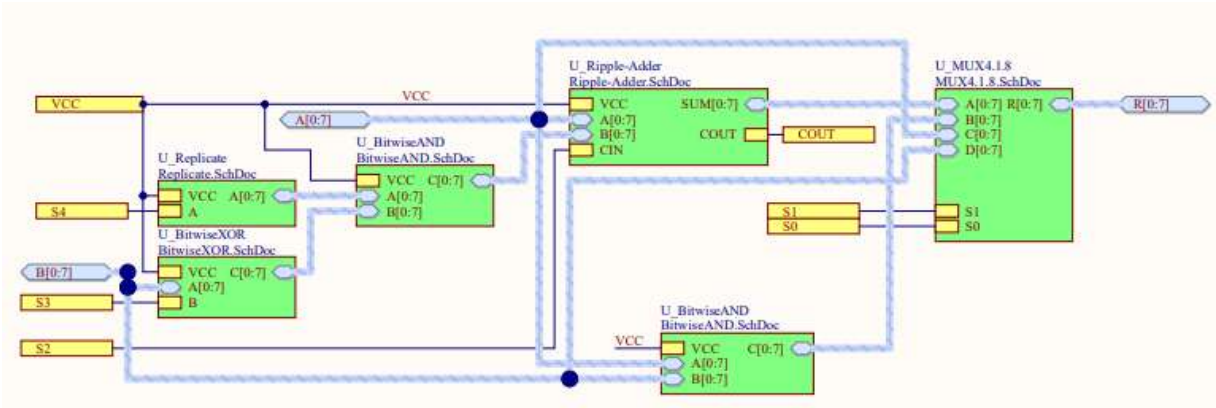


Рисунок 2.15 – Схема електрична принципова АЛП

Таблиця істинності контрольних сигналів, яким відповідають певні функції, наведено у таблиці 2.1.

Таблиця 2.1 – Таблиця істинності контрольних сигналів і їх функцій

S4	S3	S2	S1	S0	Функція
0	0	0	0	0	ADD (A+B)
0	0	0	0	1	BITWISE AND (A&B)
0	0	0	1	0	OUTPUT A
0	0	0	1	1	OUTPUT B
0	1	1	0	0	SUBTRACT (A-B)
1	0	1	0	0	INCREMENT (A+1)
1	0	0	0	0	OUTPUT A
0	0	1	0	0	ADD (A+B)+1
0	1	0	0	0	SUBTRACT (A-B)-1

2.2.5 Проектування тригерів

Для побудови тригера, потрібно використати SR-тригер та D-Тригер. Останній складається з 2 входів: D (Data) та CLK. На відміну від SR-тригера, який містить 3 входи: S (Set), R (Reset), CLK. Але два види пристроїв можуть мати додатково реалізовану функцію PRESET та CLEAR, які є асинхронними і встановлюють вихідний сигнал Q в 1, або 0 відповідно, незалежно від тактового сигналу (див. рис. 2.16) [2].

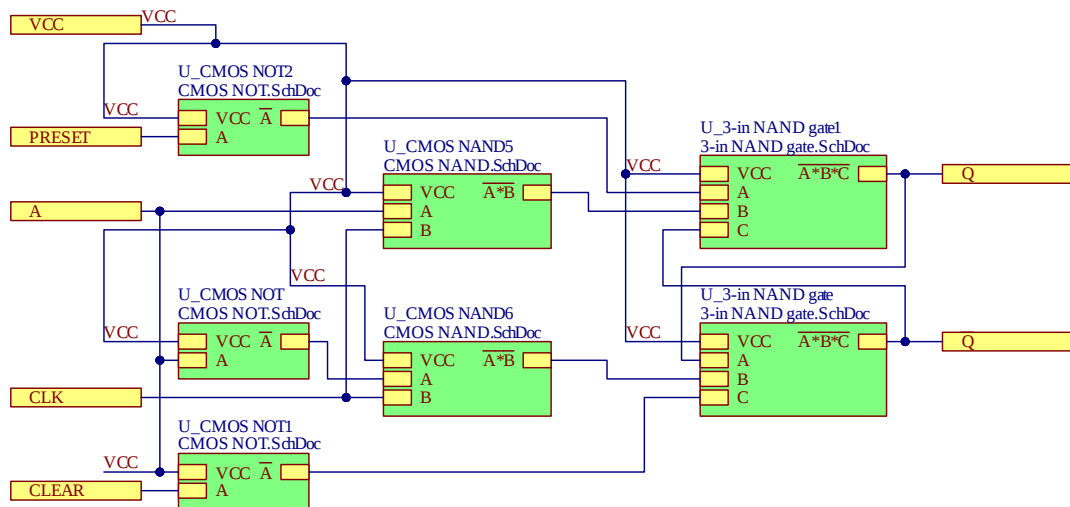


Рисунок 2.16 – Схема електрична принципова D-тригера з функціями PRESET, CLEAR

Принцип роботи D-тригера базується на записуванні певного рівня сигналу при високому сигналі CLK і зберіганні, та його виведення. Головним недоліком цього елемента є те, що він може змінити своє значення на помилкове, унаслідок дії завад, під час високого сигналу CLK. Рішенням цієї проблеми є додання SR-тригера по виході D-тригера, це дозволяє створити схему ведучого-веденого D-тригера, де значення записується лише при переході сигналу CLK з високого на низький, що зменшує шанс спотворення сигналу завадами. Принципова схема SR-Тригера наведена на рисунку 2.17 [13].

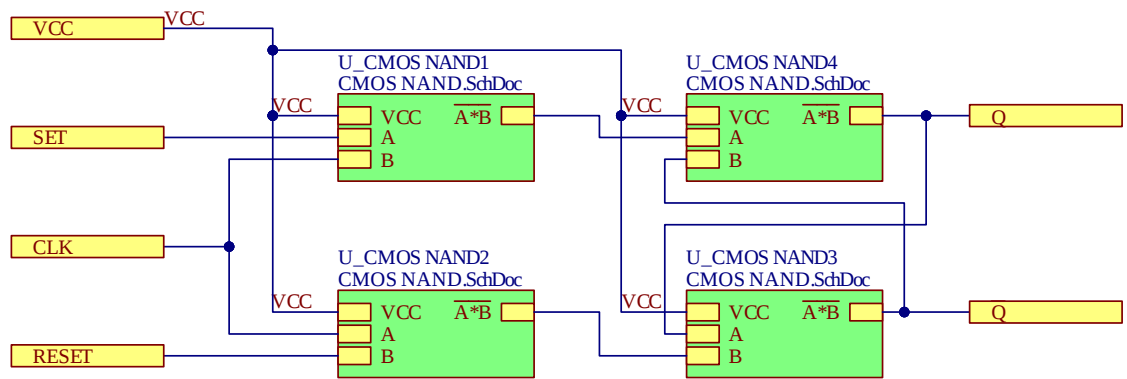


Рисунок 2.17 – Схема електрична принципова SR-тригера

Зручним для використання також будуть пini CE (Clock Enable) та RST для надання можливості схемі змінювати свої значення, та обнуляти свої значення. CE реалізуємо цей пін з допомогою 2:1 мультиплексора у якого на вхід йде сигнал D та вихід схеми Q, у результаті, якщо CE=0, тоді на вхід тригерів йде сигнал Q, через що кінцевий результат не змінюється, незалежно від вхідних даних, якщо CE=1, на вхід йде сигнал D, і схема працює у звичайному режимі.

RST реалізуємо елементом AND, до якого на вхід йде інвертований сигнал RST, та D. Тут, елемент AND буде видавати на вхід тригерів 0, якщо ми подаємо на вхід RST сигнал 1 (який інвертується), оскільки результат визначається простим правилом: $0 \text{ AND } X = 0$ та $1 \text{ AND } X = X$; Повна схема ведучого-веденого D-тригера з функціями RST та CE наведена на рисунку 2.18 [13].

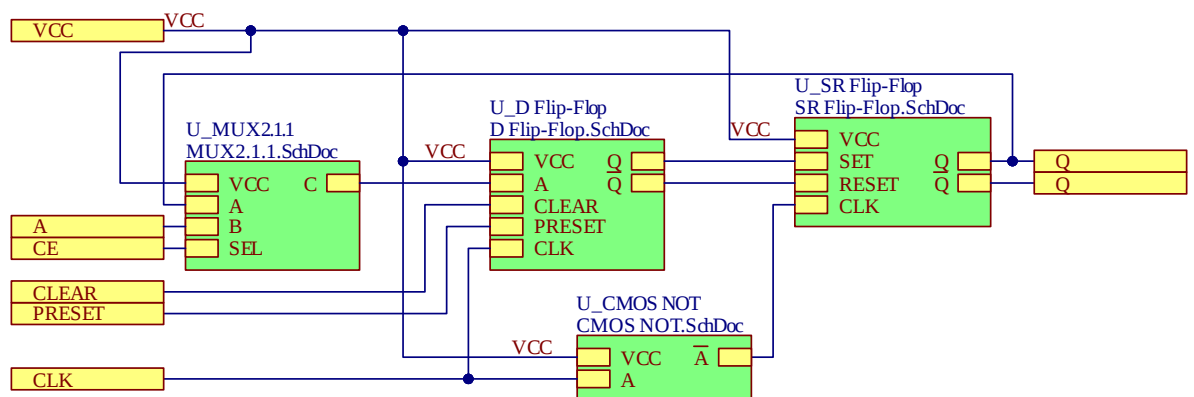


Рисунок 2.18 – Повна Схема електрична принципова тригера

2.2.6 Проектування регістрів

Регістри можливо побудувати на основі розробленої схемив ведучого-веденого D-тригера (далі тригер), для цього кожен тригер підключаємо до спільного CLK, CE, RST, а кожен D – на свій окремий біт з масиву. Розробимо 4-бітний регістр (див. рис. 2.19)

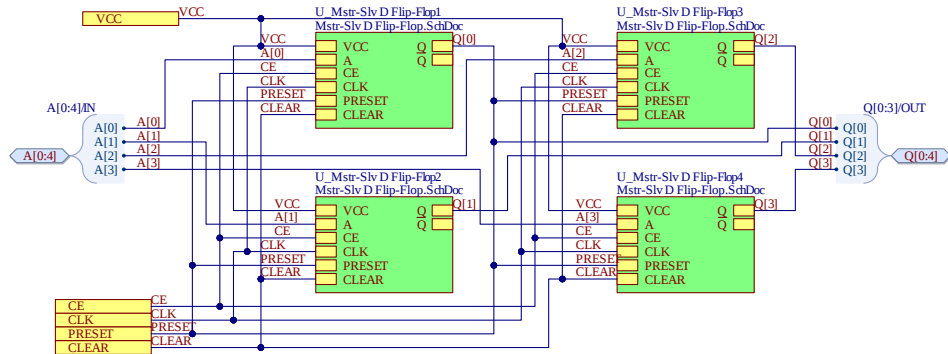


Рисунок 2.19 – Схема електрична принципова 4-бітного регістру

Схожим чином реалізуємо 8-бітний регістр, 16-бітний (регістр адреси). та 2-бітний регістри (регістр прапорів). Для зручності використовують регістри меншого розміру для створення більшого, тобто 8-бітний регістр проектується з 2-х 4-бітних, а один 16-бітний з 2-х 8-бітних [2].

2.3 Проектування декодера

Декодер є найскладнішою схемою у цьому 8-бітному процесорі, оскільки він містить логіку, яка задає команди, їх декодує і на основі отриманих даних використовує відповідні піни АЛП, мультиплексорів та інших компонентів для реалізації цих самих команд. Декодер працює за принципом Fetch-Decode-Execute (Зчитування, Декодування, Виконання).

Під час фази зчитування процесор отримує дані з пам'яті у регістр адреси (16-бітний регістр, де перші 8 біт – опкод, наступні 8 – адреса, або дані);

Під час фази декодування процесор розшифровує перші 8 біт регістру адреси, для визначення команди;

Під час фази виконання процесор встановлює всі необхідні сигнали на входи потрібних компонентів для реалізації певної команди.

Окрім описаних фаз, можна виділити ще один важливий момент – інкремент значення регістру лічильника команд (ЛК), без цього процесор завжди виконував одну і ту саму команду, яка знаходиться у певній комірці пам'яті на яку і вказує ЛК [2, 18].

2.3.1 Проектування генератора фаз

Генератор фаз – це простий генератор, який реалізований як кільцевий лічильник з одним активним станом (англ. one-shot ring counter). Проектується з тригерів, таким чином, як зображено на рисунку 2.20

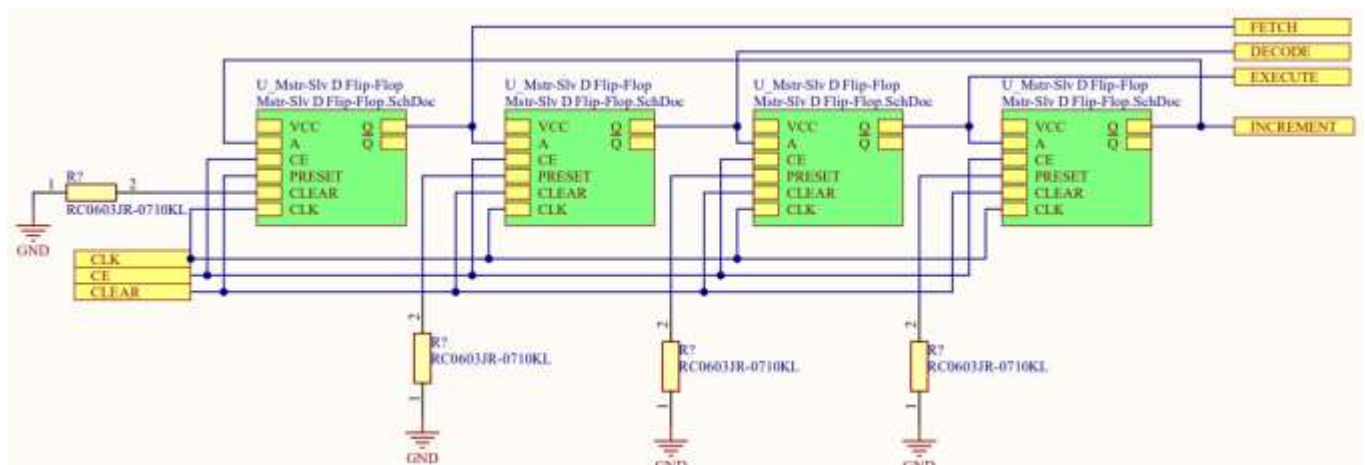


Рисунок 2.20 – Схема електрична принципова генератора фаз

У попередньо створених тригерах не реалізована функція встановлення сигналу, яка потрібна для задання початкового тригера у високий стан (який відповідає за першу фазу), тому реалізуємо функцію скидування до першої фази шляхом об'єднання RST з входом першого тригера та додавання двох діодів, як зображено на рисунку 3.20 вище. Також усередину генератора фаз було додано тригер для реалізації інкременту, який збільшує значення лічильника фаз у кінці кожного періода генератора фаз [2].

2.3.2 Проектування декодера інструкцій

У розроблюваному 8-бітному процесорі перша тетрада (перші 4 біти) у першому байті регістра інструкцій, який, у свою чергу, є 2-байтовим, містить інформацію про опкод команди, варто зазначити, що існує команда стрибка JMP, якщо декодер інструкцій отримує її, то друга тетрада задають умову, або її відсутність. У другому байті регістра інструкцій містяться дані: число, або адреса для оперування. Розробимо з заданими вимогами таблицю опкодів і відповідних їм команд (див. табл. 2.2), а по ній і сам декодер інструкцій (див. рис. 2.21).

Таблиця 2.2 – Таблиця істинності контрольних сигналів і їх функцій

Функція	Опкод
SET ACC K	0001 0000
ADD ACC K	0010 0000
SUB ACC K	0011 0000
AND ACC K	0100 0000
GET ACC A	0101 0000
SEND ACC A	0110 0000
JMP A	0111 0000
JMPZ A	0111 0001
JMPC A	0111 0010
JMPNZ A	0111 0011
JMPNC A	0111 0100

Декодер інструкцій є логічною схемою з одним активним станом, який задає високий сигнал відповідній, розшифрованій інструкції у певному наборі з безліччі команд. Принцип роботи базується на передачі перших 8 біт регістру адреси, які містять унікальний ідентифікатор (комбінацію 0 і 1) для кожної

команди. Після завершення декодування, пристрій переходить у фазу виконання, де на основі вибраної команди встановлюються команди для реалізації відповідної команди.

Декодер інструкцій є набором логічних елементів AND, з кількістю входів, яка відповідає кількості бітів у опкоді. Кожен вхід або інвертується або залишається незмінним, у залежності від опкоду команди.

Загалом, набори комбінацій з інвертуючих елементів NOT перед вхідними сигналами елементів AND і задають ці самі опкоди команд (див. Додаток Б, рис. Б.1) [2, 3, 20].

2.3.3 Проектування RAM

Для роботи будь-якого процесора потрібна пам'ять, яка зберігатиме різного роду дані. У цьому 8-бітному процесорі реалізована Фон-нейманівська архітектура, тобто і дані і сама програма зберігаються в одній області пам'яті.

Регістр адреси має розмір 16 біт (8 біт опкоду, 8 біт адреси/даних), тому кожна комірка пам'яті у RAM буде також рівна 2 байтам, які реалізовані з допомогою регістрів. Також у цьому елементі є декодер інструкцій, принцип роботи якого такий самий з тим, що міститься у декодері процесора. Але вихід у RAM є всього лиш один (для 2 байт), який з'єднаний паралельно з кожним регістром, тому тут виникає проблема конфлікту сигналів. Щоб її усунути, достатньо використати 3-станові буфери на кожен вихід регістрів. Принципова схема наведена на рисунку 2.22 [11, 12].

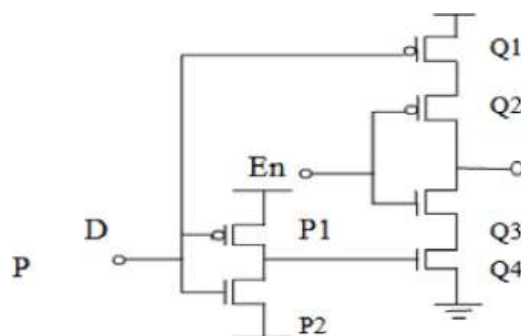


Рисунок 2.22 – Схема електрична принципова трьох-станового буфера

					КС КРБ 123.214.00.00 ПЗ	Арк.
Змн.	Арк.	№ докум.	Підпис	Дата		32

3-станові буфери мають додатковий пін увімкнення, який дозволяє компоненту працювати як звичайний буфер, коли він у високому стані, але якщо він у низькому стані, тоді буфер поводить себе як відкрита схема, тобто переходить у стан високого імпедансу.

У цьому випадку цей стан не є бажаним, адже він може під дією завад перейти випадково в високий стан, що може спричинити зчитування помилкових даних з пам'яті, тому взявши за основу схему трьох-станового буфера модифікуємо її додавши N-канальний MOSFET для підтягування до землі, якщо $EN = 0$ та діод (див. рис. 2.23).

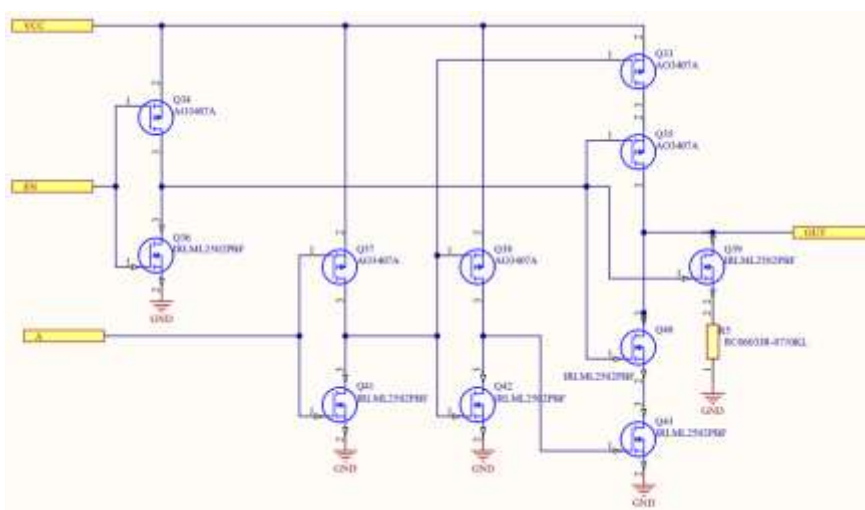


Рисунок 2.23 – Схема електрична принципова буфера з ввімкненням

Тепер є можливим завершення проєктування RAM, для цього 8-бітного процесора буде достатньо 4-х 2-байтних регістрів для демонстрації виконання команд. Також на кожен вихідний біт регістрів потрібно встановити буфер з ввімкненням, після чого отримаємо схему RAM (див. Додаток Б, рис. Б.2) [3].

2.3.4 Зв'язування елементів декодера

Попередньо створені компоненти декодера інструкцій, регістрів, генератора фаз знадобляться для проєктування одного з найголовніших та найбільших елементів 8-бітного процесора, який виконуватиме роботу у вигляді зчитування команд та їх виконання – декодера.

Як зазначалось раніше, принцип роботи цього компоненту не є складним – він лише активує усі інші, необхідні елементи, які, у свою чергу, виконують потрібні обчислення для виконання певної, отриманої команди. Уся необхідна логіка виконується простими елементами AND, OR, NOT, та іншими компонентами (див. Додаток Б, рис. Б.3).

Тепер отримано усі необхідні компоненти для побудови 8-бітного процесора, потрібно лише з'єднати їх між собою.

2.4 Тестування роботи 8-бітного процесора

Запустивши програму симуляції вимкнемо тактовий сигнал та запишемо в пам'ять програму з наступних рядків (див. рис. 2.24).

```
ADD ACC 5
SUB ACC 5
JMPNZ ADDR2
```

Рисунок 2.24 – Лістинг команд для виконання процесором

Переглянемо часову діаграму виконання цієї програми (див. рис. 2.25).

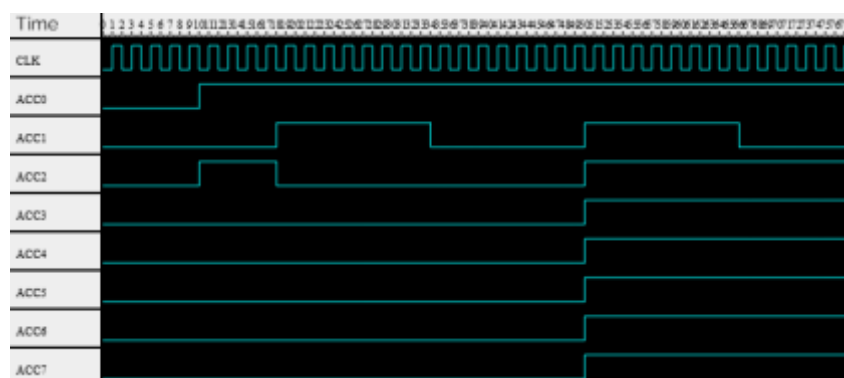


Рисунок 2.25 – Часова діаграма процесора

Видно, що програма працює правильно, тому це дозволяє приступати до розроблення плати 8-бітного процесора.

РОЗДІЛ 3 ПРАКТИЧНА ЧАСТИНА

3.1 Вибір компонентів для проєктування комп'ютерної логіки

Для проєктування 8-бітного процесора існує великий вибір готових компонентів, від логічних елементів до повноцінних оперативних елементів. Створення проєкту з транзисторів не є хорошою ідеєю, адже навіть у такому відносно простому процесорі їх тисячі. Тому було вирішено замінити можливі компоненти на готові рішення для проєктування готового рішення. Далі буде коротко розглянуто аналоги усіх використаних елементів, їх принцип роботи [19].

3.1.1 Заміна логічних елементів

Елементи комп'ютерної логіки XOR, OR, AND та інші є популярними, тому існує велика кількість відповідних мікросхем з довільною кількістю елементів, входів додаткових, додаткових функцій. Для проєктування 8-бітного процесора були використані наступні мікросхеми: NC7WZ04P6X (NOT), CD4001BM (XOR), 74HC125D.653 (Buffer), CD4071BM96 (AND), CD4081BM (AND). Усі вони логічного сімейства CMOS, а тому відповідають вимогам завдання проєктування. Принцип роботи ідентичний з індивідуальними елементами, різняться лише кількість самих компонентів, адже кожна з мікросхем містить їх до 8 штук [20].

3.1.2 Заміна мультиплексорів

Під час проєктування процесорів використання мультиплексорів є невід'ємною частиною коректної роботи пристрою. Замість мультиплексорів

					КС КРБ 123.214.00.00 ПЗ		
Змн.	Арк.	№ докум.	Підпис	Дата			
Розроб.		Магдич С.І.			Практична частина		
Перевір.		Тиш Є.В.					
Реценз.							
Н. Контр.		Луцик Н.С.					
Затверд.		Осухівська Г.М.					
					Літ.	Арк.	Аркушів
						35	
					ТНТУ, каф. КС, гр. СІ-41		

4:8, 2:16, 2:8 використовуватиметься 74HC151D.653. Ця мікросхема є 8:1 мультиплексором. Він містить 8 вхідних пінів, 3 сигналів керування, 1 керування ввімкненням та 2 виходи, один з яких інвертований (див рис. 3.1).

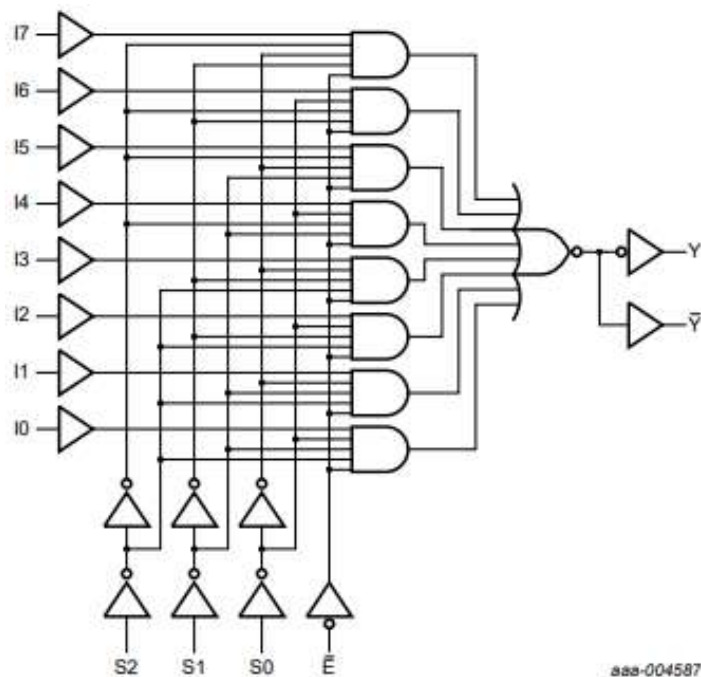


Рисунок 3.1 – Схема електрична принципова мультиплексора 74HC151D.653

Даний мультиплексор є зручним у використанні для перетворення паралельного сигналу, наприклад з регістру, у послідовний [26].

3.1.3 Вибір 8-бітного регістра

З метою збереження місця, вартості та кількості компонентів було вирішено замінити регістри, побудовані з ідндивідуальних тригерів на готове рішення, а саме мікросхему 74HC595D.118. Даний регістр отримує послідовні дані, після чого виводить їх або паралельно, або послідовно. Містить два піни SHCP, STCP. Обидва для тактових сигналів, перший використовується для зсуву бітів, а другий для записування (і одночасно виведення) даних з збережуваних тригерів. Містить інвертовані піни MR, OE для очищення зсувного регістру та переведення їх у стан високого імпедансу. Часова діаграма для даного компоненту наведена на рисунку 3.2 [27].

					КС КРБ 123.214.00.00 ПЗ	Арк.
Змн.	Арк.	№ докум.	Підпис	Дата		36

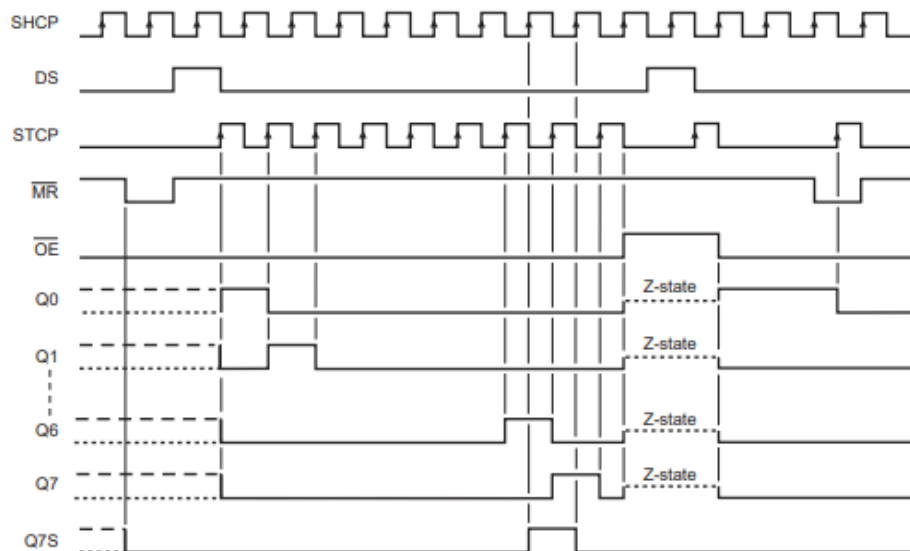


Рисунок 3.2 – Часова діаграма 8-бітного регістру зсуву 74HC595D.118

3.1.4 Вибір компонентів для створення тактових сигналів

Будь-яка мікросхема працює на тактових сигналах, які генеруються відповідними генераторами та резонаторами. Для роботи 8-бітного процесору буде цілком достатньо 4 МГц, тому було обрано тактовий, кварцевий генератор ASE-8.000MHZ-LC-T з можливістю його вимкнення (переведення у стан високого імпедансу), що є дуже зручним для вимкнення процесору, для запису програми у пам'ять. Додатково до цієї мікросхеми було додано двійковий лічильник з 2 елементами по 4 біти. Оскільки у процесорі використовуються різні бітності регістрів, потрібно генерувати тактовий сигнал різних частот – цього можна досягнути використавши виходи лічильника. З кожним бітом частота ділиться навпіл, дозволяючи синхронізувати запис та зчитування, наприклад у 16-бітний та 8-бітні регістри [28].

3.1.5 Заміна адресних декодерів

Замість спроектованих декодерів адрес буде використано готовий компонент: 74ACT138SC. Це демультиплексор, корисний для декодування адрес, використовується як декодер інструкцій у декодері процесора. Містить 3 піни адрес, 8 вихідних сигналів та 3 сигналів увімкнення (див. рис. 3.3) [29].

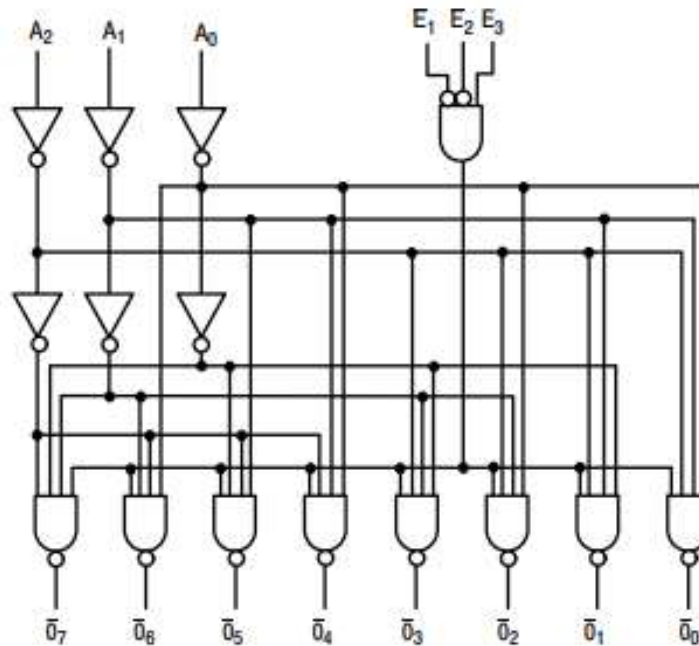


Рисунок 3.3 – Електрична принципова схема 74ACT138SC

3.1.6 Заміна тригерів

У процесорів використання тригерів обов'язкове, наприклад, для реалізації генератора фаз. Для цієї задачі використано компонент HEF4013BT.653, це стандартні Д-тригери з функціями SET, PRESET та можливістю зміни сигналу на зростаючому фронті. Принципова схема одного тригера наведена на рисунку 3.4 [30].

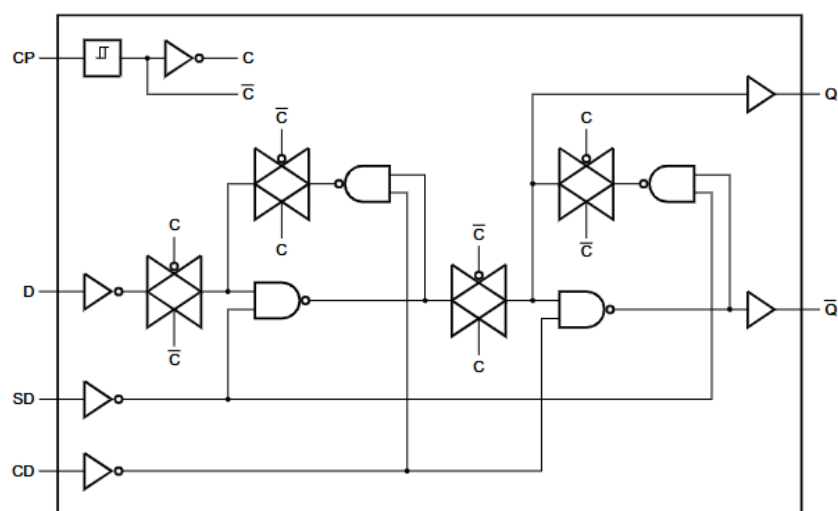


Рисунок 3.4 – Схема електрична принципова одного тригера
HEF4013BT.653

3.2 Заміна елементів на схемах

Вибравши усі компоненти зміна проектування є наступним кроком. Загальне розташування та з'єднання залишаються такими самими як і в існуючих схемах. Першим компонентом для перепроектування буде декодер. Додатково, на одному листі зображено одразу декодер інструкцій та генератор фаз. (див. Додаток Б, рис. Б.4). Як видно, компонент отримує адресу паралельно, уся логіка встановлення сигналів відповідно команди не змінена. Ураховуючи те, що деякі компоненти мають інверсні виходи, наприклад як мультиплексор 74ACT138SC, було використано інвертори по вихідних сигналах цих елементів.

Наступною схемою для заміни елементів буде АЛП. Оскільки 8-бітний процесор тепер використовує паралельну передачу даних між операційними елементами, розмір цього листа буде набагато меншим, достатньо використовувати лише один набір повного суматора з тригеом, для виконання додавання переносу (див. рис. 3.5) [19, 3].

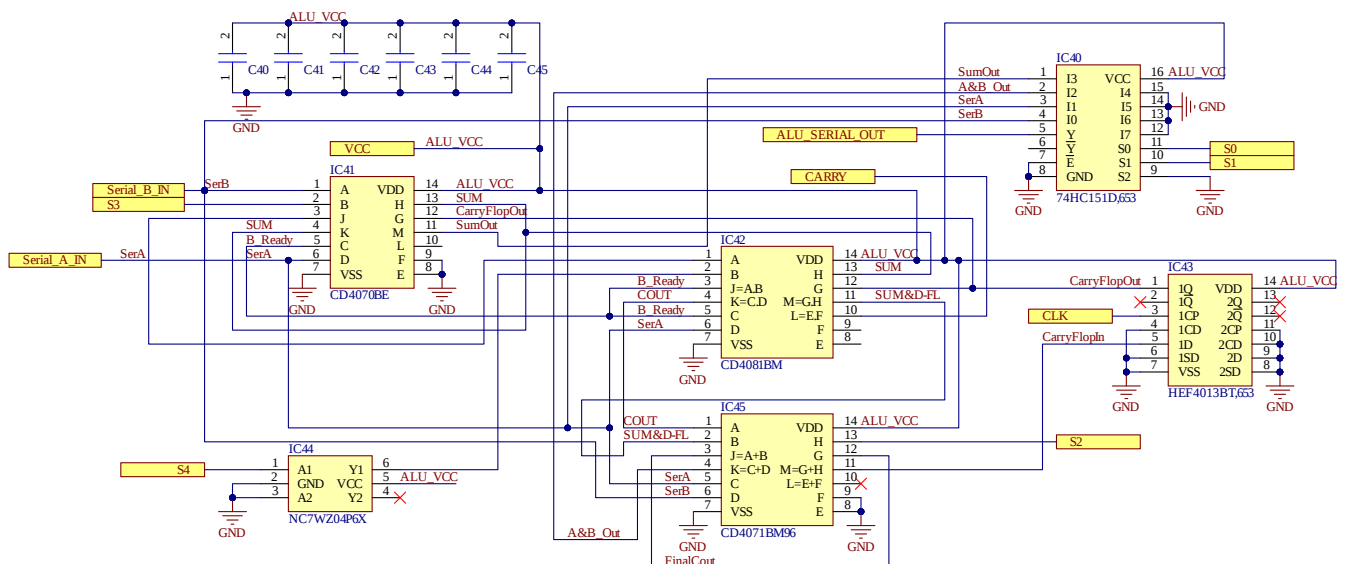


Рисунок 3.5 – Схема електрична принципова перекомпонованого АЛП

Останнім елементом для перекомпонування є RAM (див. Додаток Б, рис Б.5). Завдяки використанню послідовної передачі даних тут зменшено кількість елементів, порівняно з попереднім дизайном, але також ускладнюється передача даних, оскільки усі 16-ти та 8-бітні регістри повинні бути зсynchronізованими, у чому дуже легко вчинити помилку, адже навіть зміщення на один тактовий сигнал може повністю спотворити дані якими оперує процесор. Для вирішення задачі з синхронізацією сигналів було використано лічильник у зв'язці з тактовим генератором (див. рис. 3.6).

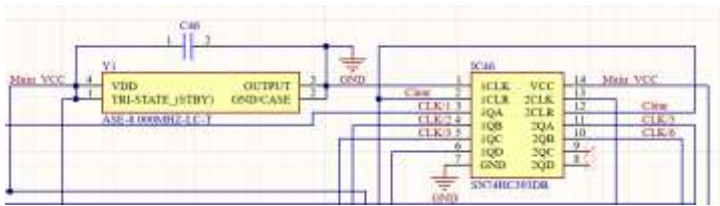


Рисунок 3.6 – Схема електрична принципова генератора тактових сигналів процесора

Кожен вихідний біт лічильника є поділенням на половину тактового сигналу, використовуючи різні виходи з'являється можливість синхронізації сигналів.

Для деяких компонентів, де використовується перетворення з паралельних сигналів у послідовні, застосовується мультиплексор. Таке використання можна замітити на листі з периферійними пристроями. Приклад підключень елемента, де перетворюється паралельні сигнали нижнього байта в послідовні наведено на рисунку 3.7 [2].

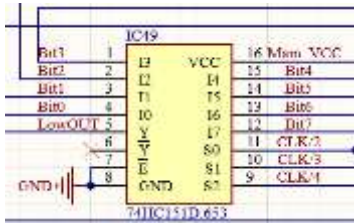


Рисунок 3.7 – Частина схеми електричної принципової з мультиплексором для перетворення паралельних даних в послідовні

3.3 Проєктування додаткової периферії

Користування процесором, тестування його функцій буде неможливим без можливості запису програми у пам'ять, або виведення значень регістрів зрозумілим для людини шляхом. Для цього будуть використані DIP-перемикачі, з вихідними сигналами Bit[0:15], Addr[0:2], Write, Clear, TurnOffClock. Перші два сигнали використовуються для вибору комірки пам'яті та введення даних для неї, наступний – Write, для запису даних у пам'ять, Clear – скидання процесору, очищення усіх даних та останній TurnOffClock – для вимкнення тактового сигналу. Кожний сигнал підтягнутий до 0. Додатково виведені світлодіоди для висвітлення даних, які містить регістр ACC. А для перетворення паралельних сигналів з перемикачів використовуються мультиплексори. Також сама схема буде живитись від зовнішнього джерела живлення, через припаяні провода. Вибір джерела живлення залежить від оператора пристроєм, але напруга не повинна перевищувати 6 В для безпечної роботи плати, і не меншою за 4.5 В [17].

					КС КРБ 123.214.00.00 ПЗ	Арк.
						41
Змн.	Арк.	№ докум.	Підпис	Дата		

РОЗДІЛ 4 БЕЗПЕКА ЖИТТЄДІЯЛЬНОСТІ, ОСНОВИ ОХОРОНИ ПРАЦІ

4.1 Вимоги безпеки до робочих місць для виконання робіт

Виконання робіт, пов'язаних із проектуванням, складанням, випробуванням та налагодженням електронних схем на базі 8-бітного процесора, вимагає чіткої організації робочого місця з урахуванням вимог безпеки, охорони праці та виробничої санітарії. Основною вимогою є забезпечення безпечних умов праці, які унеможливляють виникнення травмонебезпечних або аварійних ситуацій при використанні електро- та паяльного обладнання, макетних плат, джерел живлення та контрольно-вимірювальної апаратури.

Робоче місце оператора обладнується робочим столом, стільцем, освітлювальною апаратурою, джерелами живлення та стендами для монтажу та тестування розроблюваних пристроїв. Поверхня столу виконується з матеріалів, які не накопичують електростатичний заряд, або ж покривається антистатичним килимком, заземленим через обмежувальний резистор номіналом не більше 1 МОм. Забезпечується використання антистатичного браслета, підключеного до контуру заземлення, що запобігає виникненню електростатичних розрядів, здатних пошкодити чутливі компоненти CMOS-логіки 8-бітного процесора [9].

Освітлення робочого місця виконується згідно з вимогами ДСТУ, забезпечуючи рівномірне освітлення площею не менше 300 лк. Особливу увагу приділяють виключенню сліпучих відблисків на поверхні екранів осцилографів, моніторів комп'ютера, корпусів мікросхем та інших деталей. Світильники повинні бути встановлені таким чином, щоб тінь оператора не падала на робочу поверхню [10].

					КС КРБ 123.214.00.00 ПЗ		
Змн.	Арк.	№ докум.	Підпис	Дата			
Розроб.		Магдич С.І.			Безпека життєдіяльності, основи охорони праці		
Перевірів							
Консульт.		Пилипець М.І.					
Н. Контр.							
Затверд.		Осухівська Г.М.					
					Літ.	Арк.	Аркушів
						42	
					ТНТУ, каф. КС, гр. СІ-41		

Усі електричні з'єднання макетних плат, блоків живлення та периферійних пристроїв повинні бути виконані із дотриманням вимог електробезпеки. Використовуються тільки сертифіковані мережеві фільтри та блоки живлення з гальванічною розв'язкою від мережі 220 В змінного струму. Рівень напруги на виходах живильних пристроїв не перевищує 5 В для забезпечення безпеки при випадковому дотику до відкритих контактів. Паяльні станції мають бути оснащені системами температурної стабілізації та заземлення, що дозволяє уникнути появи електростатичних розрядів при торканні жала до виводів мікросхем.

Обов'язковим є застосування витяжної вентиляції або локальних систем відведення парів під час пайки, що унеможливорює потрапляння токсичних речовин у зону дихання оператора. Вміст шкідливих речовин у повітрі робочої зони не перевищує допустимих граничних концентрацій згідно із санітарними нормами.

Рівень шуму на робочому місці визначається роботою лабораторного обладнання і не перевищує допустимих 65 дБА, що виключає негативний вплив на увагу та загальний стан працівника. Температурний режим робочої зони підтримується в межах 20–25°C, відносна вологість – 40–60%. Виконання цих умов забезпечує стабільну роботу електронних компонентів та комфорт працівника протягом повного робочого дня [10].

Конструкція робочого стільця повинна забезпечувати регулювання висоти сидіння, кута нахилу спинки, що дозволяє підтримувати фізіологічно правильну позу оператора, виключаючи застійні явища у м'язах та зниження працездатності. Стіл повинен мати достатню площу для розміщення всіх елементів макетування, інструментів, вимірювальних приладів та документації [8].

Під час виконання робіт забороняється залишати під напругою макетні плати без нагляду, торкатися відкритих провідників високої напруги, використовувати несправне або пошкоджене обладнання, а також проводити ремонтні роботи без відключення живлення.

					КС КРБ 123.214.00.00 ПЗ	Арк.
						43
Змн.	Арк.	№ докум.	Підпис	Дата		

Усі працівники, які допускаються до робіт із мікроелектронікою, зобов'язані пройти інструктаж з охорони праці та електробезпеки, а також знати порядок надання першої долікарської допомоги при ураженні електричним струмом, опіках та інших можливих виробничих травмах.

4.2 Працездатність людини – оператора

Працездатність оператора, що виконує роботи зі складання, налаштування та налагодження 8-бітного процесора, визначається його загальним фізіологічним і психоемоційним станом, здатністю до тривалого зосередження уваги, точності виконання дрібних маніпуляцій та аналітичного мислення. Професійна діяльність оператора передбачає високу ступінь відповідальності, оскільки навіть незначна помилка у збиранні схеми або подачі живлення може призвести до пошкодження мікросхем або виходу з ладу усього вузла процесорної логіки.

До виконання робіт допускаються особи, які не мають хронічних захворювань, що впливають на концентрацію уваги, координацію рухів, зір або слух. Порушення цих функцій може стати причиною помилок при монтажі або тестуванні мікросхем, що працюють на високих частотах або з малими рівнями логічних сигналів. Перед початком роботи оператор має бути у стані фізіологічної активності, без ознак сонливості, перевтоми або стресу, які можуть погіршувати швидкість і точність прийняття рішень [4].

Оператору надається можливість чергувати види діяльності – монтаж, аналіз схем, робота з програмним забезпеченням для програмування та моделювання роботи 8-бітного процесора, що дозволяє уникати розвитку професійної втоми та збереження високого рівня уваги. Важливою умовою є відсутність сторонніх дратівливих факторів – підвищеного шуму, мерехтіння освітлення або поганого повітрообміну, які можуть призвести до зниження працездатності та допущення помилок [6].

					КС КРБ 123.214.00.00 ПЗ	Арк.
						44
Змн.	Арк.	№ докум.	Підпис	Дата		

Тривала сидяча робота з макетами 8-бітних процесорів, осцилографами та іншою апаратурою повинна перериватися активними паузами не рідше одного разу на 60 хвилин. Під час перерв рекомендується виконувати вправи для очей, м'язів шийно-комірцевої зони, рук та спини, що дозволяє підтримувати працездатність, знижувати статичні навантаження та профілактику захворювань опорно-рухового апарату [5].

Стан мікроклімату у приміщенні прямо впливає на функціональний стан організму оператора. Температурний режим у межах 20–25°C та відносна вологість повітря 40–60% забезпечують комфортні умови праці, виключаючи розвиток сухості слизових оболонок, загальну втому або зниження імунітету. При підвищенні температури понад 28°C знижується здатність до зосередження уваги, збільшується ризик допущення помилок при виконанні точних монтажних операцій [7].

Організація робочого дня враховує особливості виконання лабораторних або проектно-конструкторських робіт. Тривалість роботи не перевищує 6 годин без додаткової активної перерви, а загальна тривалість перебування за робочим місцем – не більше 8 годин з урахуванням обідньої перерви. У випадку виконання робіт підвищеної складності або інтенсивності рекомендується збільшення тривалості перерв [5].

Психоемоційний стан оператора підтримується за рахунок організації сприятливої виробничої атмосфери, позитивного психологічного клімату в колективі, надання можливості для самостійного вирішення поточних інженерних завдань. Усі ці заходи сприяють збереженню високого рівня працездатності, якості виконання робіт, запобігають виникненню виробничих травм та збоїв у роботі складних цифрових схем [4].

					КС КРБ 123.214.00.00 ПЗ	Арк.
Змн.	Арк.	№ докум.	Підпис	Дата		45

ВИСНОВКИ

У результаті виконання роботи було успішно здійснено проєктування та розроблення 8-бітного процесора.

У першому розділі було проведено кваліфікацію та опис основних складових 8-бітного процесора. Розглянуто роботу компонентів процесора. Проаналізовано логічні сімейства, у результаті чого було обрано CMOS як основну архітектуру побудови логічних елементів.

У другому розділі наведено опис проєктування основних блоків 8-бітного процесора, таких як логічні елементи, мультиплексори, суматори, тригери, регістри, арифметико-логічний пристрій, декодери, та їх складові.

У практичній частині здійснено вибір елементної бази для реалізації розроблених схем, проведено заміну окремих логічних елементів та операційних компонентів. Також розроблено додаткову периферію, для можливості виконання низки дій над процесором.

У розділі, присвяченому безпеці життєдіяльності та охороні праці, розглянуто вимоги до організації безпечного робочого місця оператора, а також наведено рекомендації для підтримання належного рівня працездатності персоналу.

У загальному, під час виконання кваліфікаційної роботи виконано наступні завдання:

- 1) Аналіз логічних елементів та компонентів 8-бітного процесора, опис їх принципу роботи;
- 2) Побудова логічних елементів з MOSFET транзисторів, використовуючи CMOS логіку;
- 3) Створення з отриманих логічних елементів складніших елементів процесора, таких як суматора, декодера, регістрів, мультиплексорів, лічильника команд, арифметико-логічний пристрою, тощо;
- 4) У результаті було з'єднано усі компоненти у одну цілу комп'ютерну систему – 8-бітний центральний процесор;

					КС КРБ 123.214.00.00 ПЗ	Арк.
						46
Змн.	Арк.	№ докум.	Підпис	Дата		

СПИСОК ВИКОРИСТАНИХ ДЖЕРЕЛ

1. Жаровський Р.О., Луцик Н.С., Осухівська Г.М., Паламар А.М., Тиш Є.В. Методичні вказівки до виконання кваліфікаційної роботи бакалавра для здобувачів першого (бакалаврського) рівня вищої освіти за спеціальністю 123 «Комп'ютерна інженерія» усіх форм навчання. Тернопіль: ТНТУ, 2024. 39 с.
2. Лупенко С.А., Пасічник В.В., Тиш Є.В. Комп'ютерна логіка. Навчальний посібник. Львів: Видавництво «Магнолія 2006», 2024. 354 с.
3. Паламар М.І., Стрембіцький М.О., Паламар А.М. Проектування комп'ютеризованих вимірювальних систем і комплексів. Навчальний посібник. Тернопіль: ТНТУ. 2019. 150 с.
4. Психофізіологічні принципи організації роботи оператора. URL: <https://buklib.net/books/26532/> (дата звернення: 19.05.25р.)
5. ДСТУ 7299:2013 Дизайн і ергономіка. Робоче місце оператора.
6. Трофімов Ю. Л. Інженерна психологія. Функціональні стани оператора. URL: <https://subj.ukr-lit.com/inzhenerna-psixologiya-trofimov-yu-l-4-4-funkcionalni-stani-operatora/> (дата звернення 19.05.25р.).
7. Геврик Є.О. Охорона праці. К.: Ельга, Ніка-Центр, 2003. 76 с.
8. ДСТУ 8604:2015 Дизайн і ергономіка. Робоче місце для виконання робіт у положенні сидячи. Загальні ергономічні вимоги.
9. Способи і засоби захисту від статичної електрики. URL: <https://studies.in.ua/bjd-zaporojec/1252-133-sposobi-zasobi-zahistu-vd-statichnoyi-elektriki.html> (дата звернення 20.05.25р.)
10. ДСТУ 7299:2013 Дизайн і ергономіка. Робоче місце оператора.
11. Rinki G., Jaipal B. Tri-state Elastic Buffer Design. URL: <https://citeseerx.ist.psu.edu/document?repid=rep1&type=pdf&doi=ab6eb9512295efde4983defaca598247e976b784> (дата звернення 20.03.25р.).
12. Ravi R., Sima A. Tri-State Buffer with Common Data Bus. URL: <https://www.slideshare.net/slideshow/tristate-buffer-with-common-data-bus/38856390> (дата звернення 20.03.25р.).

					КС КРБ 123.214.00.00 ПЗ	Арк.
Змн.	Арк.	№ докум.	Підпис	Дата		47

13. Latches and Flip-Flops. URL:
<https://www.cs.ucr.edu/~ehwang/courses/cs120b/flipflops.pdf> (дата звернення 24.03.25р.).

14. Sarah L. Mastering Digital Logic Families. URL:
<https://www.numberanalytics.com/blog/mastering-digital-logic-families> (дата звернення 16.02.25р.).

15. Comparison between RTL, DTL, and TTL Logic Families. URL:
<https://www.etechnog.com/2021/12/comparison-between-rtl-dtl-and-ttl.html>
(дата звернення 16.02.25р.).

16. TTL vs CMOS vs ECL: Logic Family Comparison. URL:
<https://www.rfwireless-world.com/terminology/ttl-vs-cmos-vs-ecl> (дата звернення 16.02.25р.).

17. Слюз І., Жаровський Р. Принципи та основні етапи комплексного тестування комп'ютерної інформаційної системи. Матеріали Х науково-технічної конференції Тернопільського національного технічного університету імені Івана Пулюя «Інформаційні моделі системи та технології» (7-8 грудня 2022 року). Тернопіль: ТНТУ. 2022. С. 93.

18. Тиш Є.В. Узагальнений алгоритм синтезу компонентів комп'ютерних систем на основі мікропрограмних автоматів. Вчені записки Таврійського національного університету імені В.І. Вернадського. Том 36 (75), № 1, 2025. С. 247-253.

19. Tysh Ie. Approach and method of evaluation of the general reliability indicator of computer systems. International scientific journal "Computer systems and information technologies", 3 (5). Khmelnytskyi National University. 2021. P.74-80.

20. Тиш Є.В., Шалапай Р.І. Типи вимог до комп'ютерних систем і методи їх виявлення. Матеріали XII міжнародної науково-практичної конференції молодих учених та студентів «Актуальні задачі сучасних технологій» (6-7 грудня 2023 року). Тернопіль: ТНТУ. 2023. С. 437.

21. IRLML2502PBF Datasheet (PDF) - International Rectifier URL:
<https://www.alldatasheet.com/datasheet-pdf/view/180289/IRF/IRLML2502PBF.html> (дата звернення 09.03.25р.)

22. AO3407A Datasheet (PDF) - Alpha & Omega Semiconductors URL:
<https://www.alldatasheet.com/datasheet-pdf/view/291881/AOSMD/AO3407A.html> (дата звернення 09.03.25р.).

23. CMOS Gate Circuitry. URL:
<https://www.allaboutcircuits.com/textbook/digital/chpt-3/cmos-gate-circuitry/>
(дата звернення 13.03.25р.).

24. Basics of CMOS Logic ICs. URL: https://toshiba.semicon-storage.com/info/application_note_en_20210131_AKX00113.pdf?did=68970
(дата звернення 13.03.25р.).

25. CMOS implementation of XOR, XNOR, and TG gates. URL:
<https://eepower.com/technical-articles/cmos-implementation-of-xor-xnor-and-tg-gates/#> (дата звернення 13.03.25р.).

26. 74HC151D Datasheet (PDF) - NXP Semiconductors. URL:
<https://www.alldatasheet.com/datasheet-pdf/view/15543/PHILIPS/74HC151D.html> (дата звернення 12.04.25р.)

27. Nexperia 74HC595D,118 Datasheet. URL:
<https://octopart.com/datasheet/74hc595d%2C118-nexperia-78736100> (дата звернення 13.04.25р.).

28. 3.3V CMOS Compatible 3.2 x 2.5mm SMD Crystal Oscillator. URL:
<https://eu.mouser.com/datasheet/2/3/ASEseries-38758.pdf>. (дата звернення 14.04)

29. Dual 1-of-8 Decoder/Demultiplexer 74AC138, 74ACT138. URL:
<https://www.onsemi.com/download/data-sheet/pdf/74act138-d.pdf> (дата звернення 16.04.25р.).

30. HEF4013BT Datasheet (PDF) - NXP Semiconductors
<https://www.alldatasheet.com/datasheet-pdf/view/17678/PHILIPS/HEF4013BT.html> (дата звернення 17.04.25р.).

					КС КРБ 123.214.00.00 ПЗ	Арк.
						49
Змн.	Арк.	№ докум.	Підпис	Дата		

Додаток А

Технічне завдання

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
Тернопільський національний технічний університет імені Івана Пулюя
Факультет комп'ютерно-інформаційних систем і програмної інженерії

Кафедра комп'ютерних систем та мереж

“Затверджую”

Завідувач кафедри КС

_____ Осухівська Г.М.

“___” _____ 2025 р

РОЗРОБКА 8-БІТНОГО ЦЕНТРАЛЬНОГО ПРОЦЕСОРА

ТЕХНІЧНЕ ЗАВДАННЯ

на 9 листках

Вид робіт:

Кваліфікаційна робота

На здобуття освітнього ступеня «Бакалавр»

Спеціальність 123 «Комп'ютерна інженерія»

«УЗГОДЖЕНО»

Керівник кваліфікаційної роботи

_____ к.т.н., доц. Тиш Є.В.

«___» _____ 2025 р.

«ВИКОНАВЕЦЬ»

Студент групи СІ-41

_____ Магдич С.І.

«___» _____ 2025 р.

Тернопіль 2025

1 Загальні відомості

1.1 Повна назва та її умовне позначення

Повна назва теми кваліфікаційної роботи: «Розробка 8-бітного центрального процесора».

Умовне позначення кваліфікаційної роботи: КС КРБ 123.214.00.00

1.2 Виконавець

Студент групи СІ-41, факультету комп'ютерно-інформаційних систем і програмної інженерії, кафедри комп'ютерних систем та мереж, Тернопільського національного технічного університету імені Івана Пулюя, Магдич С.І.

1.3 Підстава для виконання роботи

Підставою для виконання кваліфікаційної роботи є наказ по університету (№4/7-53 від 27.01.2025 р.)

1.4 Планові терміни початку та завершення роботи

Плановий термін початку виконання кваліфікаційної роботи – 27.01.2025 р.

Плановий термін завершення виконання кваліфікаційної роботи – 23.06.2025 р.

1.5 Порядок оформлення та пред'явлення результатів роботи

Порядок оформлення пояснювальної записки та графічного матеріалу здійснюється у відповідності до чинних норм та правил ISO, ЕСКД, ЕСПД та ДСТУ.

Пред'явлення проміжних результатів роботи з виконання кваліфікаційної роботи здійснюється у відповідності до графіку, затвердженого керівником роботи. Попередній захист кваліфікаційної роботи відбувається при готовності роботи – наявності пояснювальної записки та графічного матеріалу.

Пред'явлення результатів кваліфікаційної роботи відбувається шляхом захисту на відповідному засіданні ЕК, ілюстрацією основних досягнень за допомогою графічного матеріалу.

2 Призначення і цілі створення системи

2.1 Призначення системи

8-бітний процесор що розробляється призначений для:

- Виконання асемблерних інструкцій.
- Зберігання та виконання записаної користувачем певної програми.

2.2 Мета створення системи

Метою кваліфікаційної роботи є розробка та проєктування 8-бітного центрального процесора.

2.3 Характеристика об'єкту

Розробляюваний 8-бітний процесор призначений для використання на платі з периферією для запису програми потрібної користувачеві та зчитування вихідних даних.

3 Вимоги до системи

3.1 Вимоги до системи в цілому

3.1.1 Вимоги до структури та функціонування системи

8-бітний центральний процесор повинен складатись з:

- Пам'яті.
- Арифметико-логічного пристрою.
- Декодера.
- Ввідної-вивідної периферії.
- Лічильника команд.
- Регістра інструкцій.

3.1.2 Вимоги до способів та засобів зв'язку між компонентами системи

Компоненти повинні бути повністю синхронізованими. Повинно передбачатись можливість зміни вхідних сигналів користувачем у момент виконання програми або запису даних.

3.1.3 Вимоги до режимів функціонування системи

Для системи визначено два режими функціонування:

- нормальний режим функціонування;
- режим запису програми;

Основним режимом функціонування є нормальний режим.

Для пристрою у нормальному режимі усі дії повинні виконуватись автоматично, без втручання людини. Усі дані синхронізовано передаються між компонентами, декодер змінює фазу у момент завершення виконання дій решти елементів. Під часо основного режиму роботи процесор не дозволяє записувати дані введенні користувачем.

Режим запису програми розпочинається, якщо відповідні вхідні сигнали були встановлені користувачем і у момент завершення виконання дій

процесором. Користувач відповідає за правильність виконання дій для коректного запису даних за вибраними регістрами. Під час цього режиму, процесор зупиняє роботу, що дозволяє оператору коректно провести необхідні дії.

3.1.4 Вимоги по діагностуванню системи

Для діагностування системи використовуються інструменти діагностування основних процесів системи, які вбудовані у плату 8-бітного процесора. Під час критичних випадків передбачається використання користувачем додаткових приладів діагностики електропристроїв.

3.1.5 Перспективи розвитку, проектування системи

Дана система може бути розширена завдяки збільшенню кількості команд, бітності регістрів і шин, та пам'яті – що дозволяє виконати набагато складніші програми і з більшою програмою або даними.

3.2 Показники призначення

Система повинна передбачати можливість масштабування. Можливості масштабування повинні забезпечуватися засобами використовуваного базового програмного і технічного забезпечення.

3.2.1 Вимоги до надійності

Система повинна забезпечувати працездатність та відновлення своїх функцій при виникненні наступних ситуацій:

- при збоях в системі електропостачання апаратної частини;
- при помилках в роботі апаратних засобів;

Для захисту апаратури від стрибків напруги, електростатики і завад повинні застосовуватися відповідні компоненти, конденсатори.

3.3 Вимоги до безпеки

Зовнішні елементи технічних засобів системи, що перебувають під напругою, повинні мати захист від випадкового дотику, а самі технічні засоби мати занулення або захисне заземлення .

Система електроживлення повинна забезпечувати захисне вимикання при перевантаженнях і коротких замиканнях в колах навантаження, а також аварійне ручне вимикання.

Загальні вимоги пожежної безпеки повинні відповідати нормам на побутове електрообладнання. У разі пожежі не мають виділятися отруйні гази і дим. Після зняття електроживлення має бути доступне застосування будь-яких засобів пожежогасіння.

3.3.1 Вимоги до експлуатації, технічного обслуговування, ремонту і зберігання компонентів системи

Мікроклімат в приміщеннях повинен відповідати нормам виробничого мікроклімату по ДСН 3.3.6.042-99:

- температуру повітря в межах від +10°C до +35°C;
- відносну вологість повітря при 25°C в межах від 30% до 80%;
- атмосферний тиск 760 ± 25 мм рт. ст.

Періодичне технічне обслуговування використовуваних технічних засобів має проводитися відповідно до вимог технічної документації, але не рідше ніж один раз на рік.

Періодичне технічне обслуговування і тестування технічних засобів повинні включати обслуговування і тестування всіх використовуваних засобів, датчики, контролери, системи передачі даних, пристрої безперебійного живлення.

На підставі результатів тестування технічних засобів повинні проводитися аналіз причин виникнення виявлених дефектів і прийматися заходи по їх ліквідації.

3.4 Вимоги до захисту інформації від несанкціонованого доступу

Засоби захисту інформації від несанкціонованого доступу мають бути реалізовані з урахуванням обмежень по обчислювальній потужності, обсягу пам'яті та енергоспоживання. Основні вимоги до захисту включають:

- Реалізація базового механізму розмежування доступу до окремих ділянок пам'яті, зокрема розділення пам'яті програм та даних.
- Обмеження прямого доступу до системної шини або внутрішніх регістрів через зовнішні інтерфейси (I/O).
- Впровадження механізму контролю виконання коду лише з допустимих, призначених для цього областей пам'яті по синхронізованому тактовому сигналу.

Захисні механізми повинні бути збалансовані з урахуванням обмежених ресурсів 8-бітної архітектури та не повинні істотно впливати на продуктивність або енергоспоживання пристрою.

3.4.1 Вимоги по збереженню інформації при аваріях

Інформація, при виникненні аварійних ситуацій повинна бути збережена на резервних носіях.

3.4.2 Вимоги по стандартизації і уніфікації

Система повинна відповідати вимогам ергономіки і зручності користування за умови комплектування високоякісним обладнанням (ЕОМ, монітор і інше обладнання), що має необхідні сертифікати відповідності і безпеки.

3.4.3 Вимоги до функцій (завдань), що виконуються системою:

- забезпечення зберігання даних;
- виконання програми у правильному порядку;
- можливість використання усіх реалізованих функцій.

4 Вимоги до документації

Документація повинна відповідати вимогам ЄСКД та ДСТУ

Комплект документації повинен складатись з:

- пояснювальної записки;
- графічного матеріалу:
 - а) Структурна схема.
 - б) Блок схема роботи комп'ютеризованої системи.
 - в) Схема електрична принципова.
 - г) Схема електрична монтажна (з'єднань).

*Примітка: У комплект документації можуть вноситися зміни та доповнення в процесі розробки.

5 Стадії та етапи проектування

Таблиця 1 – Стадії та етапи виконання кваліфікаційної роботи
бакалавра

№ етапу	Назва етапу виконання кваліфікаційної роботи	Термін виконання
1	Розробка технічного завдання.	27.01– 02.02
2	Робота над основними розділами – Аналіз технічного завдання (кожен описує згідно своєї кваліфікаційної роботи)	02.02 – 07.03
3	Робота над основними розділами – Проектна частина	07.03 – 10.04
4	Робота над основними розділами – Практична частина	10.04 – 19.05
5	Безпека життєдіяльності, основи охорони праці	19.05 – 21.05
6	Оформлення пояснювальної записки і графічного матеріалу	21.05 – 09.06
7	Перевірка на академічний плагіат, перевірка керівником та консультантами	9.06 – 15.06
8	Попередній захист кваліфікаційної роботи бакалавра	16.06 – 22.06
9	Захист кваліфікаційної роботи бакалавра	26.06

6 Додаткові умови виконання кваліфікаційної роботи

Під час виконання кваліфікаційної роботи у дане технічне завдання можуть вноситися зміни та доповнення.

Додаток Б

Схеми електричні принципові операційних елементів

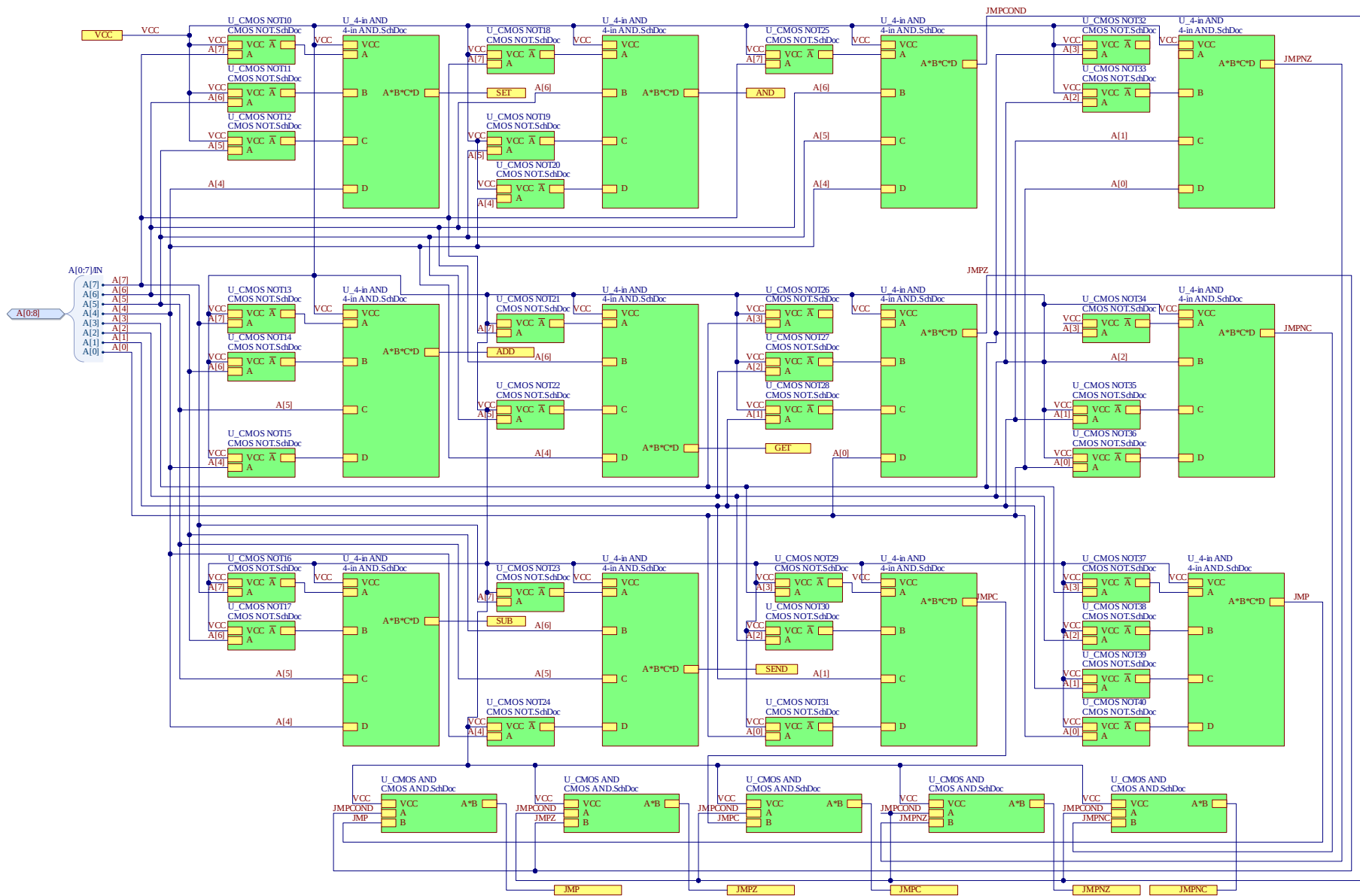


Рисунок Б.1 – Схема електрична принципова декодера інструкцій

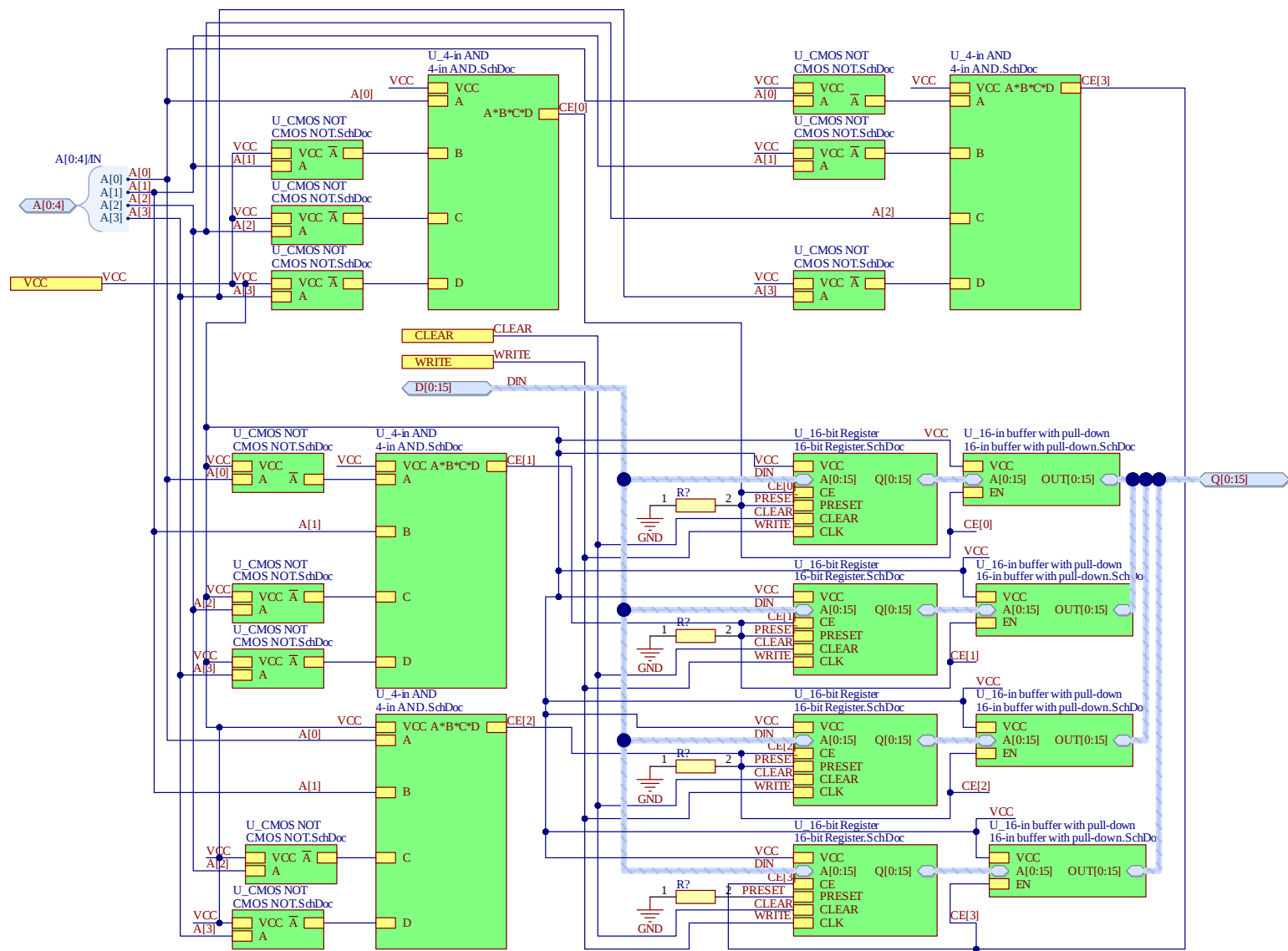


Рисунок Б.2 – Схема електрична принципова RAM

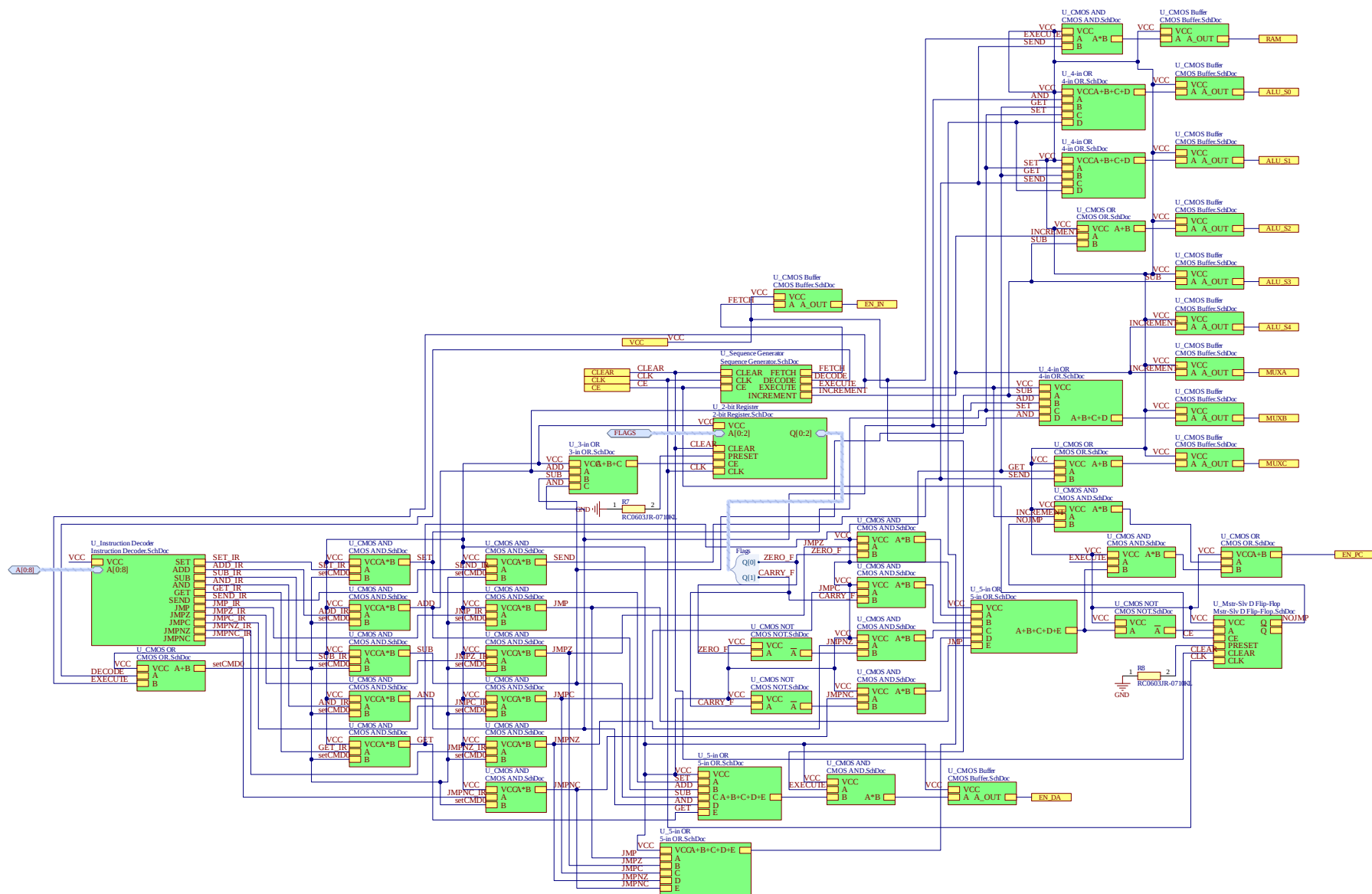


Рисунок Б.3 – Схема електрична принципова декодера

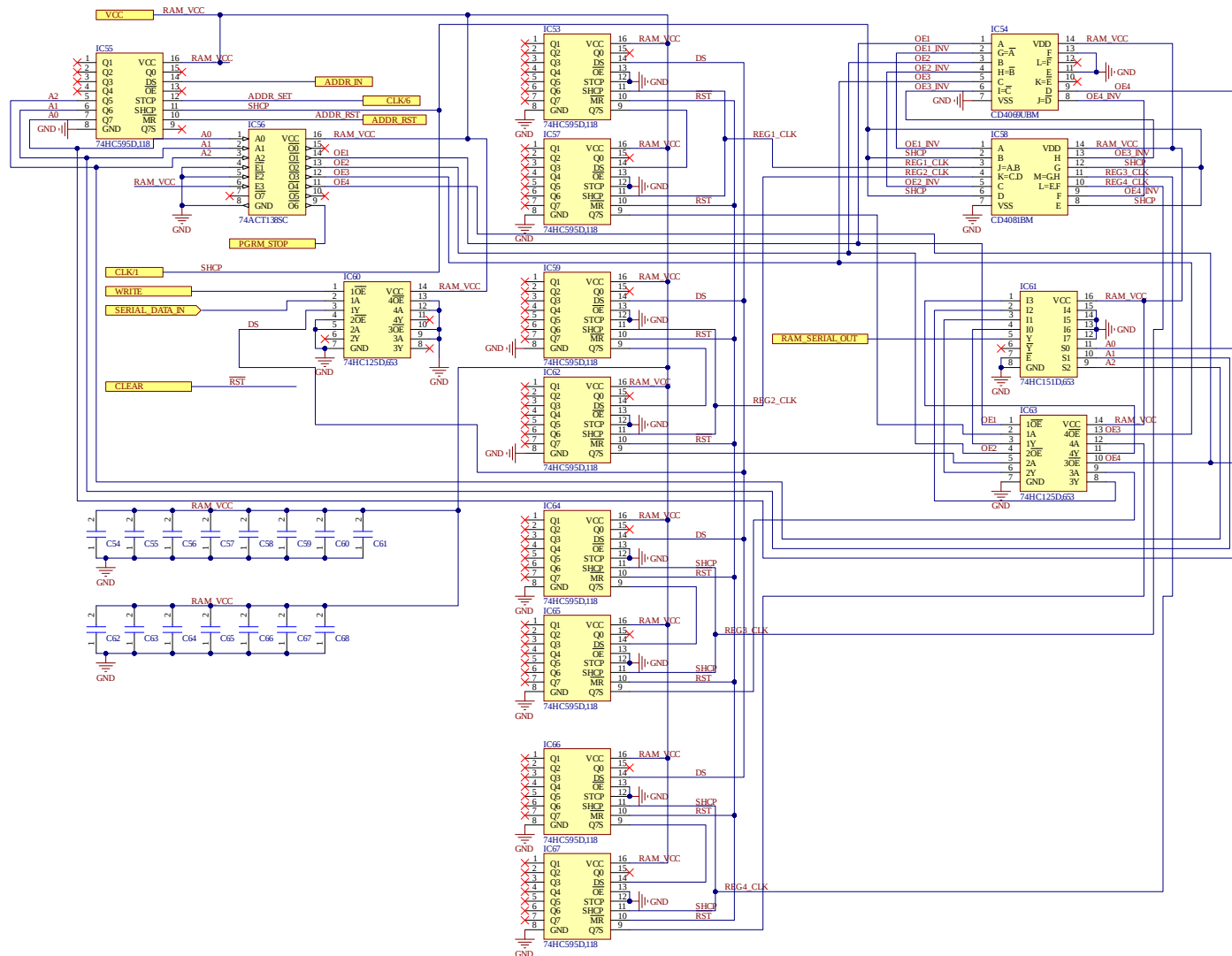


Рисунок Б.5 – Схема електрична принципова перекомпонованого RAM

Додаток В

Перелік елементів

Додаток Г

Перелік елементів