



МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
ТЕРНОПІЛЬСЬКИЙ НАЦІОНАЛЬНИЙ
ТЕХНІЧНИЙ УНІВЕРСИТЕТ ІМЕНІ ІВАНА
ПУЛЮЯ

Кафедра електричної інженерії



МЕТОДИЧНІ ВКАЗІВКИ
ДО ЛАБОРАТОРНИХ РОБІТ

З КУРСУ

**«МІКРОПРОЦЕСОРНА
ТЕХНІКА»**

для здобувачів вищої освіти
за ОПП Електроенергетика, електротехніка
та електромеханіка
першого рівня вищої освіти

ID 1287

Тернопіль 2025

Методичні вказівки до лабораторних робіт з курсу « Мікропроцесорна техніка» для здобувачів першого рівня вищої освіти за ОПП Електроенергетика, електротехніка та електромеханіка / Уклад.: Філюк Я.О., Лупенко А.М. – Тернопіль: ТНТУ імені Івана Пулюя, 2025. – 77 с.

Укладач: Філюк Я.О.,
к.т.н., доцент кафедри електричної інженерії
Лупенко А.М.
д.т.н., проф. професор кафедри електричної інженерії

Рецензент: Андрійчук В.А.
д.т.н., проф. професор кафедри електричної інженерії

Методичні вказівки розглянуто і затверджено на засіданні кафедри електричної інженерії
Протокол №8 від 28.02.25 р

Схвалено методичною радою ФПТ Тернопільського національного технічного університету імені Івана Пулюя.
Протокол № 6 від 07.03.2025

ЗМІСТ

Вступ	4
Лабораторна робота № 1 Системи числення	5
Лабораторна робота № 2 Дослідження логічних елементів	13
Лабораторна робота № 3 Дослідження цифрових схем комбінаційного типу: дешифратора і мультиплексора	36
Лабораторна робота № 4 Дослідження схем тригерів	48
Лабораторна робота № 5 Дослідження елементів пристроїв зв'язку з об'єктом	62
ЛІТЕРАТУРА	77

ВСТУП

Методичні вказівки до лабораторних робіт призначені для підготовки до лабораторних робіт з дисципліни “Мікропроцесорна техніка», викладання якої забезпечує кафедра електричної інженерії Тернопільського національного технічного університету імені Івана Пулюя для здобувачів першого рівня вищої освіти за ОПП Електроенергетика, електротехніка та електромеханіка.

У методичних вказівках детально описано 5 лабораторних робіт, які входять до складу програми із вказаної дисципліни. Наведено теоретичні відомості про роботу цифрових пристроїв та елементів мікропроцесорної техніки, описано принцип роботи, розглянуто параметри і характеристики, які необхідні для виконання завдань. Наведено послідовність досліджень, які проводять під час лабораторної роботи, вимоги щодо опрацювання результатів експериментів, а також контрольні запитання, які орієнтують студента в конкретному напрямі досліджень.

Роботи розроблено з урахуванням технічних характеристик лабораторних стендів і вимірювальних приладів, які використовують в лабораторії електроніки й мікропроцесорної техніки.

Вимоги до змісту звіту. Звіт із лабораторної роботи повинен містити: 1) титульний лист; 2) мету роботи; 3) схему для проведення досліджень; 4) формули для розрахунків; 5) таблиці результатів експерименту; 6) графічні залежності експериментальних даних; 7) результати опрацювання експериментальних даних; 8) висновки за результатами роботи.

Лабораторна робота №1

СИСТЕМИ ЧИСЛЕННЯ

Мета роботи: Навчитись представляти числа в двійковій, вісімковій, шістнадцятковій та двійково-десятковій системах числення; навчитись переводити числа із однієї системи числення в іншу.

1 Теоретичні відомості

1.1 Що таке система числення і які бувають системи числення

Системою числення – це сукупність правил запису чисел цифровими символами. Розрізняють позиційні і непозиційні системи числення.

Непозиційні системи числення

Прикладом непозиційної системи числення є так звані римські цифри. У цій системі зміст кожного символу не залежить від місця, на якому він стоїть. Так запис LXXX позначає число 80. Символ X має значення 10 незалежно від його місця у запису.

Позиційні системи числення

У позиційній системі числення значення цифри в зображенні числа залежить від її положення (позиції) у послідовності цифр, що зображують число. Наприклад, запис 5237 у позиційній системі числення означає, що це число містить 7 одиниць, 3 десятки, 2 сотні і 5 тисяч, тобто 5237 – це скорочене позначення виразу:

$$5 \cdot 10^3 + 2 \cdot 10^2 + 3 \cdot 10^1 + 7 \cdot 10^0$$

Число 10, що присутнє у кожному доданку, називають *основою* системи числення, а саму систему *десятьковою* системою числення. Зверніть увагу, що для запису числа в десятковій системі ми використовуємо рівно десять цифр, які називають *алфавітом* системи числення: 0, 1, 2, 3, 4, 5, 6, 7, 8, 9.

Цифра (символ), що позначає основу, тобто у даному разі число «десять», відсутнє. За принципом позиційної системи це число позначається одиницею в

наступній позиції. Для того, щоб підкреслити, що число задане саме у десятковій системі пишуть $(5237)_{10}$.

Ми користуємось десятковою системою з цілком зрозумілих причин – на руках у людини десять пальців. Ми звикли до неї, і ніколи свідомо не підкреслюємо значення основи. Але немає ніяких перешкод побудувати систему числення, якщо за основу взяти будь-яке інше натуральне число. Візьмемо, наприклад, за основу позиційної системи число 8, тоді запис $(123)_8$ буде означати вираз:

$$1 \cdot 8^2 + 2 \cdot 8^1 + 3 \cdot 8^0$$

Якщо виконати арифметичні дії, то отримаємо число $64 + 16 + 3 = 83$. Тобто:

$$(123)_8 = (83)_{10}$$

Нагадаємо, що у вісімковій системі для запису чисел використовуються тільки 8 цифр: 0, 1, 2, 3, 4, 5, 6, 7 і наступні числа у цій системі будуть позначатися таким чином: 10, 11, 12, 13, 14, 15, 16, 17, 20, 21, 22, 23, 24, 25, 26, 27, 30 ... і т.д.

Зверніть увагу, що в будь-якій системі число рівне основі має вигляд 10, тому множення (ділення) на основу зводиться до перенесення коми, яка розділяє цілу і дробову частину на одну позицію праворуч (ліворуч):

$$(12)_8 \cdot (8)_{10} = (12)_8 \cdot (10)_8 = (120)_8$$

З числами у вісімковій системі числення всі арифметичні операції виконуються за тими ж правилами, що і в десятковій системі.

1.2 Шістнадцяткова система числення

В мікропроцесорній техніці широко використовується шістнадцяткова система числення. Певна річ, що треба мати 16 символів для позначення цифр. Перші десять цифр можна запозичити з десяткової системи числення, а що до решти, то їх домовилися позначати великими латинськими літерами:

$$10 - A, 11 - B, 12 - C, 13 - D, 14 - E, 15 - F$$

Таким чином запис $(2CF)_{16}$ буде означати вираз:

$$2 \cdot 16^2 + 12 \cdot 16^1 + 15 \cdot 16^0 = (944)_{10}$$

1.3 Двійкова і вісімкова системи числення

Окрім шістнадцяткової системи в комп'ютерних технологіях використовуються двійкова, а також вісімкова системи числення, які як і шістнадцяткова система мають основою степені двійки.

Алфавіт двійкової системи складається з двох цифр: 0, 1. Ці цифри мають спеціальну назву біт від англійського «binary digit». Запис вигляду $(101101)_2$ означає вираз:

$$1 \cdot 2^5 + 0 \cdot 2^4 + 1 \cdot 2^3 + 1 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0 = (45)_{10}$$

Нижче у таблиці 1.1 подані перші шістнадцять цілих чисел, записаних у різних системах числення.

Таблиця 1.1 – Числа, записані у різних системах числення

Десяткова система	Двійкова система	Вісімкова система	Шістнадцяткова система
0	0	0	0
1	1	1	1
2	10	2	2
3	11	3	3
4	100	4	4
5	101	5	5
6	110	6	6
7	111	7	7
8	1000	10	8
9	1001	11	9
10	1010	12	A
11	1011	13	B
12	1100	14	C
13	1101	15	D
14	1110	16	E
15	1111	17	F

Зверніть увагу, що для запису чисел таблиці у двійковій системі знадобилося не більше ніж чотири біта.

Дріб у двійковій системі записується за тими ж правилами, що і десятковий дріб, але при підрахунку значення треба використовувати від'ємні степені двійки. Запис $(0,1101)_2$ означає:

$$1 \cdot 2^{-1} + 1 \cdot 2^{-2} + 0 \cdot 2^{-3} + 1 \cdot 2^{-4} = 1 \cdot 0,5 + 1 \cdot 0,25 + 0 \cdot 0,125 + 1 \cdot 0,0625 = (0,8125)_{10}$$

2 Приклад виконання завдання

2.1 Число 483 (в десятковій системі числення) перевести в двійкову систему числення

$$483_{10} \rightarrow ?_2$$

Виконання:

483		2
482		241
1		240
		120
		120
		60
		60
		30
		30
		15
		14
		7
		6
		3
		2
		1
		1

Перевірка:

Ваговий коефіцієнт	2^8	2^7	2^6	2^5	2^4	2^3	2^2	2^1	2^0
Число	1	1	1	1	0	0	0	1	1

$$1 \cdot 256 + 1 \cdot 128 + 1 \cdot 64 + 1 \cdot 32 + 1 \cdot 2 + 1 = 483_{10}$$

Відповідь: $483_{10} \rightarrow 111100011_2$ – цей результат необхідно вписати в таблицю 4.

2.2 Число 483 (в десятковій системі числення) перевести в вісімкову систему числення

$$483_{10} \rightarrow ?_8$$

Виконання: Розбиваємо двійкове число на тріади справа наліво і зображаємо кожну тріаду відповідною вісімковою цифрою (див. табл. 1):

$$483_{10} \rightarrow 111100011_2$$

$$111.100.011_2 \rightarrow 743_8$$

Перевірка:

$$743_8 \rightarrow 7 \cdot 8^2 + 4 \cdot 8^1 + 3 \cdot 8^0 = 7 \cdot 64 + 4 \cdot 8 + 3 = 483_{10}$$

Відповідь: $483_{10} \rightarrow 743_8$ – цей результат необхідно вписати в таблицю 4.

2.3 Число 483 (в десятковій системі числення) перевести в шістнадцяткову систему числення

$$483_{10} \rightarrow ?_{16}$$

Виконання: Розбиваємо двійкове число на тетради (четвірки) справа наліво і кожну тетраду зображаємо відповідною шістнадцятковою цифрою (див. табл. 1):

$$483_{10} \rightarrow 111100011_2$$

$$0001.1110.0011 \rightarrow 1E3_{16}$$

Перевірка:

$$1E3_{16} \rightarrow 1 \cdot 16^2 + 14 \cdot 16^1 + 3 \cdot 16^0 = 256 + 224 + 3 = 483_{10}$$

Відповідь: $483_{10} \rightarrow 1E3_{16}$ – цей результат необхідно вписати в табл. 4.

2.4 Число 483 (в десятковій системі числення) перевести в двійково-десяткову систему числення

$$483_{10} \rightarrow ?_{2-10}$$

Виконання: Кожну десяткову цифру зображаємо відповідною двійковою тетрадою (див. табл. 1):

$$4 \quad 8 \quad 3$$

$$0100 \quad 1000 \quad 0011$$

Відповідь: $483_{10} \rightarrow 10010000011_{2-10}$ – цей результат необхідно вписати в табл. 4.

3 Хід роботи

3.1 Доповнити в таблиці 1.2 рядки з десятковими номерами від 17 до 31 відповідними значеннями в двійковій, вісімковій, шістнадцятковій і двійково-десятковій системах числення.

Таблиця 1.2 – Представлення чисел в різних системах числення

Системи числення				
Десяткова	Двійкова	Вісімкова	Шістнадцяткова	Двійково-десяткова
0	0	0	0	0000
1	1	1	1	0001
2	10	2	2	0010
3	11	3	3	0011
4	100	4	4	0100
5	101	5	5	0101
6	110	6	6	0110
7	111	7	7	0111
8	1000	10	8	1000
9	1001	11	9	1001
10	1010	12	A	0001 0000
11	1011	13	B	0001 0001
12	1100	14	C	0001 0010
13	1101	15	D	0001 0011
14	1110	16	E	0001 0100
15	1111	17	F	0001 0101
16	10000	20	10	0001 0110
...	...	...	...	...
32	100000	40	20	0011 0010

3.2 Кожне з чисел, які наведені в таблиці 1.3 представити в різних системах числення (десятковій, двійковій, вісімковій, шістнадцятковій і двійково-десятковій). Вибрати завдання із таблиці 3 у відповідності з порядковим номером в журналі групи.

Таблиця 1.3 – Індивідуальні завдання

Варіант	Системи числення				
	Десяткова	Двійкова	Вісімкова	Шістнадцяткова	Двійково- десяткова
1	234	1110111	234	A34	
2	432	10010111	432	B32	
3	567	11001011	567	C67	
4	543	10110011	543	543	
5	786	10101011	756	7FF	
6	469	1111001	463	46A	
7	897	10001110	736	A197	
8	438	11011010	437	4A38	
9	291	10010010	261	2B11	
10	658	11101110	657	6E8	
11	386	10000111	376	2B86	
12	987	10111001	765	3E87	
13	876	11100010	654	A76	
14	564	01101100	564	B64	
15	368	10010011	366	3A8	
16	269	11001110	262	2C9	
17	805	11100011	705	80D	
18	675	11000110	675	2F5	
19	931	10011001	731	9E1	
20	873	11011011	773	87A	
21	764	11001001	764	764	
22	231	10010111	207	F31	
23	345	11011101	345	34D	
24	456	10101111	456	4F6	
25	678	11101110	671	678	
26	765	10111011	765	1A65	
27	891	11111101	561	A91	
28	588	10000111	555	B88	
29	677	10011111	677	A177	
30	484	10011000	443	1B83	
31	1052	1011011011	635	B2B6C	
32	340	01011111	777	56CA	
33	712	1010101011	410	F12C57	

Результати представити у вигляді, вказаному в таблиці 1.4.

Таблиця 1.4 – Приклад представлення отриманих результатів

№	Системи числення				
	Десяткова	Двійкова	Вісімкова	Шістнадцяткова	Двійково- десяткова
1	483	?	?	?	?
2	?	10011000	?	?	?
3	?	?	443	?	?
4	?	?	?	1B83	?

Результатом виконання лабораторної роботи є представлення числових значень, записаних в різних системах числення з повним поясненням ходу отримання результатів.

4 Контрольні запитання

1. Що таке система числення?
2. Які типи систем числення ви знаєте?
3. Що таке основа позиційної системи числення?
4. У чому полягає проблема вибору системи числення для подання чисел у пам'яті комп'ютера?
5. Яка система числення використовується для подання чисел у пам'яті комп'ютера? Чому?
6. Яким чином здійснюється перевід чисел, якщо основа нової системи числення дорівнює деякому степеню старої системи числення?
7. За яким правилом переводяться числа з десяткової системи числення?

Лабораторна робота №2

ДОСЛІДЖЕННЯ ЛОГІЧНИХ ЕЛЕМЕНТІВ

Мета роботи: Ознайомитися з принципами побудови базових логічних елементів; дослідити основні характеристики та визначити параметри базового логічного елемента ТТЛ; зняти таблиці істинності логічних елементів 2І-НЕ, 3І-НЕ, 4І-НЕ; дослідити роботу заданих цифрових схем побудованих на елементах типу І-НЕ.

1 Теоретичні відомості

1.1 Класифікація цифрових мікросхем

Сучасні технології дозволяють виготовляти мікросхеми з різною кількістю логічних елементів. Складність цифрових мікросхем визначається ступенем функціональної інтегрованості, який ще називають коефіцієнтом інтегрованості:

$$K_{int} = C_D \cdot N_{вл},$$

де $N_{вл}$ – кількість логічних елементів типу 2І-НЕ чи 2АБО-НЕ.

В залежності від значення K_{int} цифрові мікросхеми поділяються на такі групи:

1) малі інтегральні схеми (МІС), які містять від одного до декількох елементів на кристалі, $K_{int} = 1$;

2) середні інтегральні схеми (СІС), які містять від одного до декількох функціональних вузлів, $K_{int} = 1 \div 2$;

3) великі інтегральні схеми (ВІС), які містять від одного до декількох функціональних пристроїв (запам'ятовуючих, арифметичних, арифметико-логічних), $K_{int} = 2 \div 4$.

4) надвеликі інтегральні схеми, $K_{int} > 4$. Здатні виконувати функції цілих цифрових систем (наприклад ЕОМ).

Цифрові мікросхеми поділяються на статичні (з статичною системою зберігання інформації) і динамічні (з динамічною системою зберігання інформації). За способом подання інформації цифрові мікросхеми поділяються на

потенціальні та імпульсні. Потенціальні – це мікросхеми в яких значення логічної 1 і логічного 0 задається двома суттєво різними рівнями потенціалу. В імпульсних мікросхемах логічна 1 і логічний 0 задається наявністю або відсутністю імпульсу.

За типом логіки ІС поділяються на мікросхеми:

- 1) транзисторно-транзисторної логіки (ТТЛ);
- 2) емітерно-зв'язаної логіки;
- 3) МОН-логіки;
- 4) КМОН-логіки;
- 5) інжекційно-інтегральної логіки (І²Л);
- 6) інші типи логік.

ІС кожного типу логіки характеризуються своєю схемотехнічною і конструкторсько-технологічною реалізаціями.

1.2 Характеристики і параметри цифрових мікросхем

Характеристики і параметри поділяються на статичні й динамічні.

1.2.1 Статичні характеристики цифрових мікросхем

До статичних характеристик відносяться: вхідна, передавальна і вихідна.

Вхідна характеристика – це залежність струму від напруги на одному з входів при умові, що на всі інші входи подані рівні логічного 0 або логічної 1.

Передавальна характеристика – це залежність вихідної напруги від вхідної на одному з входів за умови, що на інші входи подано логічний 0 або логічну 1.

Вихідна характеристика – це залежність вихідної напруги від вихідного струму.

Основними статичними параметрами є:

- напруга логічного нуля – U^0 ;
- напруга логічної одиниці – U^1 ;
- вхідний струм логічної одиниці – I_{BX}^1 ;
- вхідний струм логічного нуля – I_{BX}^0 ;
- вихідний струм логічної одиниці – $I_{ВИХ}^1$;

- вихідний струм логічного нуля – $I_{ВНХ}^0$;
- логічний перепад – $\Delta U_n = U^1 - U^0$;
- пороги перемикання – U_n^0, U_n^1 ;
- статичні завадостійкості – U_3^+, U_3^- ;
- вхідний опір – $R_{ВХ}$;
- вихідний опір – $R_{ВНХ}$;
- потужність логічного споживання в режимі логічного нуля – P_{cn}^0 ;
- потужність логічного споживання в режимі логічної одиниці – P_{cn}^1 ;
- середня потужність споживання на один елемент – $P_{cn} = \frac{P_{cn}^0 + P_{cn}^1}{2}$;
- напруга живлення – $E_{жс}$, (номінальне значення, допустимі відхилення величина пульсації);
- температурний діапазон – $\Delta T = T_1 \div T_2$;
- коефіцієнт об'єднання по входу – $K_{об}$;
- коефіцієнт розгалуження по виходу – $K_{розг}$.

Статичні параметри можна визначити по статичних характеристиках. За типом передавальної характеристики цифрові мікросхеми поділяються на інвертуючі і неінвертуючі.

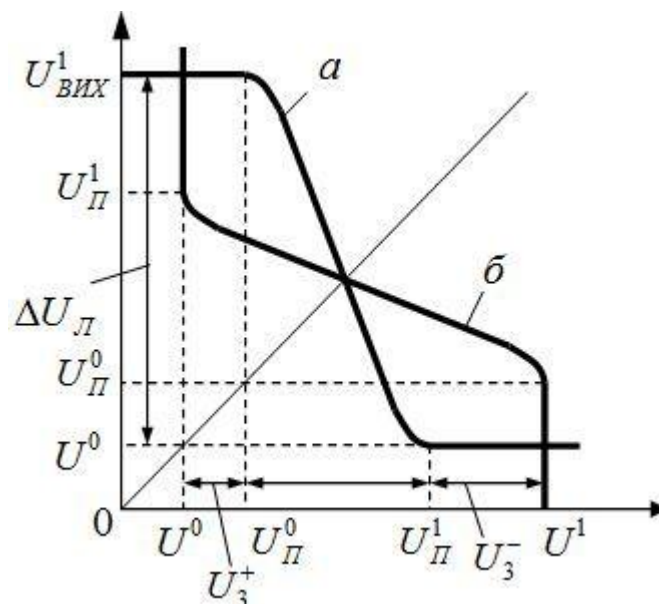


Рис. 2.1. Типова пряма і обернена передавальна характеристика інвертуючої мікросхеми

Сумарна завадостійкість:

$$U_3^+ + U_3^- = (U_n^0 - U^0) + (U^1 + U_n^1) = (U^1 - U^0) + (U_n^0 - U_n^1) = \Delta U_n - \Delta U_{cn};$$

ΔU_n – рівень логічного перепаду;

ΔU_{cn} – смуга невизначеності.

Сумарна завадостійкість повинна не перевищувати напругу живлення. Щоб збільшити завадостійкість потрібно збільшувати ΔU_n і зменшувати ΔU_{cn} .

1.2.2 Динамічні параметри цифрових мікросхем

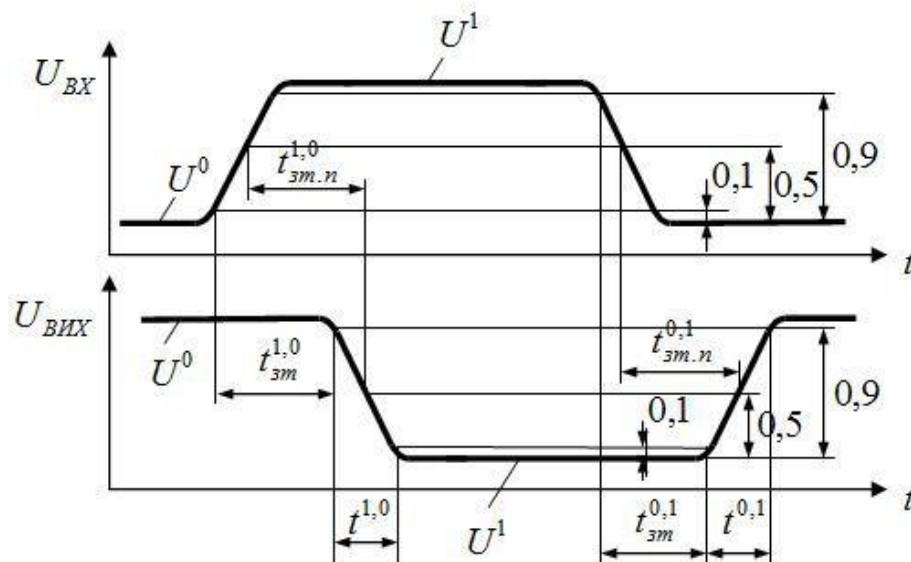


Рис. 2.2. Динамічна характеристика інвертуючої мікросхеми

Основними параметрами динамічних цифрових мікросхем є:

- час переходу з стану логічного нуля в стан логічної одиниці – $t^{0,1}$;
- час переходу з стану логічної одиниці в стан логічного нуля – $t^{1,0}$;
- час затримки вмикання – $t_{зм}^{1,0}$;
- час затримки вимикання – $t_{зм}^{0,1}$;
- час затримки поширення при вмиканні – $t_{зм.н}^{1,0}$;
- час затримки поширення при вимиканні – $t_{зм.н}^{0,1}$;
- середній час затримки поширення – $t_{зм.н}$;
- тривалість імпульсу – τ ;
- динамічна завадостійкість;
- динамічна потужність;

- імпульсна завадостійкість;
- робоча частота перемикання.

Середній час затримки поширення визначає максимальну тактову частоту цифрової мікросхеми. Динамічна завадостійкість залежить від тривалості амплітуди і форми сигналу завади, а також від статичної завадостійкості і частоти перемикання мікросхеми. Оцінка динамічної завадостійкості здійснюється по амплітудо-часовій характеристиці.

Важливий параметр, який об'єднує динамічні і статичні параметри цифрової мікросхеми є робота перемикання. Якість схемотехнічної реалізації і досконалість технології цифрових мікросхем характеризується роботою перемикання:

$$A_n = \overline{P_{cp}} \cdot \overline{t_{з.м.п}}$$

В сучасних мікросхемах $A_n = (0,01 \dots 1) \cdot 10^{-12}$ Дж.

1.3 Базовий логічний елемент транзисторно-транзисторної логіки

Розробка кожної серії цифрових мікросхем починається з базових логічних елементів, які є основою всіх її вузлів (в даній серії). Як правило базові логічні елементи виконують функцію “І-НЕ” чи “АБО-НЕ”, тому що вони володіють функціями мінімального функціонально-повного базису. Маючи ці елементи ми можемо спроектувати та побудувати будь-яку цифрову мікросхему для реалізації будь-якої логічної функції.

Для кожної серії цифрових мікросхем є тотожними:

- виконувана операція;
- спосіб керування;
- напруга живлення;
- споживана потужність;
- завадостійкість;
- швидкодія.

З базових логічних елементів можна зібрати логічні пристрої будь-якої складності. Існує велика кількість базових елементів, які відрізняються між собою типами схемотехнічних рішень, конструкцією, технологією виготовлення і своїми

параметрами. Різноманітність базових логічних елементів обумовлена тим, що кожен з них має свої переваги і свої недоліки і відповідно область застосування. На сьогоднішній день спостерігається інтенсивний розвиток серії цифрових мікросхем побудованих на основі базових логічних елементів:

- транзисторно-транзисторної логіки (ТТЛ);
- емітерно-зв'язаної логіки (ЕЗЛ);
- інтегрально-інтеграційної логіки (ІІЛ);
- МОН – логіки;
- КМОН – логіки.

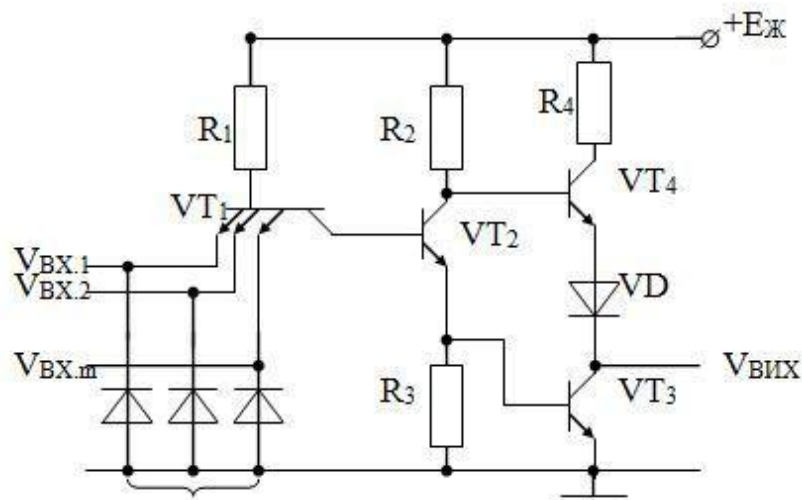


Рис. 2.3. Схема базового елемента ТТЛ

Електрична схема базового логічного елемента транзисторно-транзисторної логіки складається з 3 частин:

1) багатоемітерний транзистор VT_1 і опір R_1 – реалізують функцію І для додатної логіки (коли висока напруга) і від'ємної логіки (при низьких температурах);

2) на транзисторі VT_2 і резисторах R_2 і R_3 побудовано фазорозчеплюючий каскад;

3) вихідний підсилювач на транзисторах VT_4 , VT_3 , діоді VD і резисторі R_4 ;

Дві частини (2 і 3) реалізують функцію “НЕ”. Опір резистора R_4 вибирається з допустимого значення струму транзистора VT_3 і VT_4 і діода VD . У практичних реальних базових елементах $R_4 = (50 \dots 500)$ Ом. А інші резистори вибирають у співвідношенні $R_1/R_2 = 2 \div 4$, $R_2/R_3 = 10$. Діод VD забезпечує надійне закриття транзистора VT_4 в режимі вмикання. Вхідні діоди $VD_1 \dots VD_n$ служать

для обмеження амплітуд від'ємних завад, які будуть виникати на входах базового логічного елемента.

1.3.1 Робота базового логічного елемента

При подачі на всі входи базового логічного елемента транзисторно-транзисторної логіки високого рівня напруги $U_{вх}$ емітерні переходи VT1 зміщуються в зворотному напрямі, а колекторні відкриваються (активно-інверсний режим роботи біполярного транзистора). Великий колекторний струм витікає в базу транзистора VT2 і насичує його, це в свою чергу приводить до насичення транзистора VT3 і на виході ми отримаємо рівень логічного нуля. В режимі вмикання транзистор VT4 і діод VD закриті. Якщо хоча б на один з входів базового логічного елемента транзисторно-транзисторної логіки подати низький рівень напруги, то відповідний емітерний перехід відкриється, струм бази VT1 витікає в коло відповідного емітерного переходу, а потенціал бази понижується. Колекторний струм зменшується. Це призводить до закриття VT2 і відповідно VT3. На виході базового логічного елемента появляється високий рівень, що відповідає рівню логічної одиниці, VT4 і VD відкриті.

Базовий логічний елемент транзисторно-транзисторної логіки характеризується:

- високою завадостійкістю;
- середньою швидкодією.

Швидкодія логічного елемента визначається швидкодією транзисторного ключа. Щоб підвищити швидкодію треба підвищити керуючі струми (потужність споживання) або обмежувати глибину насичення.

1.4 Двійково-логічні елементи

Двійкові елементи призначені для виконання логічних функцій: логічного множення, логічного додавання, логічного заперечення (інверсії). Логічні елементи є складовими частинами з яких будуються схеми комбінаційного типу. Логічні елементи оперують з двійковими числами, тому їх називають двійковими логічними елементами.

1) Логічний елемент “І” призначений для виконання функції логічного множення.

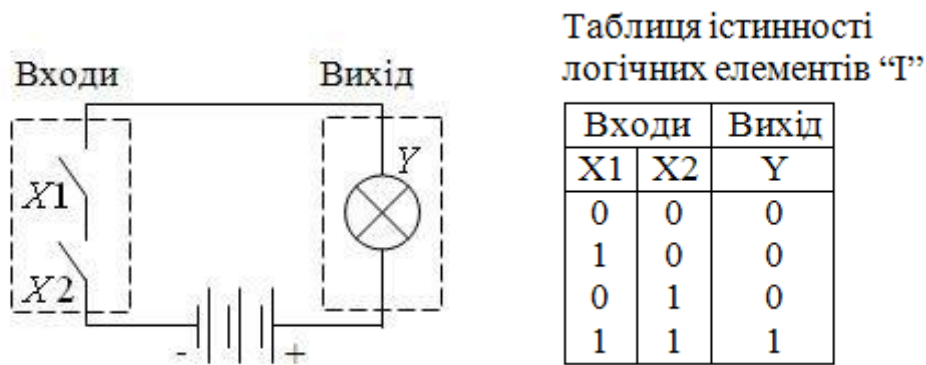


Рис. 2.4. Логічний елемент “І” виконує функцію логічного множення

Булевий вираз для елементів “І”: $X1 \cdot X2 = Y$

Для входів: 0 – означає, що $X1$ і $X2$ розімкнуті, 1 – $X1$ і $X2$ замкнуті.

Вихід: 1 – лампочка горить, 0 – лампочка не горить.

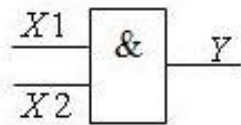


Рис. 2.5. Умовне позначення логічного елемента “І”

2) Логічний елемент “АБО” призначений для виконання функції логічного додавання.



Рис. 2.6. Логічний елемент “АБО” виконує функцію логічного множення

Булевий вираз для елементів “АБО”: $X1 + X2 = Y$, $X1$ або $X2$ рівне Y .

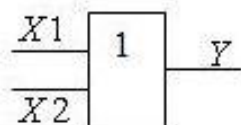


Рис. 2.7. Умовне позначення логічного елемента “АБО”

3) Логічний елемент “НЕ” призначений для виконання функції логічного заперечення (або інверсії).

Таблиця 2.1 – Таблиця істинності логічних елементів “НЕ”

X	Y
0	1
1	0

Булевий вираз для елементів “НЕ”: $\overline{X} = Y$

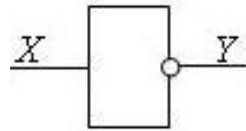


Рис. 2.8. Умовне позначення логічного елемента “НЕ”

4) Логічний елемент “І-НЕ” призначений для виконання функції логічного множення з інверсією.

Таблиця 2.2 – Таблиця істинності логічних елементів “І-НЕ”

X1	X2	Y
0	0	1
1	0	1
0	1	1
1	1	0

Булевий вираз для елементів “І-НЕ”: $\overline{X1 \cdot X2} = Y$

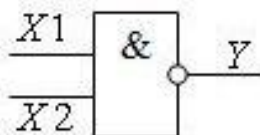


Рис. 2.9. Умовне позначення логічного елемента “І-НЕ”

Логічний елемент “І-НЕ” є універсальним елементом, тому що на базі “І-НЕ” можна побудувати будь-яку логічну функцію.

5) Логічний елемент “АБО-НЕ” призначений для виконання функції логічного додавання з інверсією.

Таблиця 2.3 – Таблиця істинності логічних елементів “АБО -НЕ”

X1	X2	Y
0	0	1
1	0	0
0	1	0
1	1	0

Булевий вираз для елементів “АБО -НЕ”: $\overline{X1 + X2} = Y$

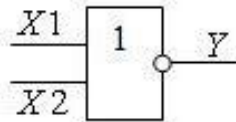


Рис. 2.10. Умовне позначення логічного елемента “АБО -НЕ”

6) Логічний елемент “Виключаюче АБО” сума по модулю “2”.

Таблиця 2.4 – Таблиця істинності логічних елементів “Виключаюче АБО” сума по модулю “2”

X1	X2	Y
0	0	0
1	0	1
0	1	1
1	1	0

Булевий вираз для елементів “Виключаюче АБО” сума по модулю “2”:

$$X1 \oplus X2 = Y$$

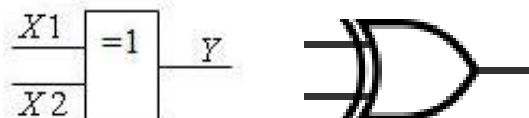


Рис. 2.11. Умовне позначення логічного елемента “Виключаюче АБО” сума по модулю “2”

7) Логічний елемент “Виключаючи АБО-НЕ” сума по модулю “2” з інверсією.

Таблиця 2.5 – Таблиця істинності логічних елементів “Виключаюче АБО-НЕ ” сума по модулю “2” з інверсією

X1	X2	Y
0	0	1
0	1	0
1	0	0
1	1	1

Булевий вираз для елементів “Виключаюче АБО-НЕ” сума по модулю “2” з інверсією: $\overline{X1 \oplus X2} = Y$

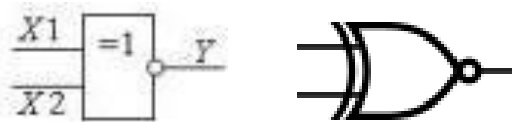
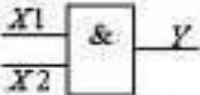
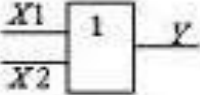
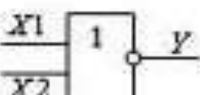
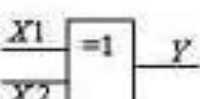
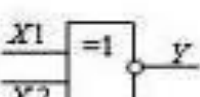


Рис. 2.12. Умовне позначення логічного елемента “Виключаюче АБО-НЕ” сума по модулю “2” з інверсією

Таблиця 2.6 – Двійкові логічні елементи

ДВІЙКОВІ ЛОГІЧНІ ЕЛЕМЕНТИ																		
Логічна функція	Умовне позначення	Булевий вираз	Таблиця істинності															
“І” Логічне множення		$X1 \cdot X2 = Y$	<table><tr><th>X1</th><th>X2</th><th>Y</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	X1	X2	Y	0	0	0	0	1	0	1	0	0	1	1	1
X1	X2	Y																
0	0	0																
0	1	0																
1	0	0																
1	1	1																
“АБО” Логічне додавання		$X1 + X2 = Y$	<table><tr><th>X1</th><th>X2</th><th>Y</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	X1	X2	Y	0	0	0	1	0	1	0	1	1	1	1	1
X1	X2	Y																
0	0	0																
1	0	1																
0	1	1																
1	1	1																
“НЕ” Логічне заперечення (інверсія)		$\overline{X} = Y$	<table><tr><th>X</th><th>Y</th></tr><tr><td>0</td><td>1</td></tr><tr><td>1</td><td>0</td></tr></table>	X	Y	0	1	1	0									
X	Y																	
0	1																	
1	0																	
“І-НЕ” Логічнемноження з інверсією		$\overline{X1 \cdot X2} = Y$	<table><tr><th>X1</th><th>X2</th><th>Y</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	X1	X2	Y	0	0	1	1	0	1	0	1	1	1	1	0
X1	X2	Y																
0	0	1																
1	0	1																
0	1	1																
1	1	0																
“АБО-НЕ” Логічне додавання з інверсією		$\overline{X1 + X2} = Y$	<table><tr><th>X1</th><th>X2</th><th>Y</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	X1	X2	Y	0	0	1	1	0	0	0	1	0	1	1	0
X1	X2	Y																
0	0	1																
1	0	0																
0	1	0																
1	1	0																
“Виключаюче АБО” сума по модулю “2”		$X1 \oplus X2 = Y$	<table><tr><th>X1</th><th>X2</th><th>Y</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	X1	X2	Y	0	0	0	1	0	1	0	1	1	1	1	0
X1	X2	Y																
0	0	0																
1	0	1																
0	1	1																
1	1	0																
“Виключаюче АБО-НЕ” сума по модулю “2” з інверсією		$\overline{X1 \oplus X2} = Y$	<table><tr><th>X1</th><th>X2</th><th>Y</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	X1	X2	Y	0	0	1	0	1	0	1	0	0	1	1	1
X1	X2	Y																
0	0	1																
0	1	0																
1	0	0																
1	1	1																

1.5 Застосування двійкових логічних елементів

В цифровій електроніці необхідно логічні елементи сформувати в схеми які носять назву комбінаційних логічних схем або комбінаційної логіки. До комбінаційно-логічних схем відносять: шифратори, дешифратори, мультиплікатори, демультиплікатори та суматори. Є 3 основні способи визначення значень символічної логіки:

- умовні позначення логічних елементів;
- таблиці істинності;
- булеві вирази.

Булеві вирази зустрічаються в двох основних формах:

1) Сума добутків $X_1 \cdot X_2 + X_2 \cdot X_3 = Y$

2) Добуток сум $(X_1 + X_2) \cdot (X_2 + X_3) = Y$

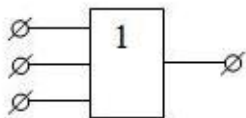
Перша форма називається дизкон'юктивною формою функції, а друга кон'юктивною формою.

1.6 Конструювання схем на основі булевих виразів

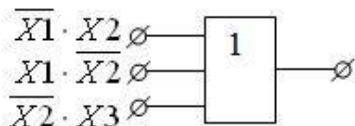
Побудова схеми базового виразу на основі дизкон'юктивної форми функцій:

$$\overline{X_1} \cdot X_2 + X_1 \cdot \overline{X_2} + \overline{X_2} \cdot X_3 = Y$$

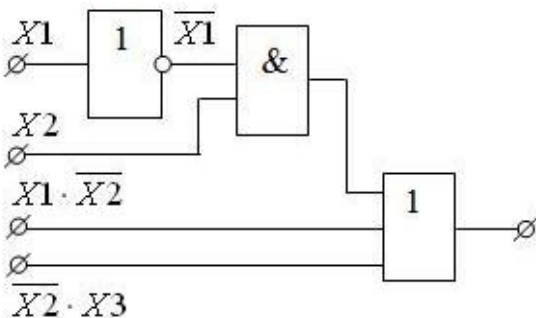
1)



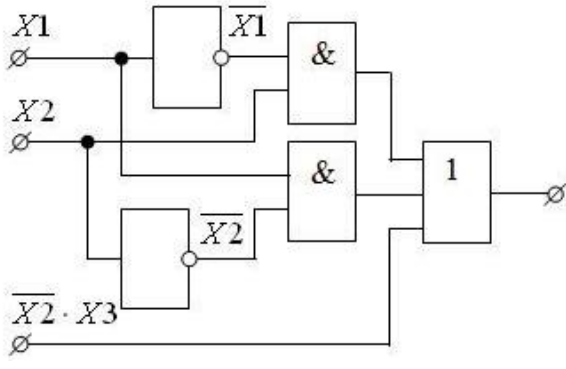
2)



3)



4)



5)

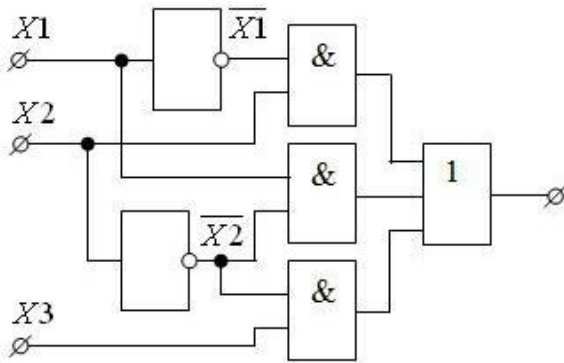
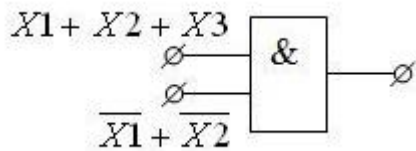


Рис. 2.13. Побудова схеми базового виразу на основі дизкон'юктивної форми функцій

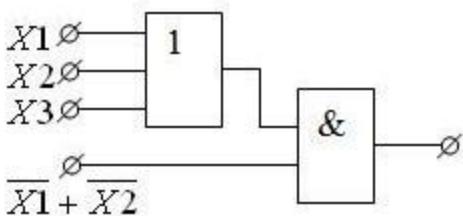
Побудова схеми базового виразу на основі кон'юктивної форми функцій:

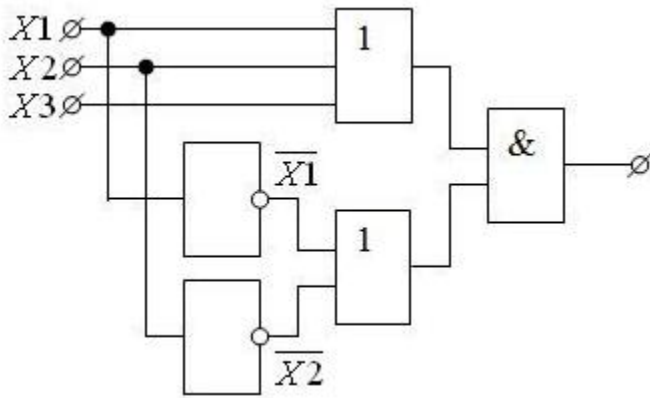
$$(X1 + X2 + X3) \cdot (\overline{X1} + \overline{X2}) = Y$$

1)



2)





3)

Рис. 2.14. Побудова схеми базового виразу на основі кон'юнктивної форми функцій

Приклад вирішення логічної задачі:

$$\overline{X1} \cdot X2 \cdot \overline{X3} + X1 \cdot X2 \cdot X3 = Y$$

$X1$	$X2$	$X3$	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

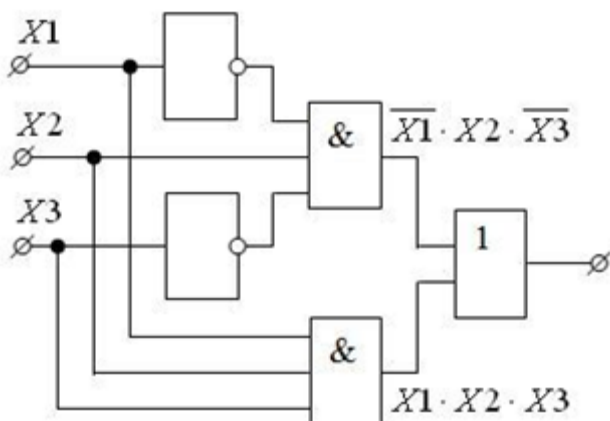
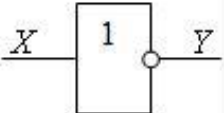
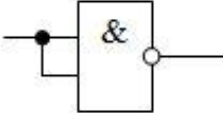
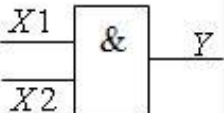
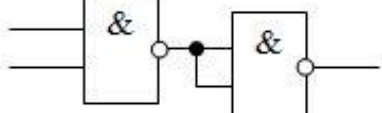
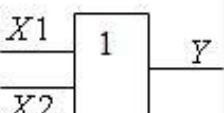
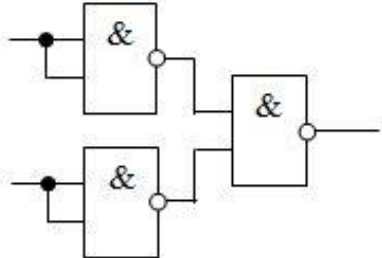
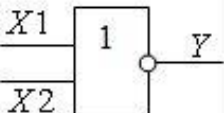
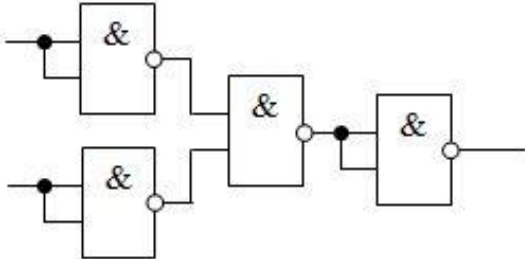
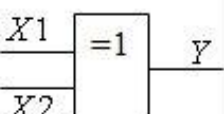
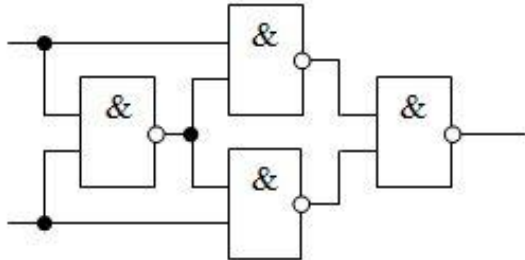
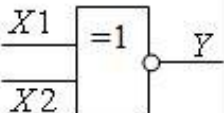
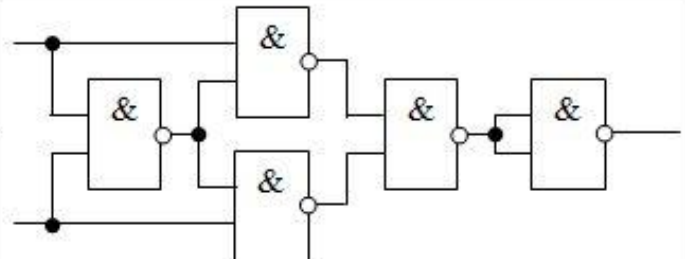


Рис. 2.15. Приклад вирішення логічної задачі: побудова схеми базового виразу

Таблиця 2.7 – Реалізація логічних функцій на базі ЛЕ 2І-НЕ

Логічна функція	Умове позначення	Схема на логічних елементах 2І-Не
“НЕ”		
“І”		
“АБО”		
“АБО-НЕ”		
“Виключаюче АБО”		
“Виключаюче АБО-НЕ”		

2 Проведення досліджень

1. Ознайомитись із структурою накладної панелі “9/10” (рис. 2.16) і елементами керування стендом. В роботі використовуються кнопки “СБР” і “ПУСК”, які знаходяться на панелі керування. На накладній панелі “9/10” розміщене поле керування і поле логічних елементів. На полі керування (ліворуч) розташований генератор Г вхідних змінних X_1 , X_2 і X_3 і їхніх інверсних значень $\overline{X_1}$, $\overline{X_2}$ і $\overline{X_3}$.

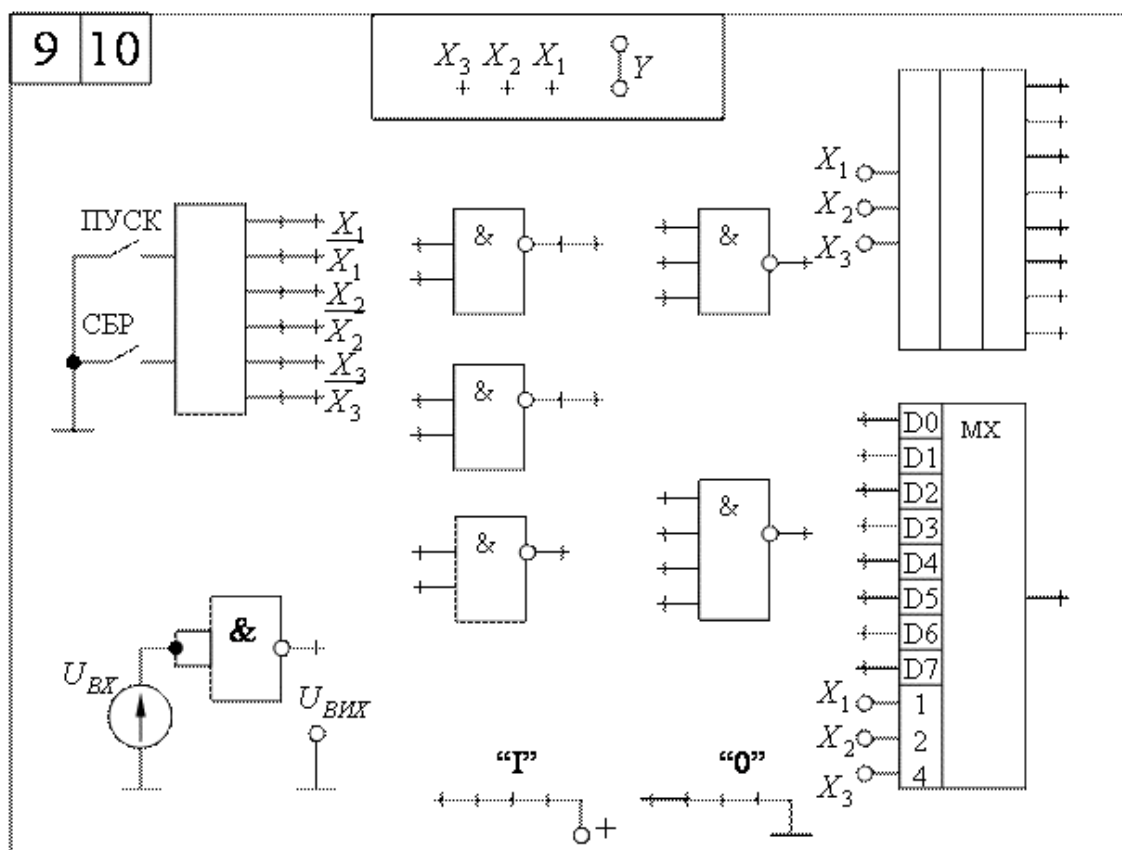


Рис. 2.16. Накладна панель №9/10

При натисканні кнопки “СБР” на прямих виходах генератора встановлюється значення логічного “0” для всіх змінних. При натисканні кнопки “ПУСК” відбувається почергова зміна значень вхідних змінних, індикація яких здійснюється за допомогою світлодіодів “ X_3 ”, “ X_2 ”, “ X_1 ”, які знаходяться у верхній частині панелі. Крім того на полі керування є гніздо “Y” із світлодіодною індикацією для фіксації стану виходу мікросхем, а також гнізда “1” і “0” для подачі логічних рівнів на входи мікросхем. Джерело “ U_{BX} ” використовується для зняття передавальної характеристики елемента. Зміна рівня вхідної напруги

здійснюється потенціометром “ U_{BX} ”, який знаходиться справа на передній панелі стенда. Поле логічних елементів І-НЕ складається із серії ТТЛ (155). Елемент DD1 використовується для зняття передавальної характеристики, елементи DD2-DD6 використовуються для реалізації найпростіших комбінаційних схем.

2. Зняти статичну передавальну характеристику $U_{ВИХ} = f(U_{ВХ})$ логічного елемента 2І-НЕ (рис. 2.17).

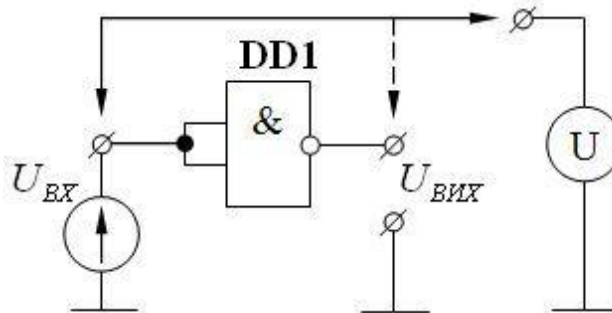


Рис. 2.17. Схема для зняття передавальної характеристики

Вхідну напругу U_{BX} змінювати за допомогою потенціометра “ U_{BX} ” у межах від 0 до 5В. Вимірювання вхідної і вихідної напруги здійснювати за допомогою цифрового мультиметра, по чергово під’єднуючи гніздо “ U ” до входу і виходу елемента DD1. Зафіксувати 2-3 значення вихідної напруги при переході від U^1 до U^0 і навпаки. Дані занести в табл. 2.8.

Таблиця 2.8 – Передавальна характеристика логічного елемента 2І-НЕ

$U_{BX}, \text{В}$	0	0,5	1	1,5	2	2,5	3	3,5	4	4,5	5
$U_{ВИХ}, \text{В}$											

Користуючись табл. 2.8, побудувати статичну пряму і обернену передавальну характеристику логічного елемента. З характеристики визначити напругу логічного нуля U^0 і логічної одиниці U^1 , додатну і від’ємну завадостійкість U_3^+ і U_3^- , ширину смуги невизначеності ΔU , порогові рівні $U_{П}^0$, $U_{П}^1$.

3. Дослідити роботу елементів (рис. 2.18) 2І-НЕ (DD2), 3І-НЕ (DD5), 4І-НЕ (DD6), подаючи на їхні входи змінні з виходу генератора Г або гнізд “1” і “0”.

Дані занести в табл. 2.9, 2.10, 2.11. Вихідний сигнал контролювати за допомогою світлодіодного індикатора, з'єднуючи вихід логічного елемента з гніздом “Y ” за допомогою провідника.

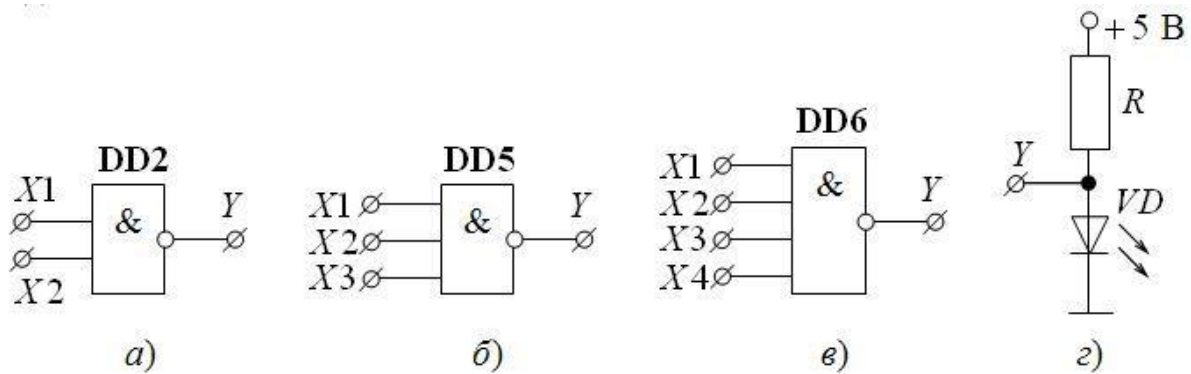


Рис. 2.18. Логічні елементи а) 2І-НЕ, б) 3І-НЕ, в) 4І-НЕ та г) схема логічного світлодіодного індикатора

Таблиця 2.9 – Таблиця істинності ЛЕ 2І-НЕ

X2	X1	Y
0	0	
0	1	
1	0	
1	1	

Таблиця 2.10 – Таблиця істинності ЛЕ 3І-НЕ

X3	X2	X1	Y
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

Таблиця 2.11 – Таблиця істинності ЛЕ 4І-НЕ

X4	X3	X2	X1	Y
0	0	0	0	
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

4. Зібрати схему і дослідити роботу логічного елемента НЕ на логічних елементах 2І-НЕ та 3І-НЕ. Дані занести в табл. 2.12, 2.13, 2.14.

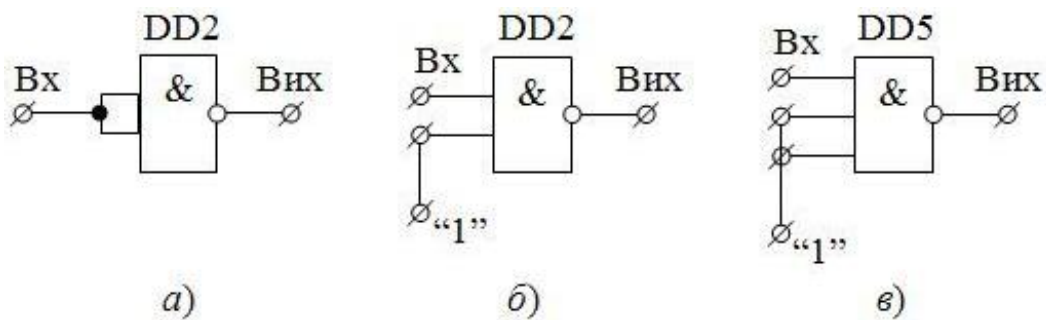


Рис. 2.19. Схеми реалізації логічного елемента НЕ на ЛЕ а), б) 2І-НЕ та в) 3І-НЕ

Таблиці істинності для схем приведених на рис.2.19.

Таблиця 2.12

X	Y
0	
1	

Таблиця 2.13

X2	X1	Y
1	0	
1	1	

Таблиця 2.14

$X3$	$X2$	$X1$	Y
1	1	0	
1	1	1	

5. Зібрати і дослідити дві задані викладачем схеми, з приведених на рис. 2.20. Для цього на входи схем подавати вхідні логічні сигнали від генератора “Г”, змінюючи їхній стан по черговим натисканням кнопки “ПУСК”. Дані занести в табл. 2.15, 2.16.

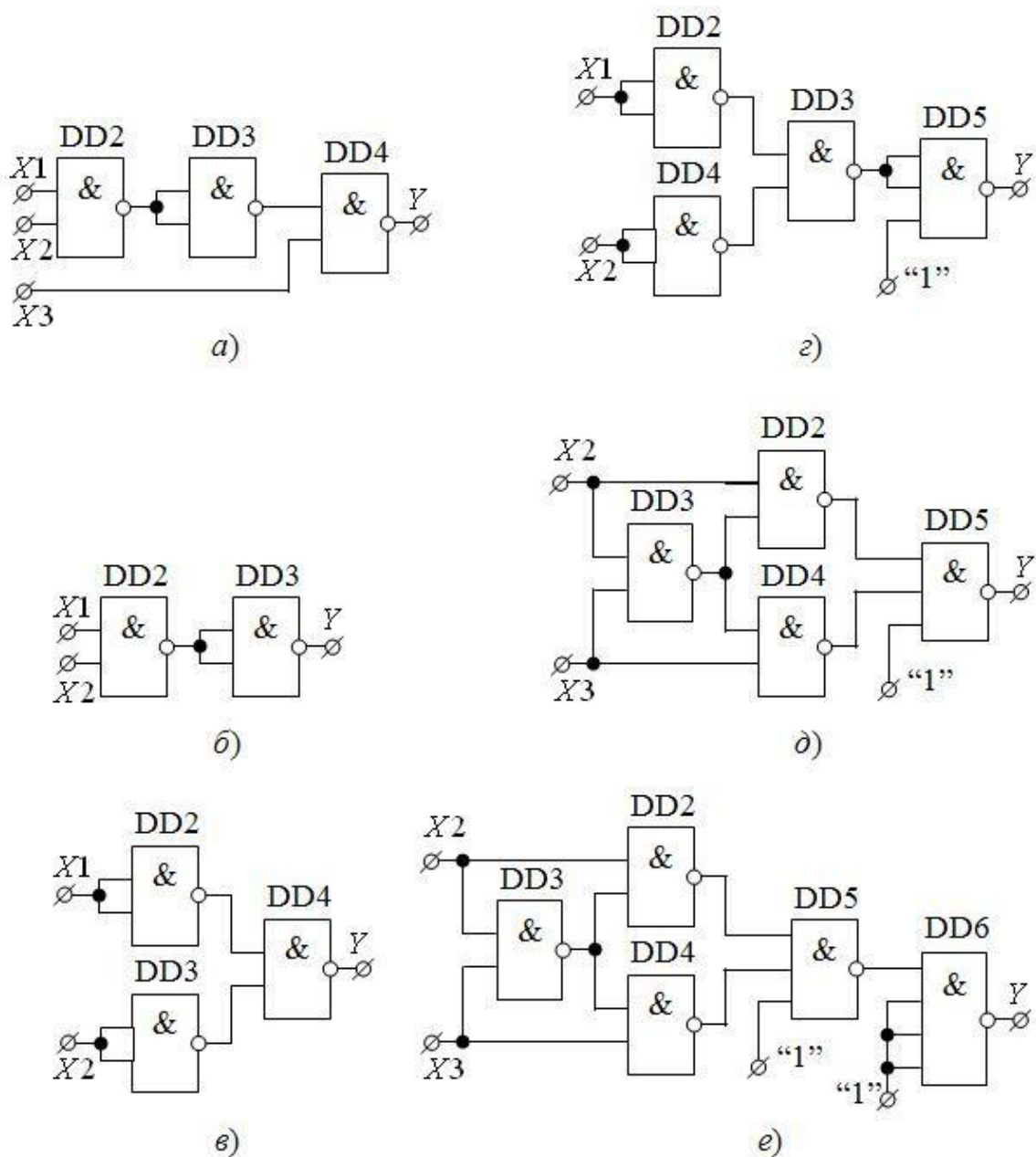


Рис. 2.20. Схеми на логічних елементах І-НЕ

Таблиця 2.15 – Таблиця істинності для схеми ____

X2	X1	Y
0	0	
0	1	
1	0	
1	1	

Таблиця 2.16 – Таблиця істинності для схеми ____

X3	X2	X1	Y
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

Проаналізувати таблиці істинності 2.15 і 2.16 і визначити, яку логічну функцію виконує досліджувана схема. Записати в аналітичній формі булевий вираз для неї. Результати занести в таблицю 2.17.

Таблиця 2.17 – Аналітична форма булевого виразу

№ досліду	Функція, що реалізується	Аналітична форма запису
1		
2		

6. Дослідити динамічні характеристики логічних елементів ТТЛ. Зібрати схему (рис. 2.21). На вхід подати сигнал з виходу С генератора імпульсів ГІ. Вхід С з'єднати з каналом І осцилографа, а вихід Y – з каналом ІІ. Зарисувати осцилограми. **Увага!** При виконанні цього пункту перевести в натиснутий стан кнопку “АВТ” на панелі керування.

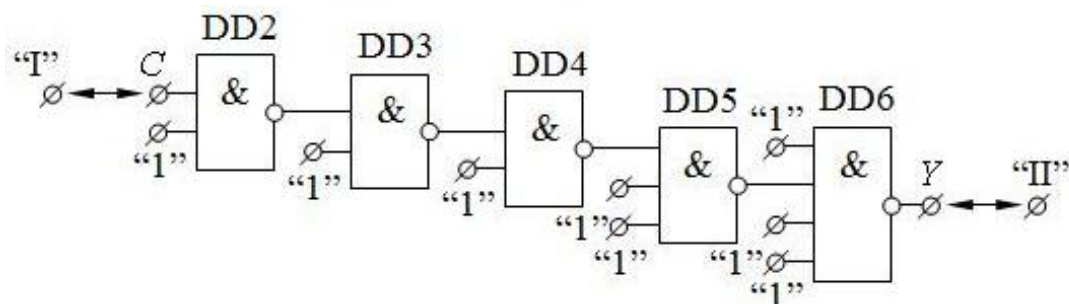


Рис. 2.21. Схема для зняття динамічної характеристики елемента

Порівняти отримані результати з довідниковими даними елементів ТТЛ 155-ї серії і зробити висновки.

7. За заданим булевим виразом з табл. 2.18 сконструювати схему і дослідити її роботу. Дані занести в табл. 2.19.

Таблиця 2.18 – Таблиця істинності для схеми

№ варіанту	Булевий вираз	№ варіанту	Булевий вираз
1	$X_1 + X_2 + X_3 = Y$	17	$X_1 + X_2 \cdot X_3 = Y$
2	$\overline{X_1} + X_2 + X_3 = Y$	18	$\overline{X_1} + X_2 \cdot X_3 = Y$
3	$X_1 + \overline{X_2} + X_3 = Y$	19	$X_1 + \overline{X_2} \cdot X_3 = Y$
4	$X_1 + X_2 + \overline{X_3} = Y$	20	$X_1 + X_2 \cdot \overline{X_3} = Y$
5	$\overline{X_1} + \overline{X_3} + X_2 = Y$	21	$\overline{X_1} + \overline{X_3} \cdot X_2 = Y$
6	$\overline{X_1} + X_2 + \overline{X_3} = Y$	22	$\overline{X_1} + X_2 \cdot \overline{X_3} = Y$
7	$X_1 + \overline{X_2} + \overline{X_3} = Y$	23	$X_1 + \overline{X_2} \cdot \overline{X_3} = Y$
8	$\overline{X_1} + \overline{X_2} + \overline{X_3} = Y$	24	$\overline{X_1} + \overline{X_2} \cdot \overline{X_3} = Y$
9	$X_1 \cdot X_2 + X_3 = Y$	25	$X_1 \cdot X_2 \cdot X_3 = Y$
10	$\overline{X_1} \cdot X_2 + X_3 = Y$	26	$\overline{X_1} \cdot X_2 \cdot X_3 = Y$
11	$X_1 \cdot \overline{X_2} + X_3 = Y$	27	$X_1 \cdot \overline{X_2} \cdot X_3 = Y$
12	$X_1 \cdot X_2 + \overline{X_3} = Y$	28	$X_1 \cdot X_2 \cdot \overline{X_3} = Y$
13	$\overline{X_1} \cdot \overline{X_3} + X_2 = Y$	29	$\overline{X_1} \cdot \overline{X_3} \cdot X_2 = Y$
14	$\overline{X_1} \cdot X_2 + \overline{X_3} = Y$	30	$\overline{X_1} \cdot X_2 \cdot \overline{X_3} = Y$
15	$X_1 \cdot \overline{X_2} + \overline{X_3} = Y$	31	$X_1 \cdot \overline{X_2} \cdot \overline{X_3} = Y$
16	$\overline{X_1} \cdot \overline{X_2} + \overline{X_3} = Y$	32	$\overline{X_1} \cdot \overline{X_2} \cdot \overline{X_3} = Y$

3 Опрацювання дослідних даних

Порівняти отримані результати з довідниковими даними елементів ТТЛ 155-ї серії і зробити висновки

4 Контрольні запитання

1. Які системи логічних елементів називають функціонально повними? Наведіть приклади функціонально повних систем з мінімальною кількістю елементів.
2. Наведіть таблиці істинності, булеві вирази та умовні позначення елементів, що реалізують логічні операції: а) АБО; б) І; в) НЕ; г) АБО-НЕ; д) І-НЕ.
3. Наведіть схему та поясніть принцип дії базового логічного елемента ТТЛ-логіки.
4. Побудуйте за допомогою простих логічних елементів схему реалізації логічної операції $y = \overline{(x_1 + x_2 + x_3)} \cdot x_4$.
5. Наведіть таблицю істинності, умовні позначення та булевий вираз для ЛЕ “Виключне АБО”.
6. Нарисуйте пряму і обернену статичну передавальну характеристику та покажіть на ній основні статичні параметри логічного елемента.
7. Нарисуйте динамічну характеристику і покажіть на ній основні динамічні параметри логічного елемента.

Лабораторна робота №3

Дослідження цифрових схем комбінаційного типу: дешифратора і мультиплексора

Мета роботи: ознайомитись з принципом побудови та функціонування дешифратора К155ИД4 і мультиплексора К155КП5 та дослідити їх роботу, зняти таблицю станів й побудувати часові діаграми роботи.

1 Теоретичні відомості

1.1 Загальна характеристика комбінаційних схем

В цифровій електроніці існує ряд схем, які застосовують у більшості цифрових пристроїв, тому їх можна вважати типовими функціональними вузлами. Ці схеми поділяють на дві великі групи: комбінаційні і послідовнісні.

Послідовнісні схеми – це схеми, стан інформації на виході яких залежить не тільки від сигналів поданих на входи в даний момент часу, а і від стану схеми в попередній момент часу (схеми з пам'яттю).

Послідовнісні схеми обов'язково містять тригери. Приклади послідовнісних схем ЦС лічильники імпульсів, регістри, оперативні запам'ятовуючі пристрої.

Комбінаційні схеми – це такі схеми стан інформації на виході яких залежить тільки від сигналів поданих на входи в даний момент часу. З приходом нової комбінації сигналів вихідний стан визначається тільки нею і не залежить від попередньої.

Основою комбінаційних схем є звичайні логічні елементи, тому будь-яку комбінаційну схему також можна синтезувати шляхом з'єднання між собою схем типу «І», «АБО», «НЕ».

До найбільш поширених схем комбінаційного типу відносяться:

- дешифратори;
- шифратори;
- мультиплексори;

- демультимплексори;
- пристрої порівняння;
- кодоперетворювачі.

Їх ще називають комбінаційними функціональними вузлами.

1.2 Дешифратори і шифратори

Дешифратор – це функціональний вузол, призначений для перетворення кожної комбінації вхідного двійкового коду в керуючий сигнал лише на одному із своїх виходів. У загальному випадку дешифратор має n однофазних входів (іноді $2n$ парафазних) і $m = 2^n$ виходів, де n – розрядність (довжина) коду, який дешифрується. Дешифратор з максимально можливою кількістю виходів $m = 2^n$ називається повним.

Умовні графічні позначення дешифраторів на електричних принципових схемах показані на рис. 3.1 і 3.2. Логіка роботи повних дешифраторів на два входи X_1, X_2 і чотири прямих виходи F_0, F_1, F_2, F_3 і чотири інверсних виходи L_0, L_1, L_2, L_3 наведена в табл. 3.1 і 3.2 відповідно.

Логічна функція дешифратора позначається символами DC (de-coder). Мітки лівого додаткового поля в умовному позначенні відображають десяткові ваги вхідних змінних, а мітки правого додаткового поля відповідають десятковим еквівалентам вхідних комбінацій двійкових змінних. У схему дешифраторів вбудовуються один або два стробуючих (дозволяючих) входи, наприклад, W . За допомогою сигналу на вході W визначається момент спрацювання дешифратора; крім того, вхід W використовується для нарощування розрядності вхідного коду.

Таблиця 3.1 - Таблиця істинності 4-канального дешифратора з прямими виходами

X_2	X_1	F_0	F_1	F_2	F_3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

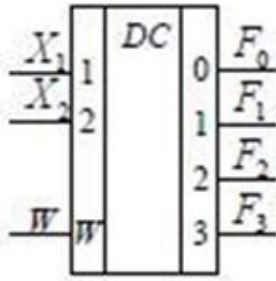


Рис. 3.1. Умовне графічне позначення дешифратора з прямими виходами на принципових схемах

За даними табл. 3.1 отримують систему логічних функцій:

$$F_0 = \bar{X}_2 \bar{X}_1; \quad F_1 = \bar{X}_2 X_1; \quad F_2 = X_2 \bar{X}_1; \quad F_3 = X_2 X_1; \quad (1)$$

Схема лінійного дешифратора на основі рівняння (1) показана на рис. 3.2.

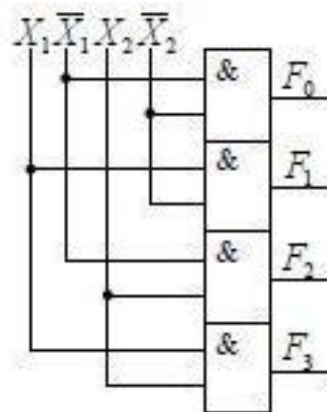


Рис. 3.2. Схема лінійного дешифратора на елементах «І»

Дешифратори класифікують за такими ознаками:

- способом структурної організації:
 - одноступеневі (лінійні);
 - багатоступеневі (в тому числі пірамідальні та прямокутні (матричні));
- форматом вхідного коду:
 - двійкові;
 - двійково-десяткові;
- розрядністю коду, який дешифрується: 2, 3, ..., n;

- формою подачі вхідного коду:
 - з однофазними входами;
 - з парафазними входами;
- кількістю виходів:
 - повні дешифратори;
 - неповні дешифратори;
- видом вхідних стробуючих сигналів:
 - в прямому значенні;
 - в інверсному значенні;
- типом логічних елементів, які в нього входять: І, НЕ, АБО, НЕ І, НЕ АБО і т.д.

До основних характеристик дешифратора відносять:

- кількість ступенів (каскадів) дешифрації;
- кількість використаних логічних елементів або мікросхем;
- загальна кількість входів логічних елементів;
- час дешифрації;
- споживана потужність.

В комп'ютерах дешифратори використовують для виконання таких операцій:

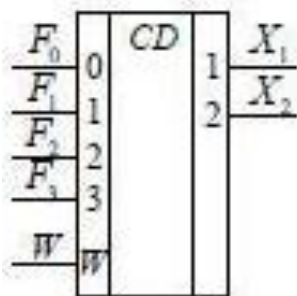
- дешифрації коду операції, записаного в регістр команд процесора, що забезпечує вибір потрібної мікропрограми;
- перетворення коду адреси операнда в команді в керуючі сигнали вибору заданої комірки пам'яті в процесі записування або читання інформації;
- забезпечення візуалізації на зовнішніх пристроях;
- реалізації логічних операцій та побудови мультиплексорів і демультиплексорів.

Шифратор – це функціональний вузол, призначений для перетворення вхідного m -розрядного унітарного коду у вихідний n -розрядний двійковий позиційний код. Двійкові шифратори виконують функцію, обернену до функції дешифратора. При активізації однієї з вхідних ліній шифратора на його виходах

формується код, який відображає номер активного входу. Повний двійковий шифратор має $m = 2^n$ входів і n виходів. Умовне графічне позначення шифратора на електричній схемі показано на рис. 3.3.

Функція шифратора позначається символами CD (coder). Входи шифратора нумеруються послідовними десятковими цифрами 0, 1, ..., $m-1$, а позначки виходів відображають ваги вихідних двійкових змінних 1, ..., 2^{n-1} .

Таблиця 3.2 - Таблиця істинності 4-канального шифратора



F ₀	F ₁	F ₂	F ₃	X ₂	X ₁
1	0	0	0	0	0
0	1	0	0	0	1
0	0	1	0	1	0
0	0	0	1	1	1

Рис. 3.3. Умовне графічне позначення шифратора на електричних схемах

У цифрових пристроях шифратори використовуються для таких операцій:

- перетворення унітарного вхідного коду у вихідний двійковий позиційний код;
- введення десяткових даних з клавіатури;
- визначення старшої одиниці в слові;
- передачі інформації між різними пристроями при обмеженій кількості ліній зв'язку.

Одне з основних застосувань шифратора – введення даних з клавіатури, наприклад, десяткових цифр. Натискання клавіші з десятковою цифрою 0, 1, ..., 9 мають приводити до передачі в цифровий пристрій двійково-десяткового коду цієї цифри. Для цього використовується неповний шифратор “з 10 в 4”.

Шифратори, які при одночасному натисканні декількох клавіш виробляють код тільки старшої цифри, називаються пріоритетними. Пріоритетні шифратори, які призначені для пошуку старшої (лівої) одиниці в слові та формування на

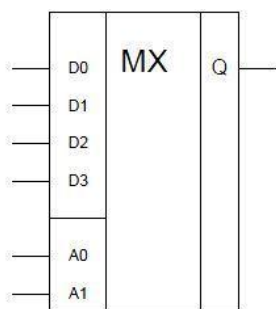
виході двійкового номера шуканого розряду, називаються покажчиками старшої одиниці.

1.3 Мультимплексори і демультимплексори

Мультимплексор – це функціональний вузол, призначений для комутації (перемикання) інформації від одного з n входів на загальний вихід. Номер конкретної вхідної лінії, що підключається до виходу в кожний такт машинного часу, визначається адресним кодом $A_0, A_1, \dots, A_{m-1}$. Зв'язок між числом інформаційних n і адресних m входів визначається співвідношенням $n = 2^m$. Таким чином, мультимплексор реалізує керовану передачу даних від кількох вхідних ліній в одну вихідну.

Мультимплексор символічно часто позначають: « $n \rightarrow 1$ ». Умовне графічне позначення мультимплексорів показано на рис. 3.4. Функція мультимплексорів записується символами MUX (multiplexor).

Таблиця 3.3 - Таблиця істинності 4-канального мультимплексора



$A1$	$A0$	Q
0	0	$D0$
0	1	$D1$
1	0	$D2$
1	1	$D3$

Рис. 3.4. Умовне графічне позначення мультимплексора на електричних принципових схемах

Логіка роботи чотиривходового мультимплексора наведена в табл. 3.4, де A_0, A_1 – адресний вхід; D_0, D_1, D_2, D_3 – вхідна інформація; Q – загальний інформаційний вихід.

На основі табл. 3.4 вираз для вихідної функції Q можна представити у вигляді:

$$Q = D0\overline{A1}\overline{A0} + D1\overline{A1}A0 + D2A1\overline{A0} + D3A1A0, \quad (2)$$

Схема мультимплектора, яка відповідає рівнянню (2), показані на рис. 3.5.

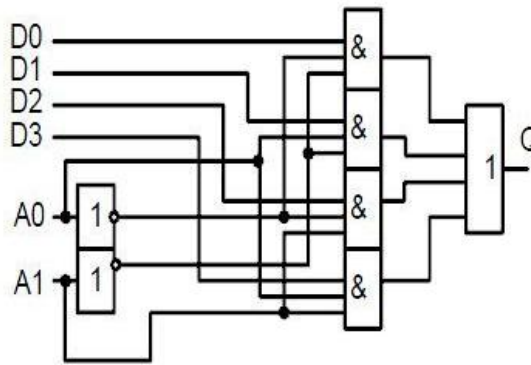


Рис. 3.5. Схема 4-канального мультимплектора

В інтегральному виконанні мультимплектори випускають на чотири, вісім або шістнадцять входів.

Мультимплектори застосовують для таких операцій:

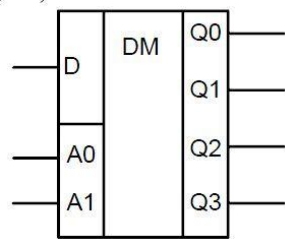
- комутації як окремих ліній, так і груп ліній (шин);
- перетворення паралельного коду в послідовний;
- реалізації логічних функцій;
- побудови схем порівняння, генераторів кодів.

Демультимплектор – це функціональний вузол, призначений для комутації (перемикання) сигналу з одного інформаційного входу D на один з n інформаційних виходів. Номер виходу, на який в кожний такт машинного часу передається значення вхідного сигналу, визначається адресним кодом $A_0, A_1, \dots, A_{m-1}$. Адресні входи m та інформаційні виходи n пов'язані співвідношенням $n = 2^m$ або $m = \log_2 n$.

Демультимплектор виконує функцію, обернену до функції мультимплектора. Стосовно мультимплекторів і демультимплекторів користуються також терміном “селектори” даних.

Демультимплектори часто позначають: « $1 \rightarrow n$ ». В умовних графічних позначеннях (рис. 6) функція демультимплектора позначається буквами DMX.

Табл. 3.4 - Таблиця істинності 4-канального демультиплексора



$A1$	$A0$	$Q0$	$Q1$	$Q2$	$Q3$
0	0	D	0	0	0
0	1	0	D	0	0
1	0	0	0	D	0
1	1	0	0	0	D

Рис. 3.6. Умовне графічне позначення демультиплексора на електричних принципових схемах

Запишемо логічні функції:

$$\begin{aligned}
 Q0 &= D \cdot \overline{A1} \overline{A0} \\
 Q1 &= D \cdot \overline{A1} A0 \\
 Q2 &= D \cdot A1 \overline{A0} \\
 Q3 &= D \cdot A1 A0
 \end{aligned}
 \tag{3}$$

На основі рівнянь (3) побудуємо схему 4-канального демультиплексора (рис. 3.7):

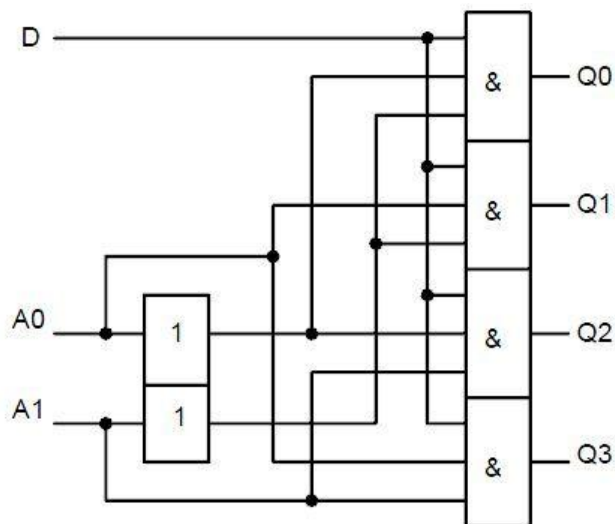


Рис. 3.7. Схема 4-канального демультиплексора

Демультиплексори використовують для таких операцій:

- комутації як окремих ліній, так і багаторозрядних шин;
- перетворення послідовного коду в паралельний;
- реалізації логічних функцій та інших.

2 Проведення досліджень

1. Дослідження роботи дешифратора.

1.1 Накреслити схему для дослідження роботи дешифратора (рис. 3.8).

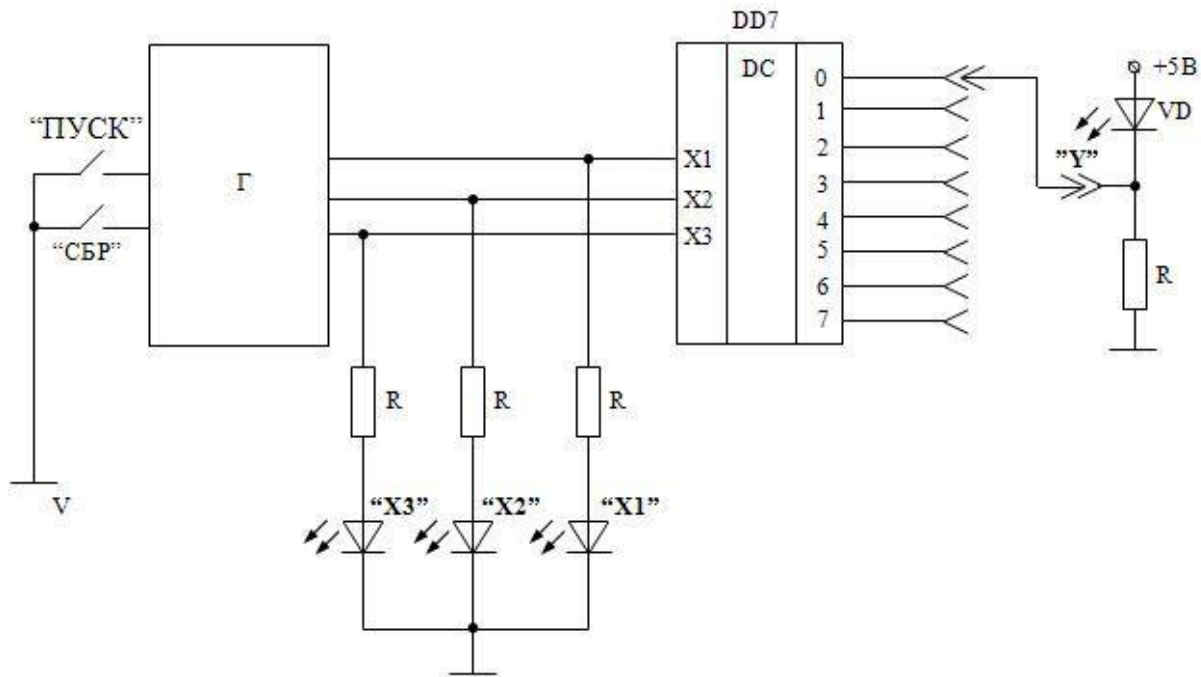


Рис. 3.8. Схема для дослідження роботи дешифратора.

1.2 Зняти таблицю станів роботи дешифратора. Для цього спочатку потрібно обнулити вихід генератора Г, натиснувши кнопку “СБР”. Натискаючи кнопку “ПУСК” фіксуємо по індикаторах “X3, X2, X1” стан входів X3, X2, X1. Стан виходів дешифратора фіксуємо по індикатору “Y”, з’єднуючи по чергово їх з гніздом “Y”. Дані заносимо в табл. 3.5.

Таблиця 3.5 – Стани входів і виходів дешифратора

Входи			Виходи							
X3	X2	X1	0	1	2	3	4	5	6	7
0	0	0								
1	0	0								
0	1	0								
1	1	0								
0	0	1								
1	0	1								
0	1	1								
1	1	1								

2. Дослідження функціонування мультиплексора

2.1. Накреслити схему для дослідження мультиплексора (рис. 3.9)

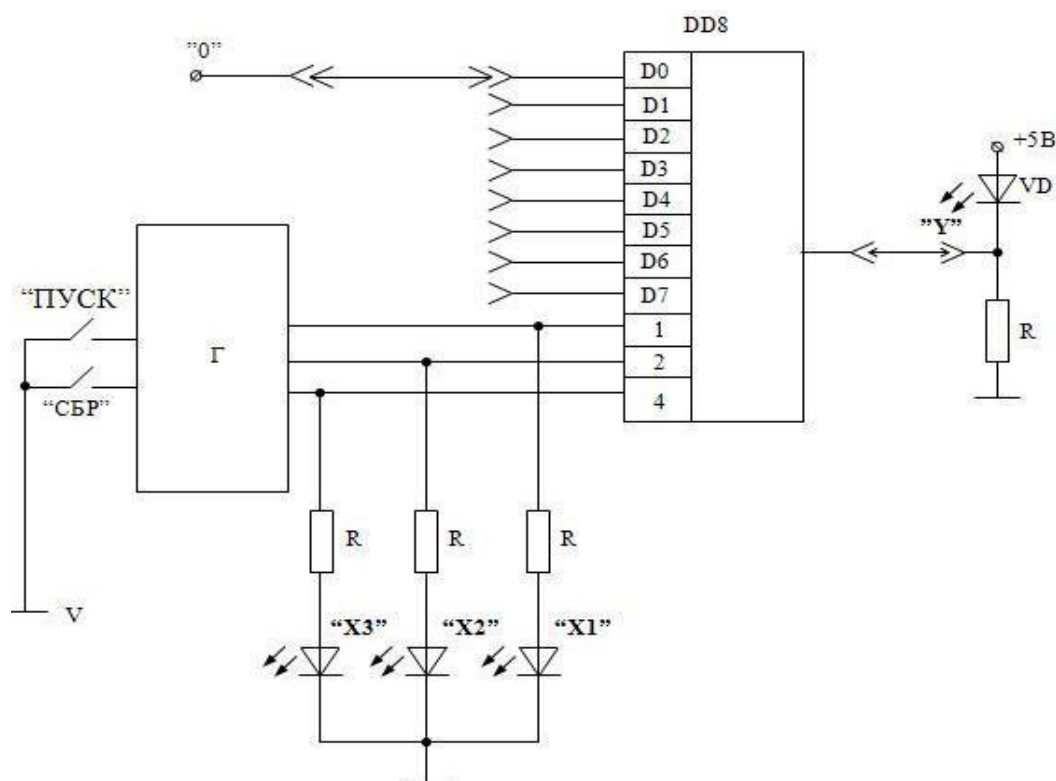


Рис. 3.9. Схема для дослідження роботи мультиплексора.

2.2. Для цифрових мікросхем сімейства ТТЛ стан вільних входів рівнозначний подачі на них високого рівня напруги (1). Тому на інформаційні входи D0-D7 потрібно по чергово подавати низький рівень напруги (0), з'єднуючи їх провідником з гніздом "0". Перед початком зняття таблиці станів мультиплексора, обнулюємо виходи генератора Г. Натискаючи кнопку "ПУСК", фіксуємо по індикаторах "X3", "X2", "X1" і "Y" стан адресних входів і виходу мультиплексора. Дані занести в табл. 3.6.

Таблиця 3.6 – Стани входів і виходів мультиплексора

Інформаційні входи								Адресні входи			Вихід
D0	D1	D2	D3	D4	D5	D6	D7	X3	X2	X1	Y
0	1	1	1	1	1	1	1				
1	0	1	1	1	1	1	1				
1	1	0	1	1	1	1	1				
1	1	1	0	1	1	1	1				
1	1	1	1	0	1	1	1				
1	1	1	1	1	0	1	1				
1	1	1	1	1	1	0	1				
1	1	1	1	1	1	1	0				
1	1	1	1	1	1	1	0				

Примітка. В табл. 3.6 заносимо тільки той адресний код, при якому низький рівень (“0”) з відповідного інформаційного входу передається на вихід.

3. Дослідити роботу перетворювача паралельного коду в послідовний побудованого на мультиплексорі (DD8).

Встановити на входах D0-D7 мультиплексора 8-розрядний двійковий код, використовуючи гнізда “1” і “0” і з’єднувальні провідники. Код вибирається з табл. 3.7 за номером, який відповідає порядковому номеру студента в журналі і записуємо в табл. 3.3. Перед початком дослідження обнулити виходи генератора двійкових чисел “Г”, натиснувши кнопку “СБР”. Натискуючи кнопку “ПУСК”, фіксувати послідовне проходження на вихід мультиплексора 8-розрядного коду при зміні станів на адресних входах X3, X2, X1 від 000 до 111. Дані занести в табл. 3.8.

Таблиця 3.7 – Інформаційний код

DD0	DD1	DD2	DD3	DD4	DD5	DD6	DD7

Таблиця 3.8 – Перетворення паралельного коду в послідовний

Адресні входи			Вихід
X3	X2	X1	Y
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

3 Опрацювання дослідних даних

1. Побудувати часові діаграми роботи дешифратора по тактах.
2. Побудувати часові діаграми роботи перетворювача паралельного коду в послідовний на базі мультиплексора по тактах.
3. Зробити висновки, порівнявши довідкові дані мікросхем К155ИД4 і К155КП5 з отриманими експериментально.

4 Контрольні запитання

1. Дайте визначення цифрових мікросхем комбінаційного типу.
2. Словесно опишіть принцип роботи шифратора і дешифратора.
3. Яку функціональну дію виконує мультиплексор і демультиплексор, та словесно опишіть принцип їх роботи.

Лабораторна робота №4

ДОСЛІДЖЕННЯ СХЕМ ТРИГЕРІВ

Мета роботи: Вивчити будову і дослідити роботу асинхронного $\overline{R}\overline{S}$ -тригера, синхронного RS-тригера, дослідити роботу JK-тригера, D-тригера та T-тригера.

1. Теоретичні відомості

Функціональні типи тригерів

Залежно від комбінацій керуючих сигналів і викликаних ними змін стану, тобто від виду характеристичного рівняння, тригери поділяються на кілька функціонувальних типів. Характеристичне рівняння встановлює залежність між значеннями вихідних сигналів Q_{n+1} і Q_n тригера в моменти часу t_{n+1} і t_n відповідно та значеннями керуючих сигналів.

У цифровій мікросхемотехніці найчастіше використовуються інтегральні RS-, JK-, D- і T- тригери та деякі їх різновидності. Буквами R, S, J, K, D, T та іншими прийнято позначати керуючі входи відповідних тригерів.

RS-тригер має два керуючі входи R і S, з допомогою яких здійснюється його встановлення в стан $Q_{n+1} = 1$ (при $R=0, S=1$) або скидання в стан $Q_{n+1} = 0$ (при $R=1, S=0$). При $R=S=0$ тригер працює в режимі зберігання інформації ($Q_{n+1} = Q_n$). Комбінація вхідних змінних $R=S=1$ є забороненою, оскільки може спричинити невизначеність стану при наступному надходженні сигналів $R=S=0$ (отримується $Q_{n+1} = 0$ або $Q_{n+1} = 1$).

Характеристичне рівняння RS-тригера має вигляд

$$Q_{n+1} = S + \overline{R}Q_n.$$

Схеми позначення RS-тригерів із різними способами синхронізації наведені на рис.4.1.

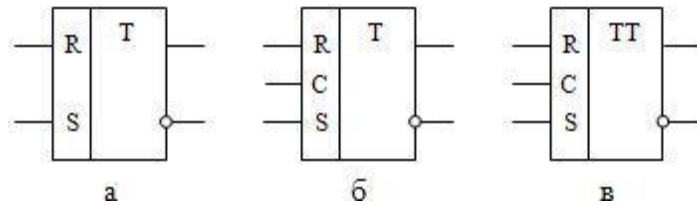


Рис.4.1. Схемні позначення RS-тригерів: асинхронного (а), синхронізованого рівнем (б) і синхронізованого фронтом (в).

Типова структура синхронізованого додатним фронтом синхроімпульсу RS-тригера зображена на рис. 4.2.

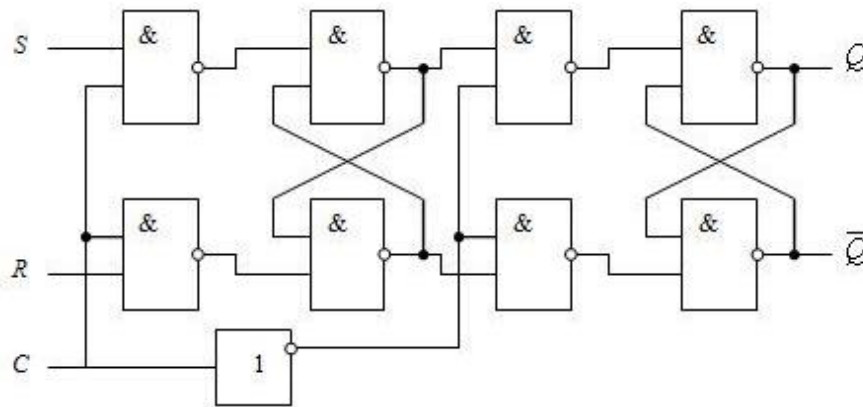


Рис. 4.2. Структурна схема RS-тригера, синхронізованого фронтом.

JK-тригер відрізняється від RS-тригера тим, що не має заборонених комбінацій вхідних сигналів. Коли $J=K=1$ відбувається лічильний режим ($Q_{n+1} = \bar{Q}_n$), а за інших випадків JK-тригер функціонує аналогічно RS-тригеру.

Характеристичне рівняння JK-тригера має вигляд

$$Q_{n+1} = J\bar{Q}_n + KQ_n.$$

Схема позначення JK-тригера і його типова структура зображені на рис. 4.3.

D-тригер затримує надходження на керуючий вхід D інформації на один період синхроімпульсів. Після чергового синхроімпульсу D-тригер встановлюється в стан $Q_n = D$. Характеристичне рівняння D-тригера має вигляд $Q_{n+1} = D$

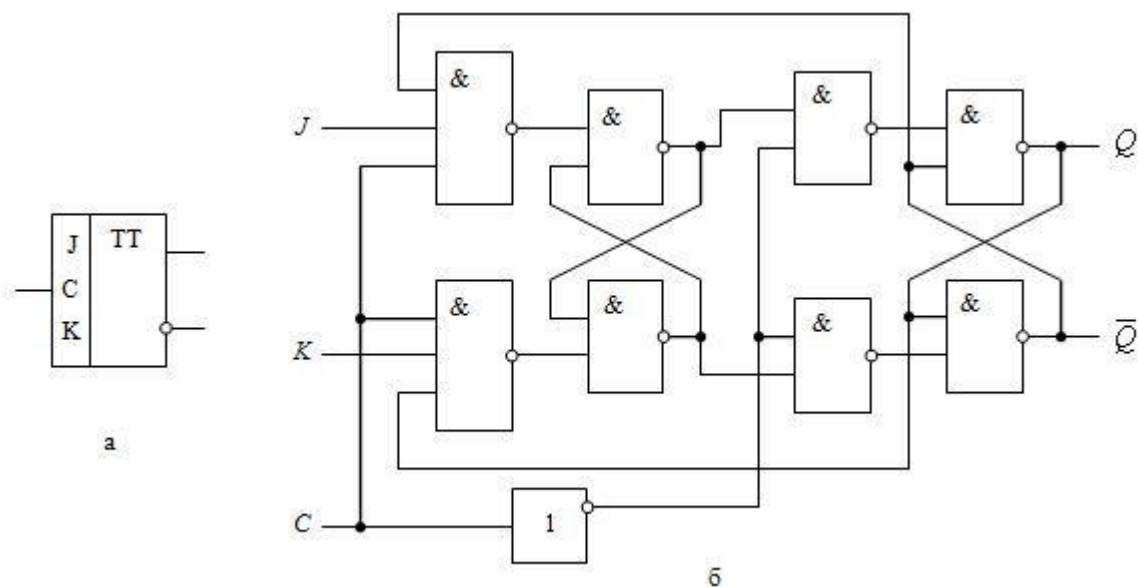


Рис. 4.3. Схемне позначення (а) і структурна схема (б) *JK*-тригера.

Схемні позначення D-тригерів з різними способами синхронізації і типова структура синхронізованого додатним фронтом синхроімпульсу D-тригера наведені на рис. 4.4.

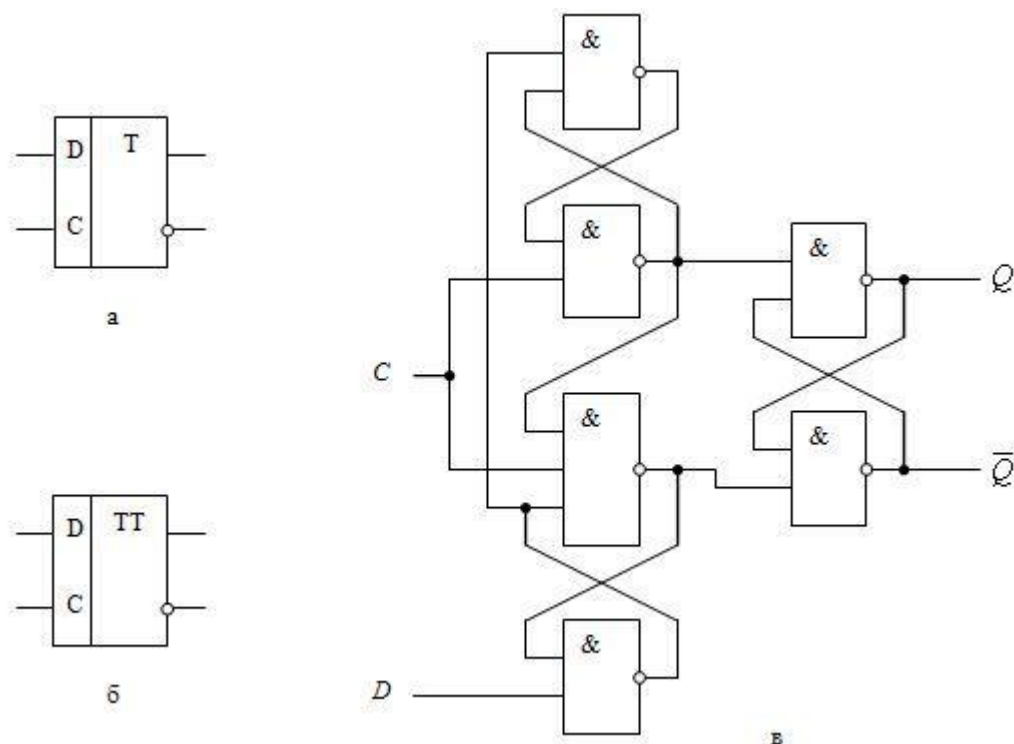


Рис. 4.4. Схемні позначення синхронізованого рівнем (а) синхронізованого фронтом (б) *D*-тригера; структурна схема синхронізованого фронтом *D*-тригера (в).

T -тригер має лічильний вхід, при надходженні на який синхроімпульсу змінює свій стан на протилежний ($Q_{n+1} = \bar{Q}_n$).

Характеристичне рівняння T -тригера і його типова структура зображені на рис. 4.5.

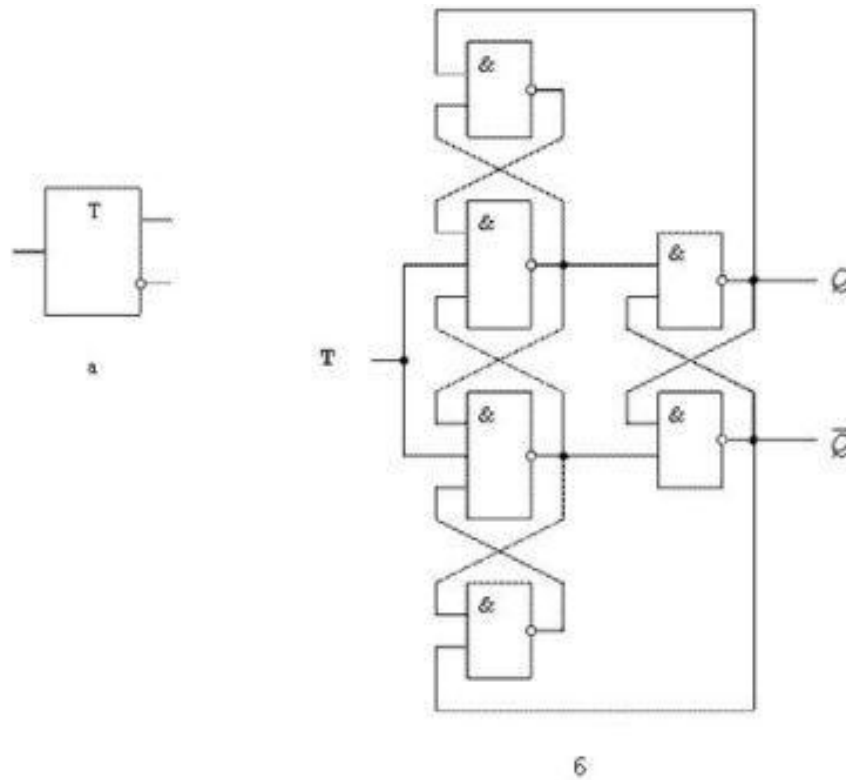


Рис. 4.5. Схемне позначення (а) і структурна схема (б) T -тригера

Тригер одного типу можна при необхідності перетворити в тригер іншого типу. На (рис. 4.6, б) зображено, як JK -тригер використовується як RS -тригер. Таблиці станів обох тригерів спадають. Перетворення JK -тригера в D -тригер здійснюється з'єднанням входів J і K через інвертор (рис. 4.6, в). У свою чергу синхронізований фронтом D -тригер при з'єднанні виходу $\bar{Q}$ з входом D перетворюється в T -тригер (рис. 4.6, а). На (рис. 4.6, г) – схеми T -тригера на основі JK -тригера.

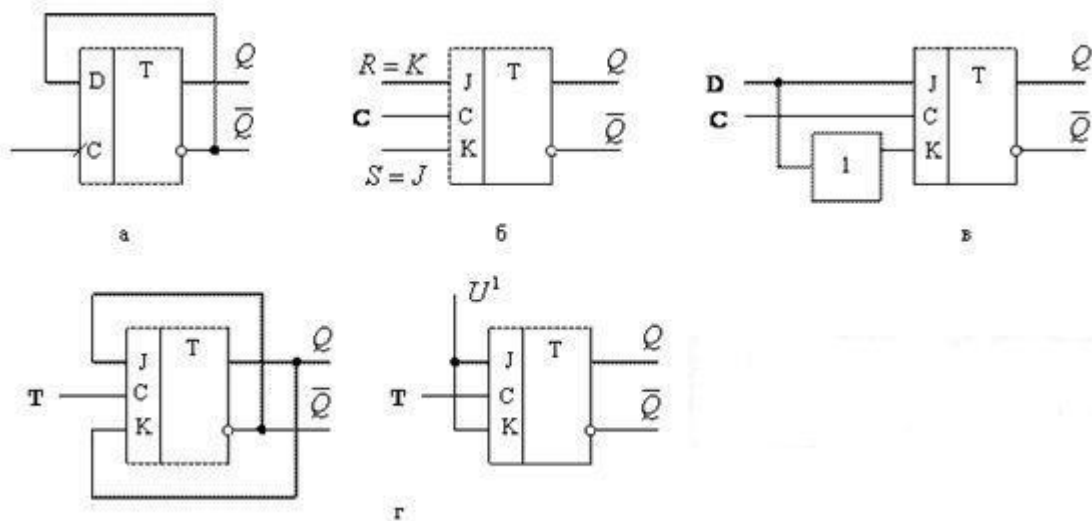


Рис. 4.6. Взаємні перетворення тригерів: а – D - у T -тригер; б – JK - у RS -тригер; в – JK - у D -тригер; г – JK - у T -тригер.

Схеми синхронних тригерів різних типів часто мають асинхронні входи попереднього встановлення $\bar{S}$ і попереднього скидання (онулення) $\bar{R}$.

2 Проведення досліджень

Ознайомтеся із структурою накладної панелі “11/12” та органами керування стендом. У роботі використовуються кнопки “ПУСК” і “АВТ”, розташовані на панелі керування. На накладній панелі “11/12” приведені поле керування і поле інтегральних мікросхем. На полі керування розташований генератор імпульсів ГІ. Передбачено два режими роботи: ручний і автоматичний. В ручному режимі при кожному натисканні кнопки “ПУСК” формується імпульс синхронізації. При натисканні кнопки “АВТ” генератора ГІ на виході формується послідовність тактових імпульсів.

Поле мікросхем складається з JK -тригера (DD1), трьох D -тригерів (DD5, DD6, DD7) і елементів І-НЕ (DD2, DD3, DD4). У роботі використовується гніздо “Q” з світлодіодною індикацією для фіксації стану входів тригерів, а також гнізда “1” і “0” для подачі логічних рівнів на входи тригерів.

Дослідження роботи асинхронного $\bar{R}\bar{S}$ -тригера.

2.1. Скласти схему $\bar{R}\bar{S}$ -тригера на логічних елементах 2І-НЕ (DD3, DD4) мікросхеми K155ЛА8, попередньо перевіривши роботу окремих логічних елементів (рис. 4.7).

2.2. Зняти таблицю станів $\bar{R}\bar{S}$ -тригера, подаючи на його входи відповідно комбінацію сигналів. Дані занести в табл.1.

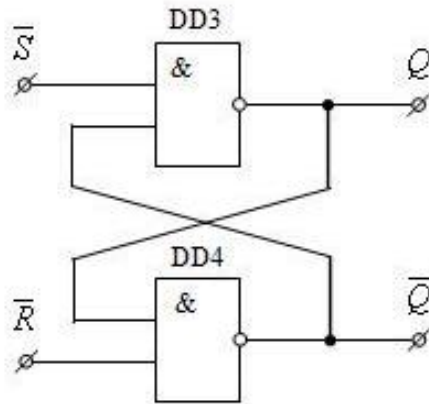


Рис.4. 7. Схема асинхронного $\bar{R}\bar{S}$ -тригера

Табл. 4.1. – Таблиця станів $\bar{R}\bar{S}$ -тригера

Q_{n-1}	$\bar{R}$	$\bar{S}$	Q_n	$\bar{Q}_n$	Режим роботи
0 1	0 0	0 0			
0 1	0 1	0 1			
0 1	1 0	0 1			
0 1	1 1	1 1			

Увага! Перед зняттям таблиці станів $\bar{R}\bar{S}$ -тригера його потрібно встановити в попередній стан Q_{n-1} - лог. “0” або лог. “1”.

Для встановлення в стан лог. “0” на інформаційні входи тригера подаємо наступні сигнали - $\bar{S}=1; \bar{R}=0$, а для встановлення в стан лог. “1” на інформаційні входи тригера подаємо - $\bar{S}=0; \bar{R}=1$.

Дослідження роботи синхронного RS-тригера.

3.1. Використовуючи панель “9/10”, скласти схему (рис. 4.8) синхронного RS-тригера на логічних елементах І-НЕ (DD2-DD5) мікросхеми K155ЛА8.

3.2. Зняти таблицю станів синхронного RS -тригера. Дані занести в табл. 4.2.

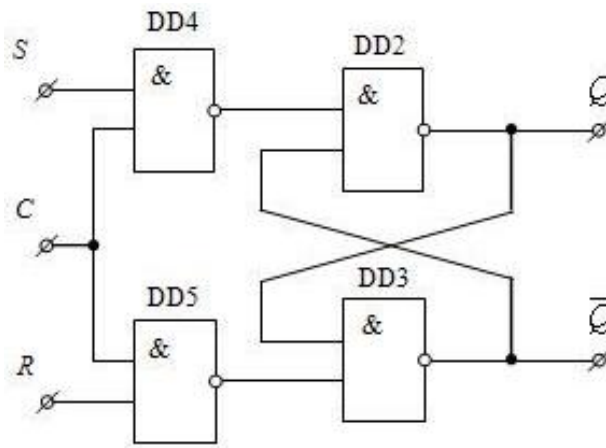


Рис. 4.8. Схема асинхронного $\overline{R}\overline{S}$ -тригера

Табл. 4.2 – Таблиця станів синхронного RS -тригера

Q_{n-1}	Входи			Виходи		Режим роботи
	S	R	C	Q_n	$\overline{Q}_n$	
0 1	0	0				
0 1	0	1				
0 1	1	0				
0 1	1	1				

Тактовий вхід C RS -тригера з'єднати з виходом $X1$ генератора Γ (або C генератора ΓI). При кожному натисканні кнопки “ПУСК” формується тактовий імпульс. Запис попередньо поданої на R -, S -входи інформації здійснюються при подачі тактового імпульса на синхровхід C .

Третій вхід лог. елемента $DD5$ залишається не під'єднаним, так як схеми ТТЛ сприймають це як лог. “1”.

Дослідження роботи JK -тригера ($DD1$, накладна панель 11/12 – мікросхема $K155TB1$).

4.1. Дослідити роботу входів встановлення (встановлення лог. “1”) $\overline{S}$ та обнулення $\overline{R}$ (встановлення лог. “0”) синхронізованого від'ємним фронтом JK -тригера (рис. 4.9).

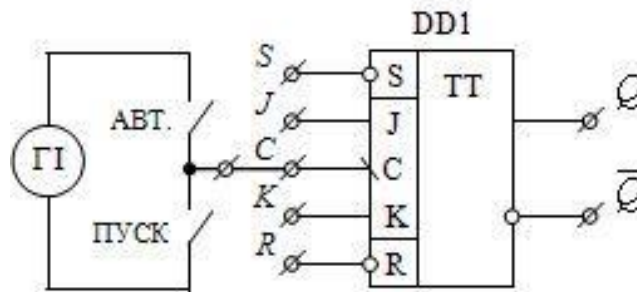


Рис. 4.9. Схема для дослідження роботи JK -тригера

Табл. 4.3 – Перевірка роботи входів встановлення JK -тригера

Входи					Виходи		Режим роботи
$\bar{S}$	$\bar{R}$	$\bar{C}$	J	K	Q	$\bar{Q}$	
0	1						
1	0						
0	0						

Знак х означає будь-яке значення вхідного сигналу. Дослідження проводити наступним чином. Виставити одну з комбінацій на входах $\bar{S}$ і $\bar{R}$, а на входах $\bar{C}$, J, K виставити по чергово всі можливі комбінації вхідних сигналів. Дані занести в табл. 4.3.

4.2. Зняти таблицю станів синхронізованого фронтом JK -тригера. Дані занести в табл. 4.4.

Табл. 4.4 – Таблиця станів JK -тригера

Входи					Виходи			Режим роботи
$\bar{S}$	$\bar{R}$	C	J	K	Q_{n-1}	Q_n	$\bar{Q}_n$	
1	1		0	0	0			
					1			
1	1		0	1	0			
					1			
1	1		1	0	0			
					1			
1	1		1	1	0			
					1			

Тактові імпульси на вхід С подаються по черговому, у ручному режимі, натискаючи кнопку “ПУСК”. Входи $\bar{S}$ і $\bar{R}$ не під’єднані

4.3. Зняти осцилограми роботи JK -тригера у лічильному режимі. Для цього на інформаційні входи подати наступні сигнали: $\bar{S}=1$; $\bar{R}=1$; $J=1$; $K=1$. Натиснути кнопку “АВТ”. Тактовий вхід С з’єднати провідником з входом “Y1 (I)” осцилографа, а на інший його вхід “Y3 (II)” по чергово подавати сигнали з прямого Q і інверсного $\bar{Q}$ виходів тригера.

Дослідити роботу D -тригера (DD5 на панелі 11/12 – мікросхема K155TM2).

Перевірити роботу входів встановлення $\bar{S}$ і $\bar{R}$ та зняти таблицю станів D -тригера (рис. 4.10), подаючи на вхід D логічні рівні “0” і “1”. Натиснувши кнопку “ПУСК” зафіксувати по індикатору Q стан прямого Q і інверсного виходу $\bar{Q}$. Дані занести в табл. 4.5. Дослідження провести аналогічно п.4.

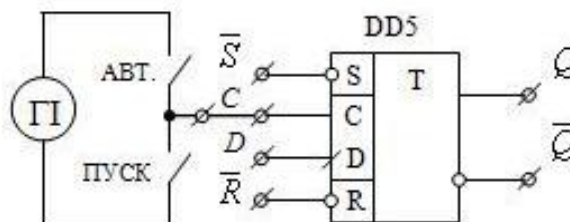


Рис. 4.10. Схема для дослідження роботи D -тригера

Табл. 4.5 – Таблица станів D -тригера

Входи				Виходи			Режим роботи
$\bar{S}$	$\bar{R}$	C	D	Q_{n-1}	Q_n	$\bar{Q}_n$	
0	0	x	x	x			
0	1	x	x	x			
1	0	x	x	x			
1	1		1	0 1			
1	1		0	0 1			

5.2. Зняти осцилограми роботи D -тригера. Для цього провідником з'єднати прямий вихід S DD2 з тактовим входом C DD7, а прямий вихід Q або інверсний $\bar{Q}$ (за вказівкою викладача) елемента DD7 з'єднати з інформаційним входом D -тригера (DD5). Вхід C генератора імпульсів ГІ з'єднати з тактовим входом DD5 і входом “Y1(I)” осцилографа. На інший вхід осцилографа “Y3(II)” подати по чергово сигнали з входу D та виходів Q і $\bar{Q}$ D -тригера і зарисувати осцилограми.

6. Дослідження роботи T -тригера.

6.1. Зібрати схему і дослідити роботу T -тригера побудованого на базі JK -тригера (DD1), схема якого приведена на рис. 4.11. Дані записати в табл. 4.6.

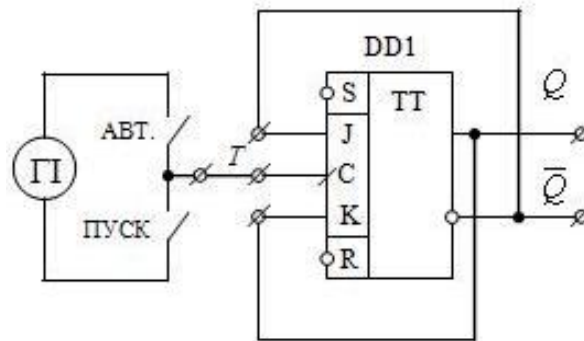


Рис. 4.11. Схема для дослідження роботи T -тригера

Табл. 4.6 – Таблиця станів T -тригера

Вхід	Виходи			Режим роботи
T	Q_{n-1}	Q_n	$\bar{Q}_n$	
0	0			
	1			
1	0			
	1			

Перетворити схему JK -тригера в T -тригер можна подавши на входи J і K рівні лог. "1", а тактовий вхід C буде лічильним входом T тригера.

Попереднє встановлення T -тригера можна здійснити подаючи відповідну комбінацію сигналів на $\bar{S}$ і $\bar{R}$ входи.

6.2. Зібрати і перевірити роботу T -тригера на базі D -тригера (DD5), схема якого приведена на рис. 4.12.

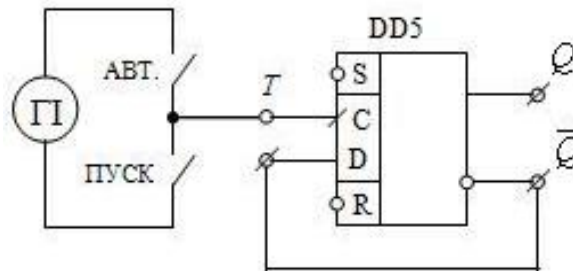


Рис. 4.12. Схема T -тригера на базі D -тригера.

6.3. Зняти осцилограми роботи T -тригера. Для цього потрібно під'єднати вхідний сигнал до входу “Y1(I)” а вихідні прямий і інверсний почергово до входу “Y3(II)” осцилографа.

3 Опрацювання дослідних даних

1. Встановити і записати в табл.1. режими роботи $\bar{R}\bar{S}$ -тригера.
2. Дорисувати часові діаграми роботи на виходах Q і $\bar{Q}$ RS -тригера, використовуючи дані табл. 4.1.

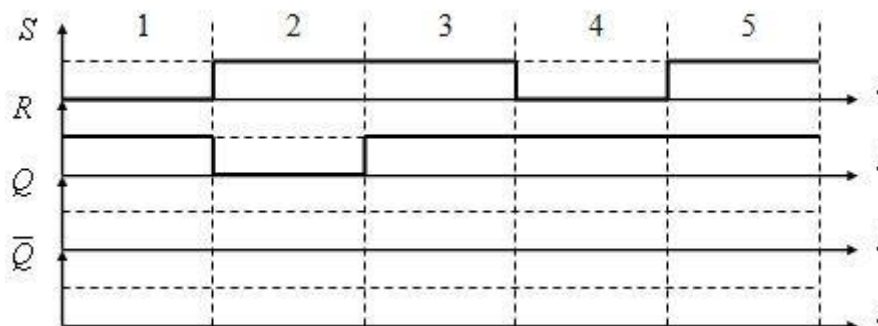


Рис. 4.13. Часові діаграми роботи асинхронного RS -тригера

Увага! Зверніть увагу на інверсність входів $\overline{R}\overline{S}$ -тригера по відношенню до RS -тригера.

Знизу, навпроти колонок 1÷5, вкажіть режим роботи RS -тригера.

3. Встановити і записати в табл. 4.2 режими роботи синхронного RS -тригера.

4. Дорисувати часові діаграми синхронного RS -тригера, користуючись даними табл. 4.2.

Знизу на осі t показати моменти перемикання та ділянки, які відповідають конкретним режимам роботи синхронного тригера, та вказати яким саме.

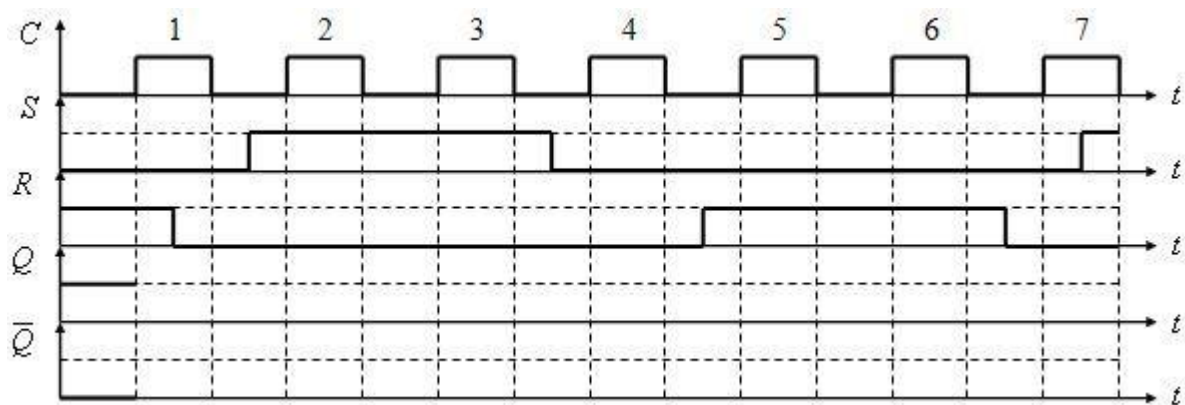


Рис. 4.14. Часові діаграми роботи синхронного RS -тригера.

5. Встановити і записати в табл. 4.3 і табл. 4.4 режими роботи JK -тригера.

6. З осцилограм роботи JK -тригера визначити по якому фронту синхроімпульса відбувається його перемикання.

7. Дорисувати часові діаграми роботи універсального JK -тригера, користуючись даними табл. 4.3 і табл. 4.4 і експериментально знятих осцилограм.

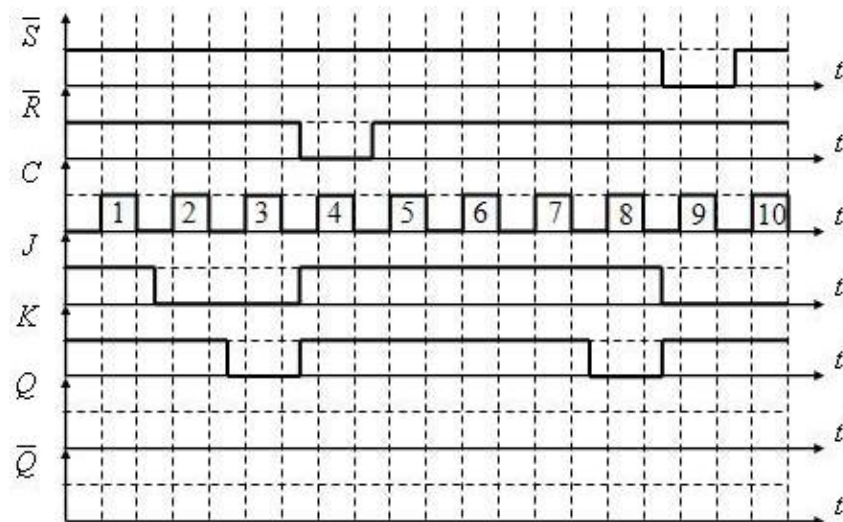


Рис. 4.15. Часові діаграми роботи універсального JK-тригера.

Вказати яким режимам роботи JK-тригера відповідають конкретні ділянки на часовій осі t .

8. Встановити і записати в табл. 4.5 режими роботи D-тригера.

9. На осцилограмах знятих по п.5.2 визначити і показати ділянки на часовій осі, які відповідають конкретним режимам роботи D-тригера. Визначити по якому фронту синхроімпульса відбувається його перемикання.

10. Встановити і записати у табл.6 режими роботи T-тригера.

11. Порівняти отримані експериментальні результати з довідниковими і зробити висновки.

5. Контрольні запитання

1. Що таке тригерна схема, для чого вона призначена?
2. Класифікуйте тригери за способом функціонування та в залежності від комбінації керуючих сигналів.
3. Нарисуйте схему і опишіть словесно двостановий елемент пам'яті кон'юнктивного типу.
4. Нарисуйте схему і опишіть словесно двостановий елемент пам'яті диз'юнктивного типу.
5. Які входи може мати тригер? У чому їх відмінність?
6. Яка різниця між синхронними і асинхронними тригерами?

7. Приведіть умовне графічне позначення, таблицю станів та характеристичне рівняння RS-тригера.
8. Нарисуйте схему і опишіть роботу синхронізованого рівнем RS-тригера.
9. Приведіть умовне графічне позначення, таблицю станів та характеристичне рівняння JK-тригера.
10. Приведіть умовне позначення, характеристичне рівняння та часові діаграми роботи D-тригера.
11. Приведіть умовне позначення, характеристичне рівняння та часові діаграми роботи T-тригера.
12. У чому полягає принцип роботи двоступеневих HS-тригерів? Чим вони відрізняються від одноступеневих?
13. Що таке динамічний тригер? Які типи тригерів побудовані по цьому принципу?
14. Що таке універсальний тригер? Для чого призначені його асинхронні входи?
15. Для побудови яких цифрових схем використовуються тригери?

ЕЛЕМЕНТИ ПРИСТРОЇВ ЗВ'ЯЗКУ З ОБ'ЄКТОМ

Мета роботи: Дослідження елементів пристроїв зв'язку з об'єктом (ПЗО) - програмованого паралельного інтерфейсу вводу-виводу, аналого-цифрового перетворювача (АЦП) та цифро-аналогового перетворювача (ЦАП).

1. Теоретичні відомості

1.1. ПЗО служить для зв'язку мікропроцесорних систем із зовнішніми об'єктами (пристроями).

ПЗО призначені для перетворення аналогових сигналів у цифровий код необхідної розрядності, передачі цифрового коду в мікропроцесорну систему (МПС), прийому від МПС цифрових кодів та передачі їх до зовнішніх пристроїв, перетворення цифрових кодів в аналогові сигнали.

В загальному випадку ПЗО складається з АЦП, ЦАП, портів паралельного або послідовного вводу-виводу, буферів, мікросхем логіки.

В лабораторній роботі досліджується ПЗО, до складу якого входять:

- програмований паралельний інтерфейс K580BB55;
- АЦП порозрядного кодування;
- ЦАП типу 572ПА1А;
- буфери K580BA86.

1.2. Цифро-аналогові перетворювачі

ЦАП призначені для перетворення вхідного цифрового (двійкового) коду в напругу або струм, що пропорційні цьому коду. ЦАП використовується в складі АЦП, а також як автономні пристрої для формування сигналів довільної форми.

Принцип дії цифро-аналогового перетворення полягає в додаванні аналогових величин, пропорційних вазі розрядів вхідного коду, розрядні коефіцієнти якого $a_i=1$.

Переважає більшість інтегральних мікросхем сучасних ЦАП базується на додаванні еталонних струмів $I_0, I_1, \dots, I_{n-1}$, значення яких відповідають вазі розрядів.

Додавання струмів здійснюється на операційному підсилювачі, напруга на виході якого пропорційна вхідному n -розрядному коду N .

Базові схеми ЦАП використовують вагові резистори, опори яких задовільняють послідовність $R, 2R, 4R, \dots, 2^{n-1}R$, або резисторні матриці $R-2R$.

Функціональна схема ЦАП з ваговими резисторами наведена на рис. 5.1.

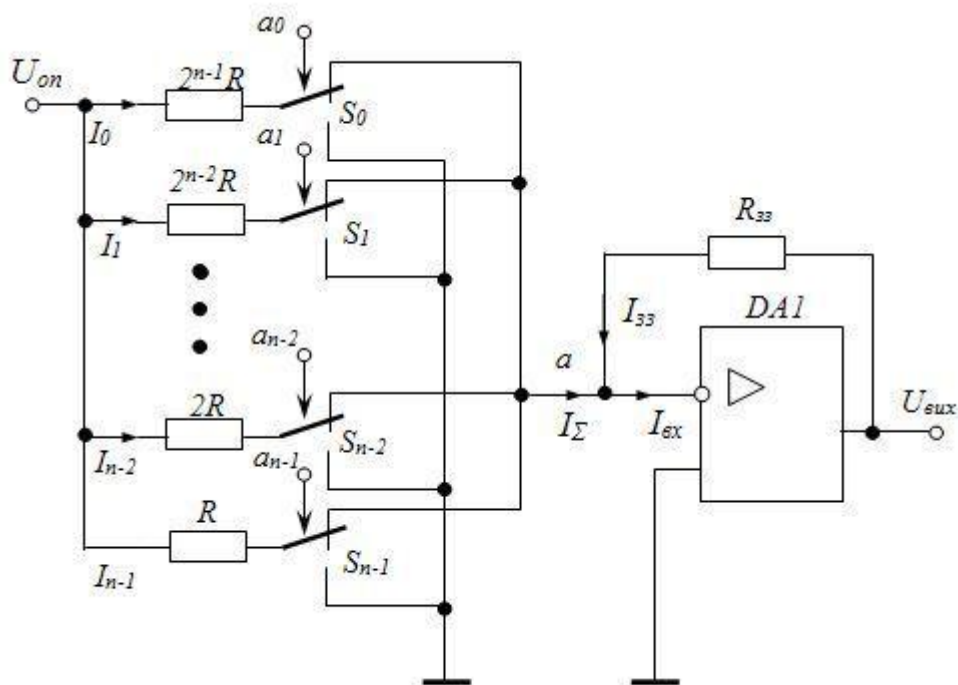


Рис. 5.1 Функціональна схема ЦАП з ваговими резисторами

До складу ЦАП входять: джерело опорної напруги U_{on} , ключі $S_0 \div S_{n-1}$, вагові резистори $R, 2R, 4R, \dots, 2^{n-1}R$, операційний підсилювач DA1 з опором зворотного зв'язку R_{33} .

Еталонні струми визначаються ваговими резисторами та напругою U_{on} джерела опорної напруги. Ці струми подаються в підсумовуючу точку "а" за допомогою ключів $S_0 \div S_{n-1}$, які керуються вхідним кодом. Враховуючи, що вхідний опір операційного підсилювача дуже великий, можна вважати, що струм I_{sx} його вхідного кола практично рівний нулю. Тому струм зворотного зв'язку I_{33} буде дорівнювати сумі еталонних струмів розрядів, коефіцієнти яких $a_i=1$. А вихідна напруга на виході операційного підсилювача буде дорівнювати:

$$\begin{aligned}
 U_{\text{вих}} &= (a_0 I_0 + a_1 I_1 + \dots + a_{n-1} I_{n-1}) R_{33} = \\
 &= \left(a_0 \frac{U_{\text{он}}}{2^{n-1} R} + a_1 \frac{U_{\text{он}}}{2^{n-2} R} + \dots + a_{n-1} \frac{U_{\text{он}}}{R} \right) R_{33} = \\
 &= \frac{U_{\text{он}} R_{33}}{2^{n-1} R} (a_0 + 2a_1 + \dots + 2^{n-1} a_{n-1}) = eN,
 \end{aligned}$$

де $e = \frac{U_{\text{он}} R_{33}}{2^{n-1} R}$ напруга, що відповідає вазі молодшого розряду.

З (1) видно, що вихідна напруга ЦАП пропорційна вхідному коду N .

Недоліком ЦАП з ваговими резисторами є широкий діапазон номіналів резисторів, які повинні бути ретельно узгодженими один з одним.

Цей недолік значно послаблений в схемі ЦАП з резисторною матрицею R - $2R$, що наведена на рис. 5.2. Така схема потребує лише двох номіналів резисторів: R і $2R$.

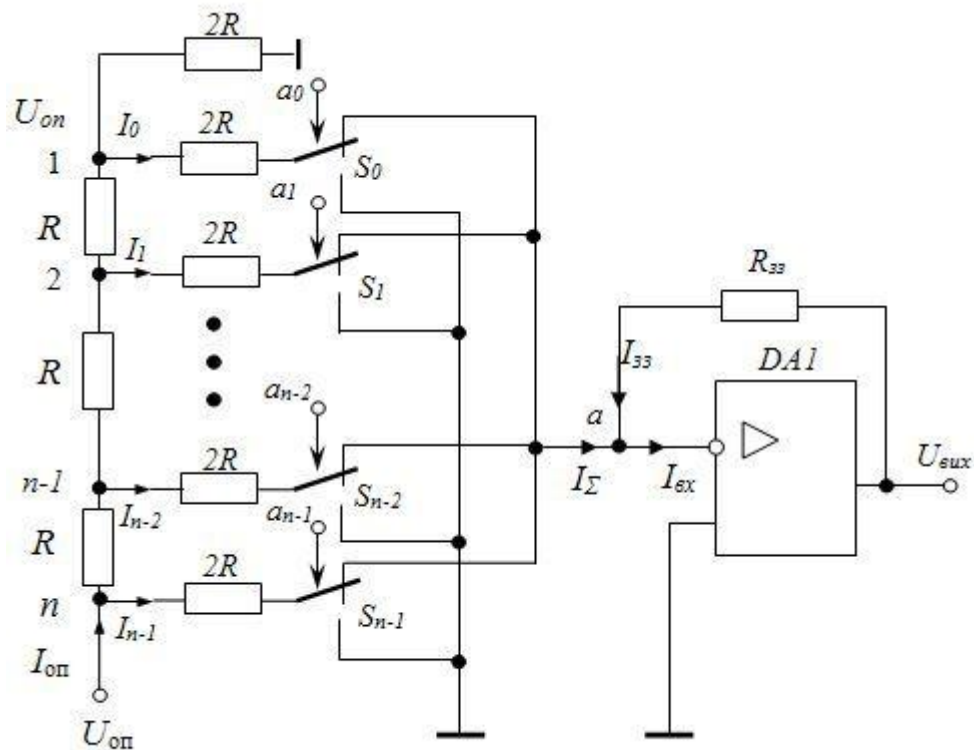


Рис. 5.2 Схема ЦАП з резисторною матрицею R - $2R$

Робота схеми основана на тому, що будь-який вузол резисторної матриці R - $2R$ має вхідний опір, що дорівнює R . Розглянемо вузол 1. До цього вузла під'єднано два опори величиною $2R$, ввімкнених паралельно. Дійсно, один з цих опорів під'єднаний до нульової шини, а другий - через перемикач S_0 до нульової

шини або до “віртуального” нуля на вході операційного підсилювача (точка “а”). Загальний опір такого паралельного з’єднання дорівнює R . Цей загальний опір R і послідовно ввімкнений з ним опір R під’єднані до вузла 2 (разом вони мають опір $2R$). До вузла 2 також під’єднано опір $2R$, який комутується ключем S_1 . Отже, повний опір буде $(R+R) \parallel 2R = R$. Неважко побачити, що це правило є справедливим для всіх вузлів резистивної сітки

$$R \rightarrow 2R.$$

У зв’язку з цим струм I_{on} , що втікає у вузол n від джерела U_{on} , у вузлі n розподіляється на два рівні між собою струми, які протікають по однакових опорах $2R$ і $R+R$, тобто: $I_{on} = 2I_{n-1}$. У свою чергу струм величиною I_{n-1} , що втікає у вузол $(n-1)$ також ділиться на рівні струми $I_{n-2} = \frac{I_{n-1}}{2}$, і т.д. Тому струм k -го розряду буде рівним:

$$I_k = I_{n-1} \left(\frac{1}{2} \right)^{n-k-1}, \text{ де } k=0, \dots, (n-1). \quad (2)$$

Тому вихідна напруга операційного підсилювача дорівнює:

$$U_{\text{вих}} = (a_0 I_0 + a_1 I_1 + \dots + a_{n-1} I_{n-1}) R_{33} = \frac{R_{33} I_{on}}{2^n} \sum_{k=0}^{n-1} a_k 2^k \quad (3)$$

Значення струму I_{on} дорівнює:

$$I_{on} = \frac{U_{on}}{2R}, \quad (4)$$

тому

$$U_{\text{вих}} = \frac{R_{33} U_{on}}{R 2^n} \sum_{k=0}^{n-1} a_k 2^k = eN. \quad (5)$$

Серед найбільш поширених серій мікросхем ЦАП є серії 572, 594, 1108.

Досліджувана мікросхема ЦАП К572ПА1 становить собою 10-розрядну універсальну структурну ланку для побудови мікроелектронних АЦП. Вона виконана по МДН-технології на одному кристалі. До складу кристалу входить прецизійна резисторна матриця $R-2R$, струмові ключі на МДН - транзисторах і вхідні підсилювачі, які забезпечують керування ключами від стандартних рівнів цифрового сигналу. Мікросхема працює з прямим паралельним двійковим кодом.

Основні параметри ЦАП:

1. Роздільна здатність - приріст вихідної напруги ЦАП при перетворенні суміжних значень вхідного коду.
2. Час перетворення - інтервал часу від моменту зміни коду на вході до моменту, при якому вихідний сигнал ЦАП досягає усталеного значення із заданою точністю.
3. Похибка зсуву нуля - значення вихідного сигналу ЦАП при нульовому коді на вході.

1.3. Аналого-цифрові перетворювачі.

АЦП призначені для перетворення вхідних аналогових сигналів у відповідні їм цифрові сигнали, необхідні для роботи з ЕОМ та іншими цифровими пристроями.

Процес аналого-цифрового перетворення полягає в порівнянні вхідного сигналу з набором еталонних величин (напруг). У відповідності з алгоритмом роботи АЦП поділяються на:

- АЦП, побудований по методу відліку;
- АЦП по методу послідовного підрахунку;
- АЦП по методу порозрядного кодування.

В даній роботі досліджується АЦП порозрядного кодування.

АЦП порозрядного кодування є певним компромісом між точністю і швидкодією. Тому він знаходить широке застосування в цифровій обробці швидкозмінних сигналів та процесів.

В такому АЦП вхідна величина послідовно порівнюється з сумою еталонів, які мають значення 2^i квантів, де $i=0, (n-1)$, а n - число розрядів вихідного коду АЦП. Під квантом розуміють вагу (значення) мінімального еталона напруги. Таким чином, два сусідні еталони відрізняються в 2 рази по величині.

Зрівнювання вхідної величини починається з еталона, який має максимальне значення. Цей еталон порівнюється з вхідною величиною за допомогою компаратора. Результат цього порівняння визначає старшу цифру двійкового коду АЦП. Якщо еталон більший за вхідну величину, то старший

розряд дорівнює 0 і далі виконується зрівнювання вхідної величини з наступним еталоном в 2 рази меншого значення. Якщо ж перший еталон менший (або рівний) вхідній величині, то старший розряд дорівнює 1 і далі виконується зрівнювання різниці між вхідною величиною і першим еталоном шляхом порівняння цієї різниці з наступним еталоном. Аналогічні дії виконуються для решти еталонів. У процесі порівняння сума еталонів прямує до вхідної величини (напруги) U_x по кривій, що здійснює затухання коливань відносно U_x , де U_x – вхідна напруга (пряма лінія на рис. 5.3).

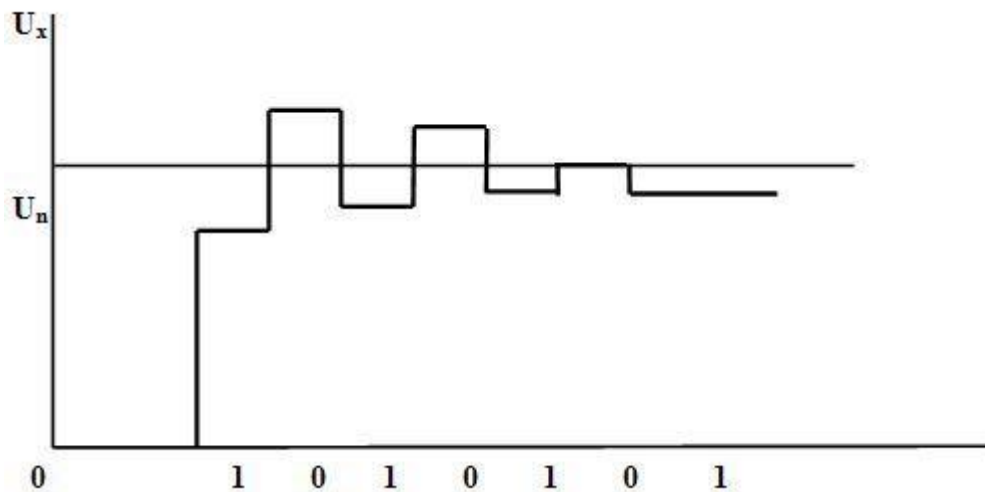


Рис. 5.3 Графік порівняння суми еталонів

Отже, після перетворення вхідна величина буде зрівноважена сумою тих еталонів, яким відповідає одиниця в розрядах вихідного коду АЦП. Функціональна схема АЦП порозрядного кодування наведена на рис. 5.4. До складу АЦП входять:

До складу АЦП входять: ГТС- генератор тактового сигналу, вхідний регістр зсуву, логічні схеми $I_1, I_2, \dots, I_n$, вихідний регістр (тригери T_1-T_n), ЦАП, компаратор K , джерело опорної напруги U_{on} .

АЦП працює наступним чином. По сигналу “Пуск” ГТС формує послідовність керуючих імпульсів, які пересувають одиничний сигнал на вхідному регістрі зсуву, в результаті чого виробляється послідовність керуючих імпульсів $A_1, A_2, \dots, A_{n+1}$.

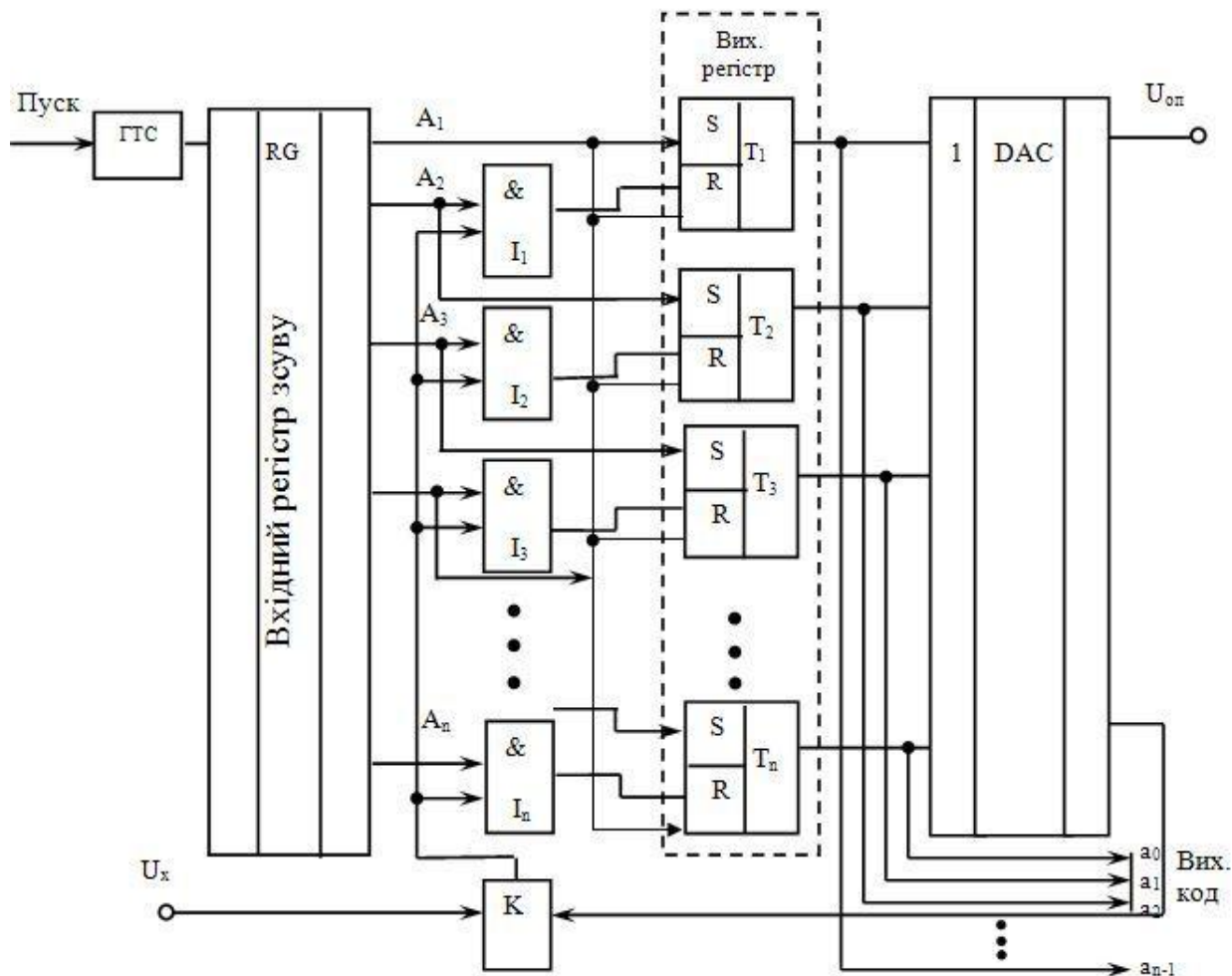


Рис. 5.4 Функціональна схема АЦП порозрядного кодування

До складу АЦП входять:

ГТС- генератор тактового сигналу, вхідний регістр зсуву, схеми $I_1 \div I_n$, вихідний регістр (тригери $T_1 \div T_n$), ЦАП, компаратор K , джерело опорної напруги $U_{оп}$.

АЦП працює наступним чином. По сигналу “Пуск” ГТС формує послідовність керуючих імпульсів, які пересувають одиничний сигнал на вхідному регістрі зсуву, в результаті чого виробляється послідовність керуючих імпульсів $A_1, A_2, \dots, A_{n+1}$.

В першому такті імпульсом A_1 встановлюється в “одиницю” тригер T_1 старшого розряду вихідного регістра, а решта тригерів скидаються в “нуль”. Тригер T_1 підключає до компаратора вихідну напругу ЦАП, яка відповідає старшому еталону: $U_{k1} = 2^{-1} U_{оп}$. Компаратор порівнює вхідну напругу U_x з

напругою U_{kl} . В залежності від знаку різниці $\Delta U = U_x - U_{kl}$ на виході компаратора з'являється сигнал різного рівня ("0" або "1").

Якщо в першому такті $\Delta U < 0$, то на схемі співпадіння І з виходу компаратора приходить "одиниця". Тоді наступний імпульс A_2 з вхідного регістра проходить через схему І₁ і скидає тригер T_1 в "нуль", від'єднуючи тим самим напругу ЦАП U_{kl} від компаратора.

Якщо ж $\Delta U > 0$, то T_1 лишається в "одиниці", і напруга U_k лишається поданою на компаратор.

В другому такті тригер T_2 перекидається в "одиницю", під'єднуючи до компаратора додаткову напругу $2^{-2}U_{on}$. Таким чином, після двох тактів компаратор порівнює вхідну напругу U_x з величиною $U_{k2} = U_{on}(a_1 2^{-1} + a_2 2^{-2})$, де a_1 і a_2 - відповідно вихідні сигнали тригерів T_1 та T_2 , рівні "0" або "1". Результат цього порівняння визначає стан тригера T_2 .

Описаний процес проводиться для всіх імпульсів $A_1, \dots, A_n$, тобто, стільки разів, скільки розрядів має вихідний код АЦП. Формування коду в молодшому розряді завершується імпульсом A_{n+1} .

Код результату перетворення знімається з тригерів $T_1 \div T_n$ вихідного регістру.

АЦП порозрядного кодування реалізовано у вигляді мікросхеми 572ПВ1А. Розрядність вихідного коду $n=12$. Час одного перетворення $t_{пер}=130$ мкс, тобто за одну секунду виконується приблизно 7600 перетворень аналогового сигналу в цифровий код. Точність роботи АЦП визначається стабільністю опорної напруги U_{on} , точності виготовлення матриці резисторів в АЦП, точності компаратора.

1.4. Програмований паралельний інтерфейс K580BB55.

Мікросхема універсального програмованого інтерфейсу вводу-виводу K580BB55 забезпечує обмін інформацією між мікропроцесорною системою і зовнішніми пристроями по трьох 8-розрядних каналах (портах) А, В, С. Програмування інтерфейсу здійснюється за допомогою програмного забезпечення мікропроцесора K580BM80, з яким він є повністю сумісним.

На рис. 5.5 наведена спрощена структурна схема інтерфейса.

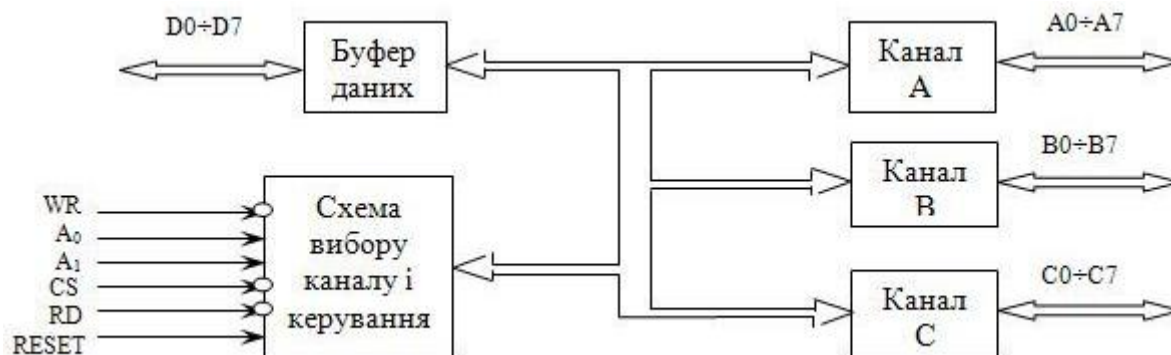


Рис. 5.5 Спрощена структурна схема інтерфейса K580BB55

Двохнапрямковий буфер даних з трьома станами під'єднується до шини даних мікропроцесорної системи. Дані передаються або приймаються буфером даних по командах *IN* і *OUT*. Через нього також передаються керуючі слова стану інтерфейсу, які програмують його режим роботи.

Інтерфейс має три режими роботи. Режим 0 - режим простого вводу-виводу. У цьому режимі кожен з каналів А, В, С може бути індивідуально налаштованим на ввід або вивід даних. В даному режимі інформація запам'ятовується в регістрах каналу, що працює на вивід, і зберігається незмінною до запису нової інформації.

Режим 1 - режим стробованого вводу-виводу. В цьому режимі інформація приймається або передається через канали А і В, а канал С використовується для керування обміном інформацією.

Режим 2 - режим роботи з стробованою двохлапковою шиною вводу-виводу по каналу А. Сигнали керування обміном приймаються і передаються по розрядах каналу С.

Схема керування здійснює керування всіма зовнішніми і внутрішніми пересиланнями інформації. Вибір каналу передачі здійснюється з допомогою адресних ліній A_0 і A_1 , що дозволяє здійснити звертання до трьох каналів А, В і С та регістра керувального слова (РКС), розташованого в схемі керування. Логічна "1" на вході RESET скидає в "0" всі внутрішні регістри інтерфейсу. Керування каналами виконується по програмі шляхом видачі слова керування, яке містить інформацію про режим роботи, деталізує стан окремих розрядів і т. д.

У даній роботі інтерфейс використовується в режимі 0 для під'єднання АЦП до шини даних для індикації його вихідних кодів, та для подачі кодів від клавіатури стенду на входи ЦАП.

2. Опис досліджуваних схем

Дослідження елементів ПЗО виконується на стенді типу ХПІ-СУАР.

На накладній панелі наведена спрощена структурна схема елементів ПЗО. АЦП послідовного наближення складається з цифро-аналогового перетворювача ЦАП, регістра послідовних наближень РПП, пристрою порівняння УС та генератора синхроімпульсів ГИ (рис. 5.6).

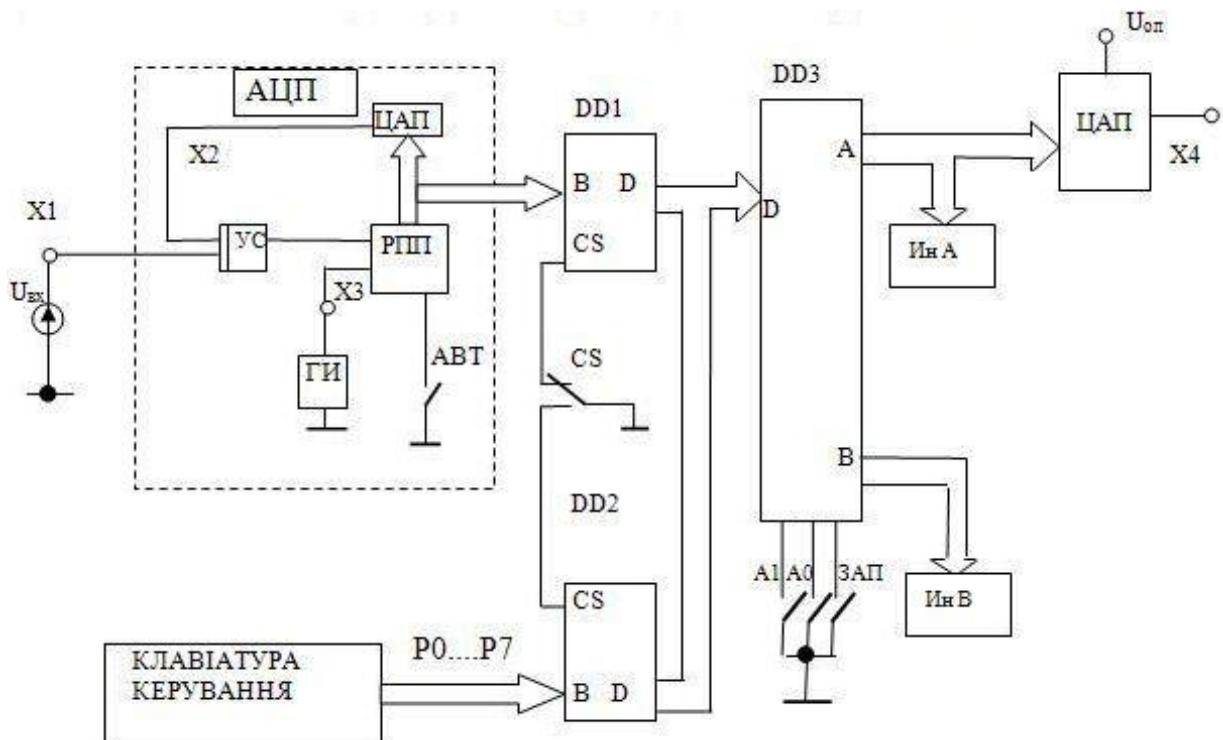


Рис. 5.6 Схема установки

Інтерфейс паралельного вводу-виводу *DD3* (K580BB55A) приймає інформацію по 8-розрядній шині даних *D*, і в залежності від керуючих сигналів передає її на виходи каналів *A*, *B*. Зв'язок входів *D* інтерфейсу з АЦП та клавіатурою здійснюється через буфери *DD1* і *DD2* (K580BA86). Вихід каналу *A* інтерфейсу *DD3* використовується для подачі вхідного коду P7-P0 з клавіатури (через буфер *DD2*) на вхід ЦАП та світлодіодні індикатори *A*. Вихід каналу *B*

інтерфейсу *DD3* використовується для індикації 8-розрядного коду АЦП, що подається через буфер *DD1*.

Повний опис функціонування досліджуваних мікросхем інтерфейсу *K580BB55A*, буферів *K580BA86*, регістра послідовних наближень *155IP17* та ЦАП *572ПА1А* наводиться в довідниковій літературі.

В даній роботі на накладній панелі керування стенду наведено лише ті органи керування, які необхідно для проведення дослідження.

В схемі АЦП при натисненій кнопці “АВТ” має місце режим перетворення вхідного аналогового сигналу в двійковий код. При ненаписненій кнопці “АВТ” процес перетворення переривається, що можна використати для індикації одержаного результату перетворень.

Буфери *DD1* і *DD2* (шинні формувачі *K580BA86*) служать для передачі інформації в двох напрямках від входу *B* буфера до його виходу *D* по 8-розрядних шинах даних. Вихід може від’єднуватися від шини даних по сигналу керування *CS*.

В роботі використовується режим “0” прямої передачі інформації від входу *B* до виходу *D*. Передача інформації через буфер дозволяється керуючим сигналом $CS=0$, який формується кнопкою “*CS*”. Високий рівень $CS=1$ цього сигналу від’єднує даний буфер по виходу *D* від шини даних, і буфер не передає інформації.

Інтерфейс паралельного вводу-виводу інформації *K580BB55A DD3* в режимі “0” має на виході три 8-розрядних канали з регістрами *A*, *B*, *C*. В даній роботі використовується два канали *A* і *B* (*DD3*).

Режим роботи інтерфейсу *DD3* задається за допомогою керульного слова, яке записується в регістр керуючого слова (РКС). Для режиму “0” простого вводу-виводу по каналах *A* і *B* необхідно записати керуюче слово в РКС у вигляді 1000 XXXX, де X - довільний стан розрядів (0 або 1). Для запису керувального слова в РКС інтерфейсу, а також для настройки на передачу інформації через його виходи *A* і *B* використовуються керуючі входи *A0*, *A1*, *WR*. На цих входах встановлюються сигнали логічного 0 при натисненні кнопок “*A0*”, “*A1*” і “ЗАП”, відповідно.

На панелі керування розташована клавіатура з кнопок “P7-P0”, які дозволяють встановлювати 8-розрядні двійкові числа, а також світлодіодна індикація каналів *A* і *B* інтерфейсу. Свічення світлодіода відповідає логічній одиниці даного розряду числа.

3 Підготовка до роботи

3.1. Користуючись конспектом лекцій, вивчити принцип дії АЦП, ЦАП і програмованого інтерфейсу K580BB55.

3.2. Накреслити структурну схему стенду пристроїв зв'язку з об'єктом (рис. 5.6).

4 Проведення досліджень

4.1. Дослідження передачі даних через інтерфейс паралельного вводу-виводу)

Інформація в порт подається від клавіатури кнопок “P7-P0” через буфер DD2.

4.1.1. Записати в РКС керувальне слово через буфер DD2. Для цього необхідно натиснути кнопку “CS” і встановити на керувальних входах сигнали $A_0=1$ і $A_1=1$, натиснувши кнопки “A0” і “A1”. Кнопками “P7-P0” встановити керувальне слово 1000 XXXX, де X- довільний стан. Потім натиснути кнопку “ЗАП”, зафіксувавши стан РКС, який зберігається на протязі всієї роботи схеми.

4.1.2. Налаштувати інтерфейс на передачу інформації через канал A. Для цього встановити на адресних входах сигнали $A_0=0$ і $A_1=0$, натиснувши кнопки “A0” і “A1”. Набрати на кнопках “P7-P0” задане 8-розрядне слово і, натиснувши кнопку “ЗАП”, зафіксувати стан індикаторів “ША(A)”, розташованих на панелі керування стенду.

4.1.3. Налаштувати інтерфейс на передачу інформації через канал B. Для цього встановити на адресних входах інтерфейсу сигнали $A_0=1$ і $A_1=0$. Не змінюючи встановленого 8-розрядного слова в попередньому пункті, натиснути кнопку “ЗАП” і зафіксувати стан індикаторів “ШД(B)”.

4.2. Дослідження ЦАП

У даному пункті досліджується мікросхема ЦАП широкого застосування К572ПА1А. Вхідне 8-розрядне слово подається на вхід ЦАП з клавіатури кнопками “P7-P0” через буфер DD2 і інтерфейс DD3 по каналу А.

4.2.1. Налаштувати інтерфейс DD3 на передачу даних через канал А, встановивши на його адресних входах $A_0=0$ і $A_1=0$. Налаштувати буфер DD2 на передачу даних від клавіатури, встановивши на керувальному вході $CS=0$ (натиснути кнопку “CS”).

4.2.2. Зняти залежність вихідного аналогового сигналу ЦАП від вхідного 8-розрядного коду. Вихідні сигнали ЦАП фіксувати мультиметром на гнізді “X4”. Вхідний код змінювати кнопками “P7-P0” від 0000 0000 до 1111 1111, збільшуючи на 1 кожний наступний розряд, починаючи з наймолодшого. Після кожного набору коду натискати кнопку “ЗАП” і фіксувати стан слова на індикаторах “ША(А)”, а також покази мультиметра.

4.2.3. Виміряти мінімальний приріст вихідного аналогового сигналу, який відповідає зміні вхідного коду на одиницю молодшого розряду. Початковий код встановити, наприклад, 0001 1110. Вимірювання проводити у відповідності з пунктом 4.3.2.

4.3. Дослідження АЦП

В даному пункті досліджується комплексна задача передачі інформації з виходу АЦП по 8-розрядній шині через буфер DD1, який пересилає її через інтерфейс DD3 на вихід каналу В для індикації.

4.3.1. Зняти осцилограми циклу перетворення АЦП, використовуючи два канали осцилографа С1-93 при ненависнених кнопках комутатора. Натиснути кнопку “АВТ”, встановивши АЦП в режим перетворення аналогового сигналу в цифровий код. З’єднати провідниками гнізда “Y1(1)” і “X2” (вихід ЦАП), гнізда “Y3(1)” і “X3” (вхід ГИ). Осцилограми входів-виходів ЦАП і ГИ зняти для двох значень сигналів, встановлюючи ручкою “Uвх” значення **-1В** і **-8В** (гніздо “X1”). Зафіксувати частоту тактових імпульсів ГИ і час перетворення на вході ЦАП.

4.3.2. Зняти залежність вихідного коду АЦП від вхідної напруги $N=f(U_{вх})$, де N - вихідний двійковий 8-розрядний код. Передача інформації з виходу АЦП

здійснюється через буфер DD1 і порт DD3 на індикатори каналу В. Для цього необхідно:

- віджати кнопку “CS”, під’єднавши вихід буфера DD1 до входу D інтерфейсу DD3;

- встановити на керуючих входах інтерфейсу $A0=1$ і $A1=0$, ввімкнути канал В для прийому інформації;

Для зняття залежності $N=f(U_{вх})$ необхідно встановлювати значення вхідного сигналу ручкою “ $U_{вх}$ ” від 0 до 10 В з кроком 1 В і фіксувати їх цифрові коди на виході АЦП (на індикаторах). Для цього необхідно після встановлення вхідного сигналу віджати кнопку “АВТ”, натиснути “ЗАП” і зафіксувати значення коду на індикаторах “ШД(В)”. Наступне вимірювання починається при нажатій кнопці “АВТ”, яка переводить АЦП в режим перетворення.

5 Обробка експериментальних даних

5.1. Побудувати залежність вихідного коду АЦП від вхідної напруги. Визначити крок квантування АЦП.

5.2. Побудувати залежність вихідної напруги ЦАП від вхідного коду, за допомогою якої визначити вагу молодшого розряду ЦАП, та порівняти її з мінімальним приростом вихідного сигналу, отриманим в пункті 3.

5.3. Користуючись осцилограмою циклу перетворення АЦП, визначити значення вихідного коду АЦП, якому відповідає дана осцилограма.

5.4. За осцилограмми визначити час перетворення АЦП.

5. Контрольні запитання

1. Чому в схемі ЦАП (рис.1) один контакт кожного розрядного перемикача з’єднано з спільною шиною?
2. Якими параметрами характеризується ЦАП?
3. Зробіть порівняльний аналіз ЦАП з ваговими резисторами і ЦАП з матрицею резисторів R-2R.
4. Поясніть принцип дії ЦАП з резисторами R-2R.
5. В чому полягає принцип роботи АЦП порозрядного кодування?

6. Яким чином відбувається формування еталонних величин в АЦП порозрядного кодування?
7. Із скількох тактів складається цикл перетворення АЦП порозрядного зрівноваження?
8. Які методи аналого-цифрового перетворення використовуються при побудові АЦП?
9. Що входить в поняття інтерфейсу?
10. В чому полягає програмованість інтерфейсу K580BB55?
11. Які особливості роботи інтерфейсу K580BB55 в режимах 0, 1, 2?
12. Які функції виконує шинний формувач?

ЛІТЕРАТУРА

1. Ю.І. Якименко, Т.О. Терещенко, Є.І. Сокол, Ю.С. Петегеря. Мікропроцесорна техніка. К. "Кондор", 2004.- 440с.
2. Бабич М.П., Жуков І.А. Комп'ютерна схемотехніка: Навч. посібник. – К.: НАУ, 2002. -508с.
3. В.І. Бойко, А.М. Гуржій та ін. Схемотехніка електронних систем: книга 3. Мікропроцесори та мікроконтролери. К. : Вища школа., 2004.- 339с.
4. Мілих В.І. Електротехніка, електроніка та мікропроцесорна техніка: підручник. – 2-е вид. / В.І. Мілих, О.Л. Шавьолкін. – К.: Каравела, 2008. – 687 с.
5. Кирик В.В. Мікропроцесорні системи та промислові контролери: Навчальний посібник. – Київ, АМУ, 2010. – 72 с.
6. М.С. Будіщев Електротехніка, електроніка та мікропроцесорна техніка. Підручник. – Львів: Афіша, 2001. – 424с.
7. Локазюк В.М. Мікропроцесори та мікроЕОМ у виробничих системах: Посібник, - К.: Видавничий центр «Академія», 2002. – 368с.
8. Мікропроцесорна техніка: навч. посібник / В.В. Ткачов, Г.Грулер, Н. Нойбергер та ін. – Д.: Національний гірничий університет, 2012. – 188 с.
9. Цирульник С.М. Мікропроцесорна техніка : навч. посіб. / С.М. Цирульник, О.Д. Азаров, Л.В. Крупельницький, Т.І. Трояновська, Вінниця: ВНТУ, 2017. 123с