

УДК 681.5

Р.П. Вархоляк – аспірант гр. КАа-11

Тернопільський національний технічний університет імені Івана Пулюя

ПІДВИЩЕННЯ ТОЧНОСТІ СИСТЕМ АВТОМАТИЗАЦІЇ ДЛЯ КОНТРОЛЮ ТИСКУ ТА ТЕМПЕРАТУРИ В ПРОМИСЛОВИХ УМОВАХ

Науковий керівник: доцент, кандидат технічних наук Трембач
Р. Б.

R. Varkholiak

Ternopil Ivan Puluj National Technical University

INCREASING THE ACCURACY OF AUTOMATION SYSTEMS FOR PRESSURE AND TEMPERATURE CONTROL IN INDUSTRIAL CONDITIONS

Supervisor: associate professor Rostyslav Trembach

Ключові слова: АЦП, тиск

Keywords: ADC, pressure

За останні два десятиліття багато приладів з аналоговими схемами замінили цифровими. Однак для багатьох застосувань, таких як оцифровка фізичних сигналів (тиск, температура), все ще потрібна розробка аналогових схем. Крім того, останні досягнення в комунікаційних та електронних системах призвели до попиту на високошвидкісні та енергоефективні аналогові інтерфейси. Незважаючи на те, що аналогові схеми зазвичай займають лише невелику частину великих систем, вона може визначати продуктивність та точність системи в цілому. Серед аналогових інтерфейсних схем, аналого-цифрові перетворювачі (АЦП) відіграють вирішальну роль у продуктивності систем зв'язку. Продовжують з'являтися нові прилади, в яких потрібні АЦП з більш високою пропускну здатністю та вищою роздільною здатністю. В основному АЦП можна поділити на дві категорії: АЦП з частотою Найквіста (частота рівна половині частоти дискретизації), та із надмірною дискретизацією.

АЦП з частотою Найквіста, наприклад, конвеєрні [1], складні АЦП, широко відомі завдяки перетворенням високої смуги частот із середньою точністю (рис.1). Хоча така архітектура дозволяє реалізувати високу пропускну здатність, високої точності важко досягти без масштабного калібрування. Продуктивність АЦП Найквіста зазвичай обмежується невідповідністю компонентів, низьким власним підсиленням пристрою, низьким діапазоном коливань вхідного сигналу тощо.

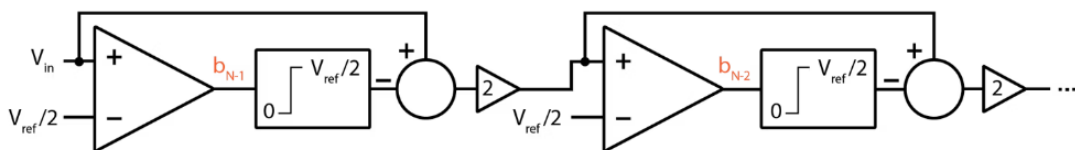


Рис.1 Структурна схема конвеєрного АЦП

Навпаки, АЦП із надмірною дискретизацією зазвичай використовуються у високоточних програмах із низькою та середньою пропускну здатністю. Дельта-сигма ($\Delta\Sigma$) модулятори є найпопулярнішими АЦП із надлишковою дискретизацією. Перший комерційний $\Delta\Sigma$ АЦП був запропонований у 1988 році компанією Crystal Semiconductor і використовувався для оцифровки голосового діапазону. На початку 1990-х років CMOS $\Delta\Sigma$ АЦП стали архітектурою вибору для вимірювальних процесів [2] (тиск, температура, розхід).

В останнє десятиліття використовуються різні методи, щоб зробити модулятори $\Delta\Sigma$ життєздатними кандидатами для приладів із смугою пропускання сигналу до 20 МГц і роздільною здатністю понад 12 біт. Більшість зусиль було спрямовано на збільшення частоти дискретизації $\Delta\Sigma$ АЦП, щоб також збільшити смугу пропускання сигналу. Хоча частота дискретизації зазвичай обмежена технологією, безперервні фільтри петлі $\Delta\Sigma$ можуть значно зменшити обмеження частоти дискретизації [3]-[4]. Теоретичне обмеження тактової частоти модулятора визначається часом регенерації квантозатора та швидкістю оновлення початкового ЦАП [5]. Однак низька лінійність і точність контурних фільтрів робить їх менш привабливими для застосування з високою роздільною здатністю. З іншого боку, дискретний час $\Delta\Sigma$ демонструє як гарну лінійність, так і хорошу точність, але їхня частота дискретизації зазвичай обмежена вимогою встановлення операційного підсилювача.

Отже, необхідні альтернативні методи для збільшення смуги пропускання сигналу АЦП із надмірною дискретизацією та збереження їх точності. В цьому і буде полягати основне завдання цієї дисертаційної роботи.

Література:

1. P.Y. Wu, V.S-L. Cheung, and H.C. Luong, "A 1-V 100-MS/s 8-bit CMOS Switched-Opamp Pipelined ADC Using Loading-Free Architecture," IEEE J. of Solid-State Circuits, VOL.42, NO.4, Apr. 2007 – C 730-738.
2. B. Boser and B. Wooley, "The Design of Sigma-Delta Modulation Analog-to-Digital Converters," IEEE J. of Solid-State Circuits, Vol. 23, No. 6, Dec. 1988 – C 1298-1308.
3. R. Schreier, G.C. Temes, "Understanding Delta-Sigma Data Converters," IEEE Press, Nov. 2004
4. G. Mitteregger, C. Ebner, S. Mechnig, T. Blon, C. Holuigue, E. Romani, A. Melodia, V. Melini, "A 14b 20mW 640MHz CMOS CT $\Sigma\Delta$ ADC with 20MHz Signal Bandwidth and 12b ENOB," IEEE Solid-State Circuits Conferenc, Feb. 2006. – C131-132.
5. L.J. Breems, R. Ruten, R.van Veldhoven, G. vander. Weidel, H. Termeer, "A 56mW CT Quadrature Cascaded $\Sigma\Delta$ Modulator with 77dB DR in a Near Zero-IF 20MHz Band," IEEE Solid-State Circuits Conference, Feb. 2007. – C 238-239.