

переднього фронту на вході IN_1 на тактовому вході тригера FDC появиться також передній фронт, що призведе до появи на виході Q тригера FDC лог. 1. На вході B тригера FDC появиться лог. 0 і це призведе до того, що на тактовому вході тригера FDC появиться лог. 0.

Схема вибору фронту складається з мультиплексора M4_1E і трьох логічних елементів: AND2, AND2 і INV. Входи SET_1 і SET_2 призначені для вибору входу який комутуватиметься на вихід мультиплексора M4_1E. При встановленні на вході SET_1 і SET_2 лог. 0 працює режим детектування переднього фронту сигналу, при встановленні на вході SET_1 лог 1 і SET_2 лог. 0 працює режим детектування обох фронтів, а при встановленні на вході SET_1 лог. 0 і SET_2 лог.1 працює режим детектування заднього фронту сигналу.

Дана схема була побудована в програмному середовищі ISE Design Suite і змодельована її роботу з врахуванням затримки сигналів на проходження через лінії зв'язку і логічні елементи. Змодельовані результати зображені: на рис. 2 в режимі детектування переднього фронту, на рис. 3 в режимі детектування обох фронтів і на рис. 4 в режимі детектування заднього фронту. Де in_1 вхідний сигнал, set_1, set_2 сигнали вибору режиму роботи детектора фронтів, out_1 вихідний сигнал, e – сигнал дозволу роботи мультиплексора.

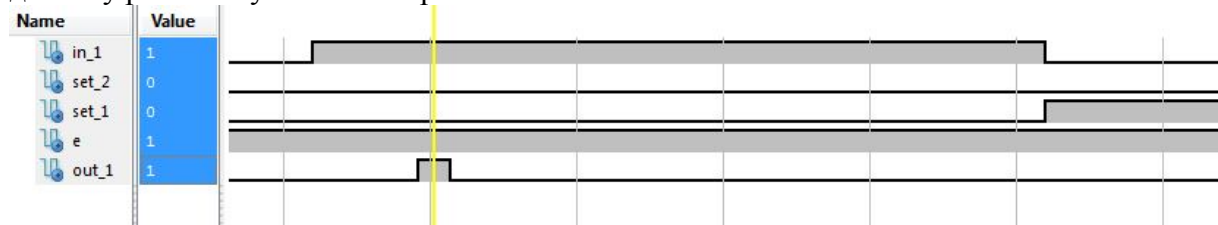


Рис. 2. Результати роботи в режимі детектування переднього фронту

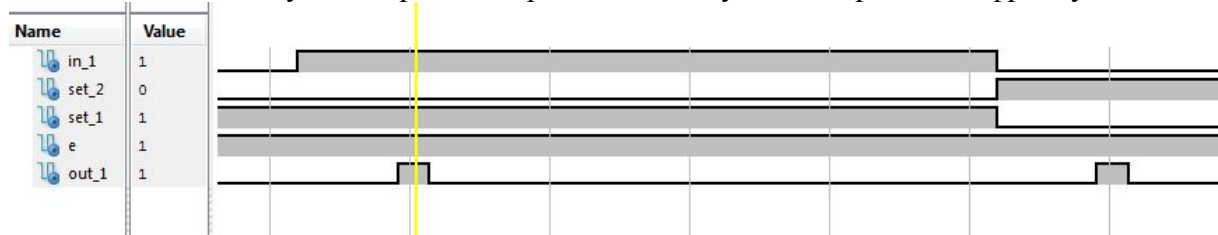


Рис. 3. Результати роботи в режимі детектування обох фронтів

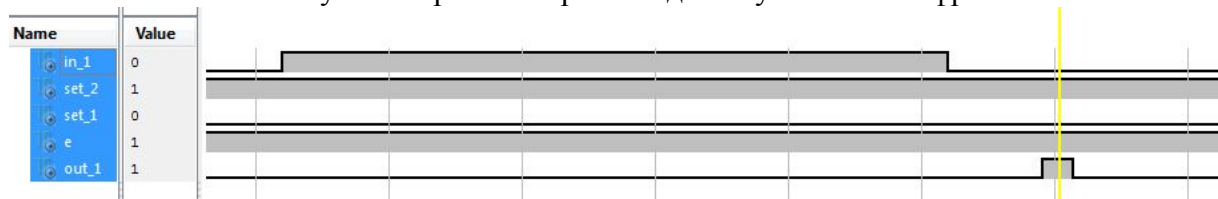


Рис. 4. Результати роботи в режимі детектування заднього фронту

Отже спроектована схема за результатами моделювання виконує наступні умови задачі: вибір фронту сигналу для обробки, постійна тривалість імпульсу на виході схеми. Затримка на проходження вхідного сигналу через схему становить 7.198 ns.