

УДК 004.71:621.39

Руслан Гуржуй, Георгій Воробець

Чернівецький національний університет імені Юрія Федьковича, Україна

VHDL МОДЕЛЬ МОДУЛЯ СПЕЦІАЛІЗОВАНОГО ПРОЦЕСОРА МАТЕМАТИЧНОЇ ОБРОБКИ ДАНИХ В РЕЖИМІ РЕАЛЬНОГО ЧАСУ

Ruslan Gurzhui, George Vorobets

VHDL MODEL OF THE MODULE OF THE SPECIALISED PROCESSOR OF MATHEMATICAL DATA PROCESSING IN A MODE OF REAL TIME

В сучасних комп'ютеризованих інформаційно-вимірювальних системах для контролю швидкоплинних процесів в режимі реального часу постає проблема підвищення швидкості математичної обробки вхідних параметрів для прийняття рішення про керування ходом контрольованого процесу. В потужних обчислювальних системах дана проблема вирішується використанням арифметико-логічних пристроїв (АЛП) з вузлами множення чисел матричного типу або додатковим блоком пам'яті [1]. У спеціалізованих обчислювачах вказаний підхід має обмеження зумовлені мінімізацією техніко-економічних показників системи.

Метою даної роботи є імітаційне моделювання спеціалізованого вузла процесора математичної обробки інформації в режимі реального часу, для виконання операції множення чотири розрядних 2-10 чисел з формуванням суми часткових добутоків за один такт. Вибір середовища VHDL для імітаційного моделювання пристрою забезпечує проведення візуального оперативного тестування апробованої моделі та проведення досліджень можливостей її коректного функціонування в режимі реального часу. Завдяки засобам пакету Simplify є можливість оцінки кількісних показників параметрів модельованого пристрою при його реалізації у вигляді окремого функціонального вузла у програмованій логічній матриці (ПЛМ).

Пришвидщення виконання операції множення отримано на апаратному рівні за рахунок технічної реалізації комбінаційної схеми прямого формування проміжних значень часткових добутоків розрядів операндів. Керування комутацією відповідних розрядів операндів забезпечується окремими схемами дешифратора та мультиплексора. Вихідний регістр результату містить подвоєну розрядну сітку щодо вхідних операндів і забезпечує необхідну точність обчислень та відсутність знаку переповнення. Вихідний результат також представлено у двійково-десятковому вигляді, що дозволяє використовувати його як для оперативного контролю обробки даних, так і для зберігання в пам'яті та подальшого використання для математичної обробки і накопичення даних. Крім того така форма є зручною для візуалізації результатів на індикаторах двійково-десяткових значень.

Порівняльний аналіз швидкодії та складності модельованого пристрою проведено для одно-, дво-, чотири- і восьми розрядних 2-10 операндів. Показано, що хоча при зростанні розрядності відносний показник прискорення обробки операндів дещо зменшується, абсолютне значення виграшу в часі складає 20-25 %. Розроблена модель пристрою може бути реалізована на ПЛМ довільної конфігурації, зокрема фірми Xilinx чи іншої, що дозволяє проектувати спеціалізовані пристрої комп'ютерної обробки даних та управління у вигляді компактних високотехнологічних вузлів.

Література.

1. Мельник А.О. Архітектура комп'ютера. Наукове видання. – Луцьк: Волинська обласна друкарня, 2008. – 470 с.