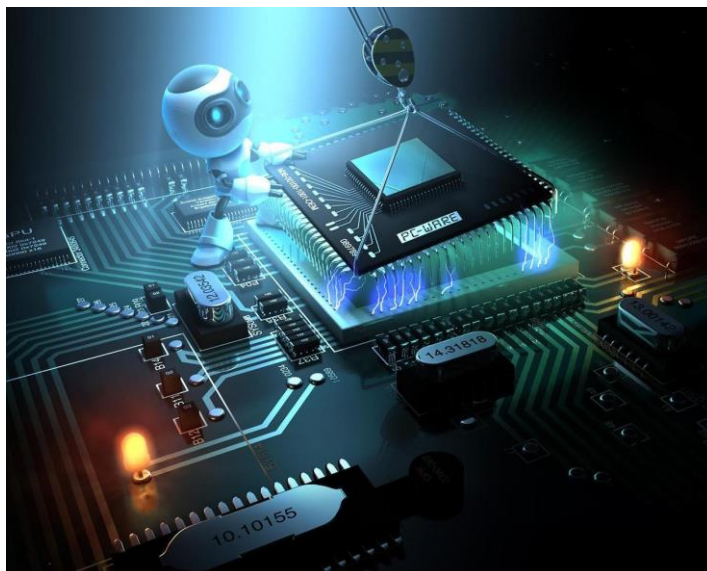
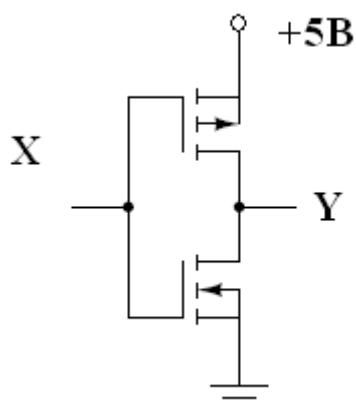


**МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
ТЕРНОПІЛЬСЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ
ім. Івана Пулюя**

Кафедра автоматизації технологічних процесів і виробництв



**МЕТОДИЧНІ ВКАЗІВКИ
до виконання лабораторних робіт з дисципліни
“Електроніка і мікросхемотехніка”
Модуль 4. Мікросхемотехніка**



Тернопіль - 2024

Трембач Р.Б., Медвідь В.Р. Методичні вказівки до виконання до виконання лабораторних робіт з дисципліни “Електроніка і мікросхемотехніка ” Модуль 4. «Мікросхемотехніка» – Тернопіль: ТНТУ, 2024. – 44с.

Укладачі: Трембач Р.Б., к.т.н., доцент;
Медвідь В.Р., к.т.н., доцент.

Рецензент: Яцків В.В., д.т.н., професор

Відповідальний за випуск: Савків В.Б, к.т.н., доцент

Схвалено та рекомендовано до друку на засіданні кафедри автоматизації технологічних процесів і виробництв (протокол № 7 від 29 грудня 2023р.)

Схвалено та рекомендовано до друку НМК факультету прикладних інформаційних технологій та електроінженерії (протокол № 5 від 08 лютого 2024р.)

Методичні вказівки до виконання лабораторних робіт з дисципліни “Електроніка і мікросхемотехніка” містять порядок виконання лабораторних робіт, а також теоретичні основи, необхідні для її успішного виконання.

ЗМІСТ

1. Лабораторна робота № 4.1. Дослідження дешифраторів	4
2. Лабораторна робота № 4.2. Дослідження тригерів.....	11
3. Лабораторна робота № 4.3. Дослідження лічильників	22
4. Лабораторна робота № 4.4. Дослідження універсального регістра K555ИР11.	30
5. Лабораторна робота № 4.5. Дослідження аналого-цифрових і цифро- аналогових перетворювачів	34
Правила з оформлення звіту по роботі.....	44
Список використаних джерел.....	44

ЛАБОРАТОРНА РОБОТА № 4.1

Тема роботи: Дослідження дешифраторів.

Мета роботи: ознайомлення з принципом роботи дешифраторів; дослідження впливу керуючих сигналів на роботу дешифраторів; реалізація та дослідження функціональних модулів на основі дешифраторів.

Прилади та інструменти: мікросхеми DD1 - К555ИД7 (74LS138N), DD2-К555ЛА3 (7400), DD3 - К555ЛЛ1 (7432), світлодіоди АЛ 307Б (LED1... LED8), XWG – генератор слів, XLA – логічний аналізатор, джерело живлення, резистори 100 Ом включати послідовно з світлодіодами, макетниця, з'єднувальні дроти.

1. Теоретичні відомості

Комбінаційні схеми. Комбінаційною схемою називається логічна схема, яка реалізує однозначну відповідність між значеннями вхідних та вихідних сигналів. Для реалізації комбінаційних схем використовують логічні елементи, що випускаються у вигляді інтегральних схем. До цього класу відносяться інтегральні схеми дешифраторів, шифраторів, мультиплексорів, демультиплексорів та суматорів.

Дешифратори. Дешифратор – логічна комбінаційна схема, яка має n інформаційних входів та 2^n виходів. Кожній комбінації логічних рівнів на входах буде відповідати активний логічний рівень на одному з 2^n виходів. Як правило, n дорівнює 2, 3 або 4. На рис. 1 зображено дешифратор з $n = 3$, активним рівнем логічного нуля.

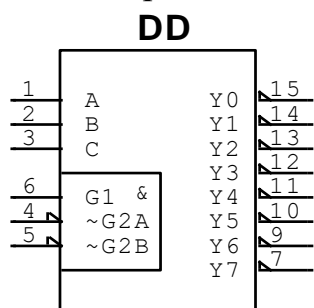


Рис. 1 - Дешифратор
74LS138N

На входи C, B, A можна подавати наступні комбінації логічних рівнів: 000, 001, 010, ..., 111, всього 8 комбінацій. Схема має 8 виходів, на одному з яких формується низький рівень потенціалу, на всіх інших – високий. Номер цього єдиного виходу, на якому формується активний (нульовий) рівень, відповідає числу N , яке визначається станом входів C, B, A наступним чином:

$$N = C \cdot 2^2 + B \cdot 2^1 + A \cdot 2^0.$$

Наприклад, якщо на входи подано комбінацію логічних рівнів 011, то з восьми виходів мікросхеми (Y_0, \dots, Y_7) на виході з номером $N = 3$ встановиться нульовий рівень сигналу ($Y_3 = 0$), а всі інші виходи матимуть сигнал рівня логічної одиниці. Цей принцип формування вихідного сигналу можна описати наступним чином:

$$Y_i = \begin{cases} 0, & \text{якщо } i = k; \\ 1, & \text{якщо } i \neq k; \\ k = C \cdot 2^2 + B \cdot 2^1 + A \cdot 2^0 \end{cases}.$$

Видно, що рівень сигналу на виході Y_3 описується виразом:

$$Y_3 = \overline{C \cdot B \cdot A} = 0.$$

У такому ж вигляді можна записати вирази для кожного виходу дешифратора:

$$\begin{aligned} Y_0 &= \overline{C \cdot B \cdot A}, & Y_1 &= \overline{C \cdot \overline{B} \cdot A}, \\ Y_2 &= \overline{C \cdot B \cdot \overline{A}}, & Y_3 &= \overline{C \cdot \overline{B} \cdot \overline{A}}, \\ Y_4 &= \overline{C \cdot \overline{B} \cdot A}, & Y_5 &= \overline{C \cdot B \cdot A}, \\ Y_6 &= \overline{C \cdot B \cdot \overline{A}}, & Y_7 &= \overline{C \cdot \overline{B} \cdot \overline{A}}. \end{aligned}$$

Окрім інформаційних входів С, В, А дешифратори, як правило, мають додаткові входи керування G. Сигнали на цих входах, дозволяють функціонування дешифратора або переводять його в пасивний стан, коли незалежно від сигналів на інформаційних входах, на всіх виходах встановлюється рівень логічної одиниці. Можна сказати, що існує певна функція дозволу, значення якої визначається станами керуючих входів.

Дозволяючий вхід дешифратора може бути прямим або інверсним. У дешифраторів з прямим дозволяючим входом активним рівнем являється рівень логічної одиниці, а в дешифраторів з інверсним дозволяючим входом – рівень логічного нуля. На рис. 1 наведено дешифратор з одним інверсним дозволяючим входом. Принцип формування вихідного сигналу в цьому дешифраторі з урахуванням сигналу керування описується наступним чином:

$$Y_i = \begin{cases} 1 \cdot \overline{G}, & \text{якщо } i = k; \\ 1, & \text{якщо } i \neq k; \\ k = C \cdot 2^2 + B \cdot 2^1 + A \cdot 2^0 \end{cases}.$$

У дешифратора з декількома входами керування функція дозволу, як правило, є логічним добутком всіх дозволяючих сигналів керування. Наприклад, для дешифратора 74LS138N з одним прямим входом керування G_1 та двома інверсними G_{2A} та G_{2B} (рис. 1), функції виходу Y_i та дозволу G мають вигляд:

$$\begin{aligned} Y_i &= \begin{cases} 1 \cdot \overline{G}, & \text{якщо } i = k; \\ 1, & \text{якщо } i \neq k; \\ k = C \cdot 2^2 + B \cdot 2^1 + A \cdot 2^0 \end{cases} \\ G &= G_1 \cdot \overline{G_{2A}} \cdot \overline{G_{2B}} \end{aligned}$$

Як правило входи керування використовуються для каскадування (тобто збільшення розрядності) дешифраторів або при паралельній роботі декількох схем на загальні вихідні лінії.

Дешифратор може бути використаний і як демультіплексор, тобто логічний комутатор, який з'єднує вхідний сигнал до одного з виходів. В цьому випадку функцію інформаційного входу виконує один з керуючих входів, а стан входів С, В, А задає номер виходу, на який й передається сигнал з керуючого входу.

2. Порядок виконання роботи.

2.1 Дослідження принципу роботи дешифратора 3x8 в основному режимі

Зберіть схему, зображену на рис. 1. Увімкніть схему. Подайте на вхід G сигнал рівня логічної одиниці. Визначте та занотуйте значення рівнів сигналу на виходах $Y_0 \dots Y_7$ в таблицю істинності при $G = 1$ (S4).

Подайте на вхід G(S4) сигнал рівня логічного нуля. Переконайтеся в тому, що дешифратор перейшов у робочий режим та на одному з його виходів установився рівень логічного нуля. Подаючи всі можливі комбінації рівнів логічних сигналів на входи C (S3), B (S2), A(S1) за допомогою відповідних ключів, та визначаючи за допомогою логічних пробників рівні логічних сигналів на виходах дешифратора, заповніть таблицю істинності для випадку $G=0$ (S4).

2.2 Дослідження принципу роботи дешифратора 3x8 в режимі 2x4

а) в схемі, зображеній на рис. 2 з'єднайте вхід C (S3) з загальним провідником, задаючи тим самим рівень $C = 0$ (DD1 - K555ИД7, DD2 - K555ЛА3, DD3 - K555ЛЛ1). Змінюючи рівні логічних сигналів на входах B(S2) та A (S1) та спостерігаючи за рівнями логічних сигналів на виходах схеми за допомогою логічних пробників, заповніть таблицю істинності дешифратора. Укажіть виходи, на яких рівень сигналу не змінюється.

б) виконайте пункт а) для випадку $C = 1$. Заповніть відповідну таблицю істинності.

в) виконайте п. а) з'єднавши з загальним провідником вхід B (S2) та подаючи на входи C (S3) і A (S1) всі можливі комбінації логічних рівнів. Заповніть відповідну таблицю істинності. Там же вкажіть номери виходів, на яких рівень логічного сигналу не змінюється.

2.3 Дослідження роботи дешифратора в якості демультиплексора

Зберіть схему, зображену на рис. 3. Увімкніть схему. В очікуючому режимі роботи генератора слів подайте на входи C (S3), B (S2), A(S1) демультиплексора слова, що еквівалентні десятковим числам від 0 до 7. Спостерігаючи за допомогою логічних пробників рівні сигналу а виходах мікросхеми, заповніть таблицю функціонування. Переконайтеся, що змінний сигнал на вході G почергово з'являється на виходах дешифратора.

2.4 Дослідження мікросхеми 74LS138N

а) зберіть схему, зображену на рис. 4. Увімкніть схему. За допомогою відповідних ключів установіть наступні стани керуючих входів: $G_1 = 0$, $G_{2A} = G_{2B} = 1$. Подаючи на ходи схеми C, B, A слова з генератора слів та спостерігаючи за станами виходів мікросхеми за допомогою логічних пробників, заповніть таблицю функціонування дешифратора 74LS138N

б) повторіть операції п. а) при $G_1 = G_{2A} = 1$, $G_{2B} = 0$. Заповніть відповідну таблицю функціонування.

в) повторіть операції п. а) при $G_1 = 1$, $G_{2A} = G_{2B} = 0$. Заповніть відповідну таблицю функціонування.

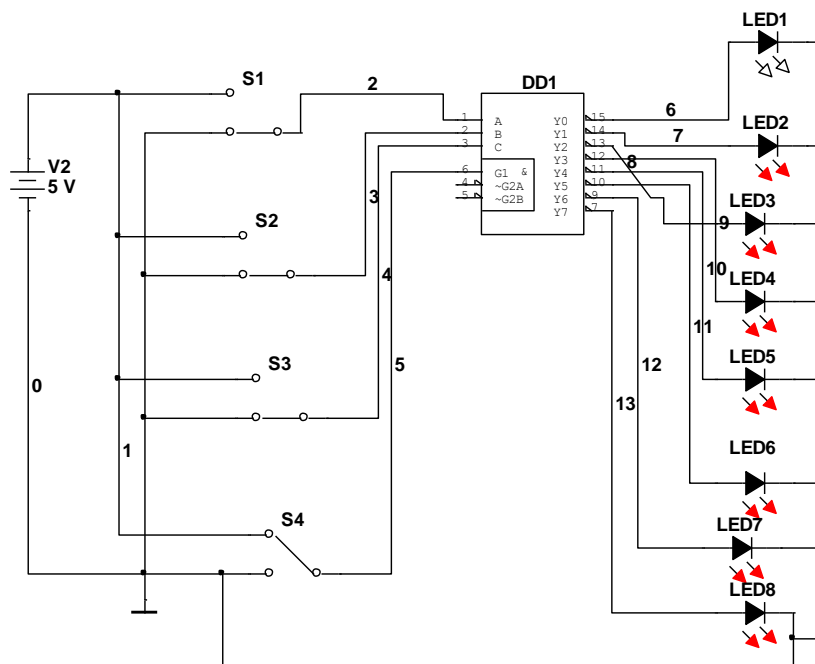


Рис. 1 - Схема дослідження принципу роботи дешифратора К555ИД7 3x8 в основному режимі

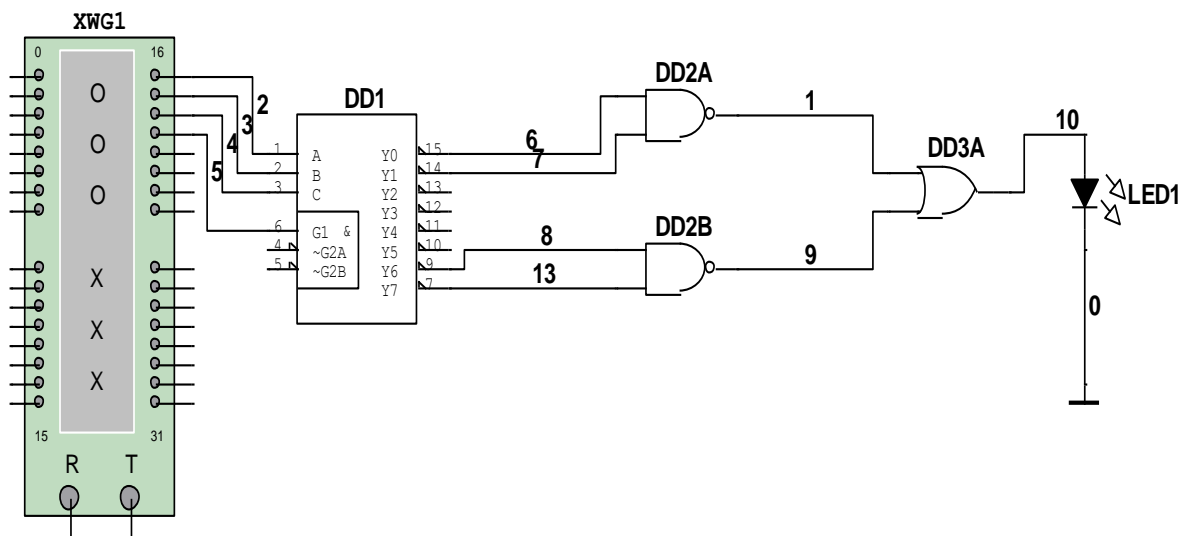


Рис. 2 - Схема дослідження принципу роботи дешифратора 3x8 в режимі 2x4

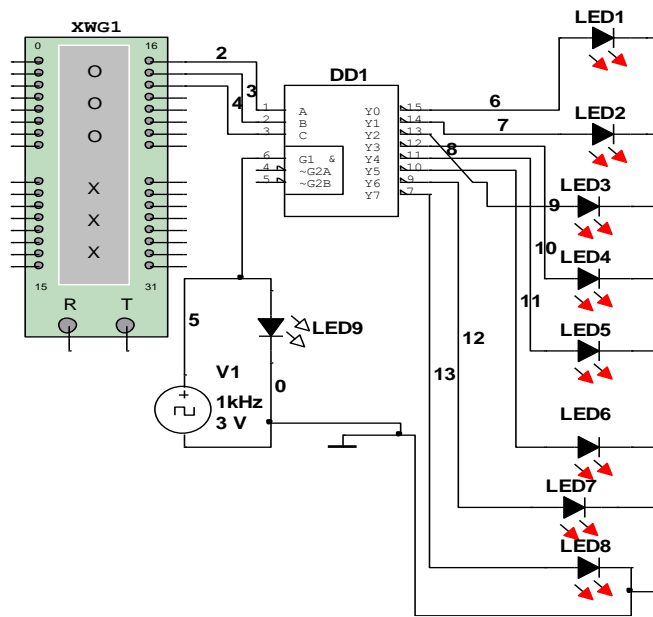


Рис. 3 - Схема дослідження роботи дешифратора в якості демультиплексора

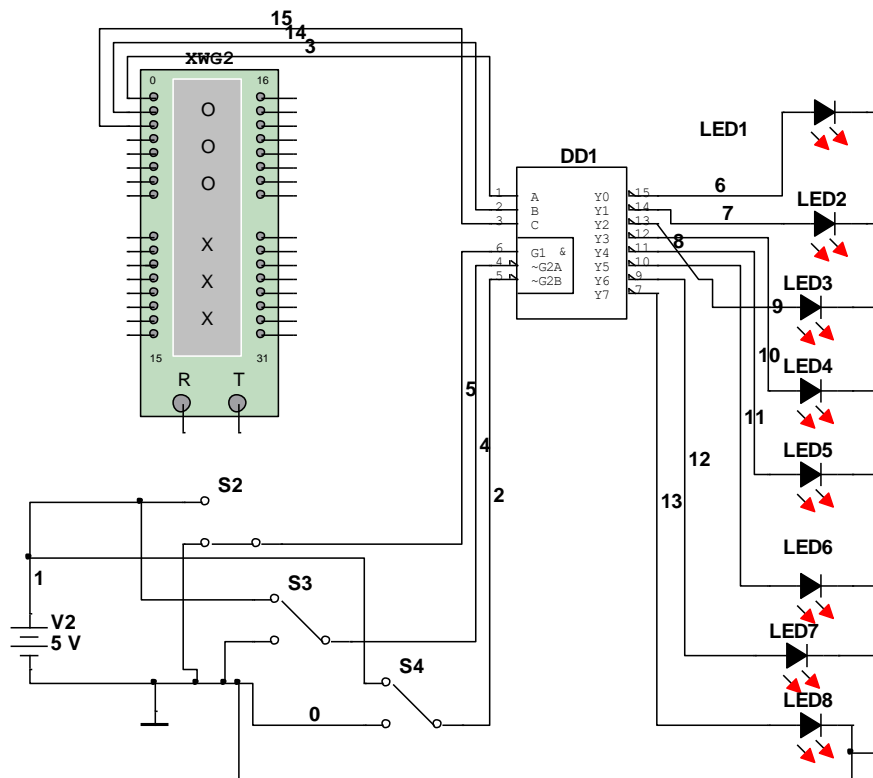


Рис.4 - Схема дослідження мікросхеми 74LS138N

2.5 Дослідження мікросхеми 74LS138N за допомогою логічного аналізатора

Зберіть схему, зображену на рис. 5. Увімкніть схему. Установіть генератор в очікуючий режим. За допомогою відповідних ключів установіть на керуючих виходах наступні рівні логічних сигналів: $G_1 = 1$, $G_{2A} = G_{2B} = 0$. Подаючи слова з генератора слів, отримайте часові діаграми роботи дешифратора на екрані

логічного аналізатора та за малюйте їх. Порівняйте отримані діаграми з результатами вимірів попереднього пункту завдання.

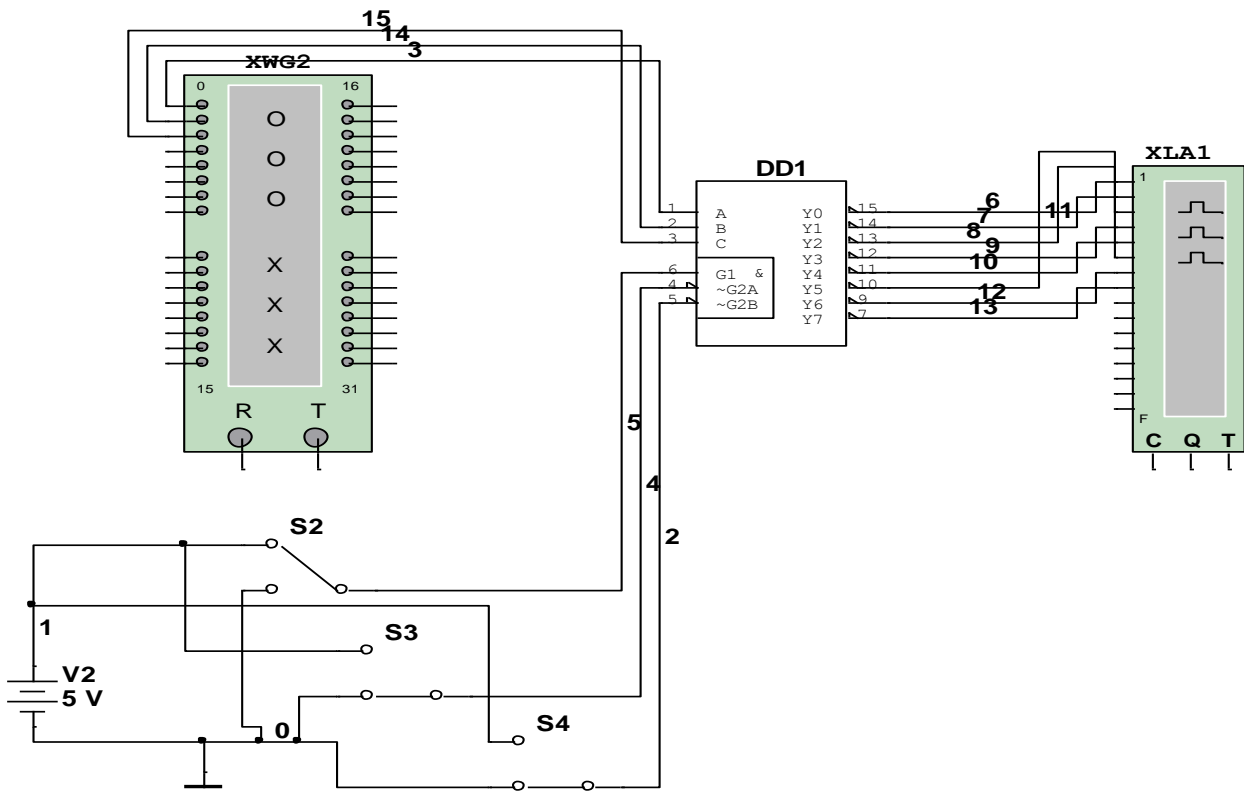


Рис.5 - Схема дослідження мікросхеми 74LS138N за допомогою логічного аналізатора

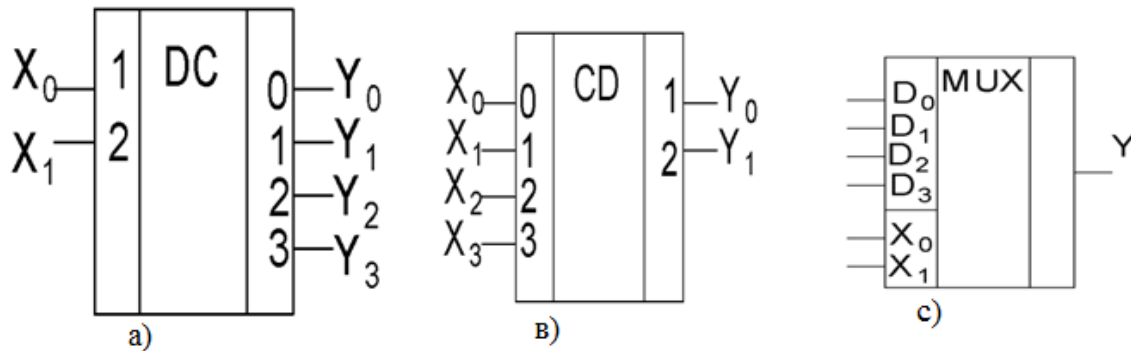
Таблиця 1- Стани дешифратора 74LS138N

Входи						Виходи							
G2A	G2B	G1	A	B	C	Y ₀	Y ₁	Y ₂	Y ₃	Y ₄	Y ₅	Y ₆	Y ₇

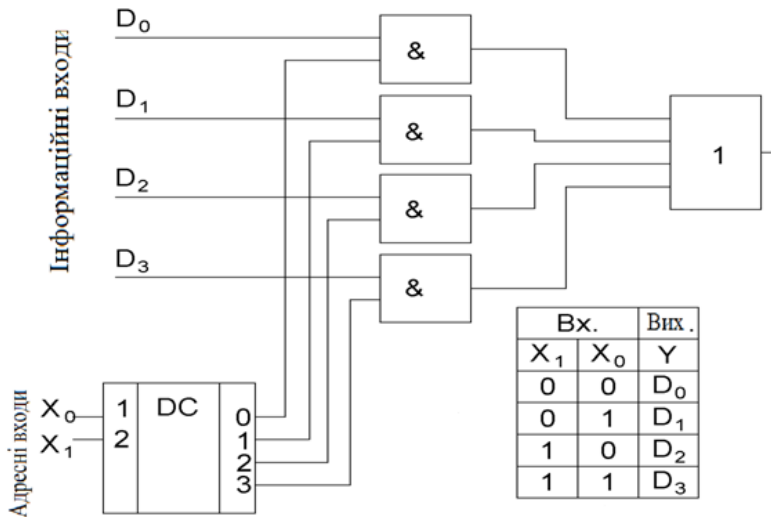
Контрольні питання

1. Які логічні функції виконує дешифратор?
2. Для чого призначені входи керування в дешифраторі, як впливає рівень сигналу на вході керування на вихідні функції дешифратора?

3. Які додаткові логічні елементи необхідні для реалізації логічних функцій n аргументів на основі дешифратора з прямими входами?
4. На якій схемі зображено шифратор?
5. На якій схемі зображено дешифратор?
6. На якій схемі зображено мультиплексор?



7. Схема якого комбінаційного цифрового пристрою представлено на рисунку: а) мультиплексор; в) шифратор; с) демультиплексор.



8. Який комбінаційний цифровий пристрій призначений для арифметичного додавання чисел, представлених у вигляді двійкових кодів: а) комбінаційний суматор; в) мультиплексор; с) дешифратор?

ЛАБОРАТОРНА РОБОТА № 4.2

Тема роботи: *Дослідження тригерів.*

Мета роботи: дослідження структури та алгоритмів роботи асинхронних та синхронних тригерів; дослідження функцій переходів та збудження основних типів тригерів; дослідження можливості взаємозаміни тригерами різних типів.

Прилади та інструменти: мікросхеми - K555ЛЕ1 (74S02N), K555ЛА3 (7400), K555ТВ9 (74S112), K555ТМ2 (74S74) світлодіоди АЛ 307Б (VD1, VD2), стенд джерело живлення, резистори 100 Ом включати послідовно з світлодіодами, макетниця, з'єднувальні дроти.

1. Теоретичні відомості

Тригер – найпростіша цифрова схема яка є цифровим автоматом. У комбінаційних схем стан виходу Y в будь-який момент часу визначається лише поточним значенням входу X :

$$Y = f(X).$$

На відміну від них, стан виходу цифрового автомату залежить ще й від внутрішнього стану схеми Q :

$$Y = f(X, Q).$$

Іншими словами, цифровий автомат є не тільки перетворювачем інформації, але й зберігає попередню інформацію та є джерелом поточної інформації (джерелом поточного стану). Така властивість забезпечується наявністю в схемі зворотних зв'язків.

Тригер має два стійких стани: $Q = 1$ та $Q = 0$, тому його часом називають бістабільною схемою. В якому із цих станів опиниться тригер залежить від рівнів сигналів на входах тригера та від його попереднього стану, тобто він “має пам'ять”. Таким чином, тригер – це елементарна комірка пам'яті.

Тип тригера визначається алгоритмом його роботи. У залежності від алгоритму роботи тригер може мати встановлювальні, інформаційні та керуючі входи. Установлювальні входи встановлюють його стан незалежно від стану інших входів. Входи керування дозволяють запис даних, які подаються на інформаційні входи. Найбільш поширеними є тригери RS-, JK-, D- та T-типу.

RS-тригер. RS-тригер є найпростішою реалізацією цифрового автомата з функцією пам'яті, який може знаходитися у двох станах. Такий тригер має два встановлювальних входи: установки S (set - установка) та скидання R (reset - скидання), на які подаються вхідні сигнали від зовнішніх джерел. При подачі на вхід установки активного рівня логічного сигналу тригер встановлюється в “1”

$$(Q = 1, \bar{Q} = 0)$$

а при подачі активного рівня логічного сигналу на вхід скидання тригер встановлюється в “0”

$$(Q = 0, \bar{Q} = 1)$$

Якщо на обох входах тригера пасивні логічні рівні вхідного сигналу, то тригер буде зберігати попередній стан виходів. Кожен з цих станів є стійким і підтримується за рахунок дії зворотних зв'язків.

Для тригерів цього типу неприпустимо подавати на обидва установчі входи активного рівня логічного сигналу, тому що тригер за означенням не може бути встановлений одночасно в “0” та “1”. На практиці в такому випадку стан виходів тригера не може бути збереженим і неможливо визначити, у якому саме стані буде знаходитися тригер при наступній подачі на установчі входи пасивного рівня вхідних сигналів.

На рис.1 та рис.2 наведено RS-тригери, виконані на елементах “АБО-НЕ” та “І-НЕ”. Для схеми на рис.1 активним рівнем є рівень логічної одиниці на установчих входах, а для

схеми на рис. 2 – рівень логічного нуля. Схема, зображена на рис 2. отримала назву SR-тригера - тригера з інверсними входами.

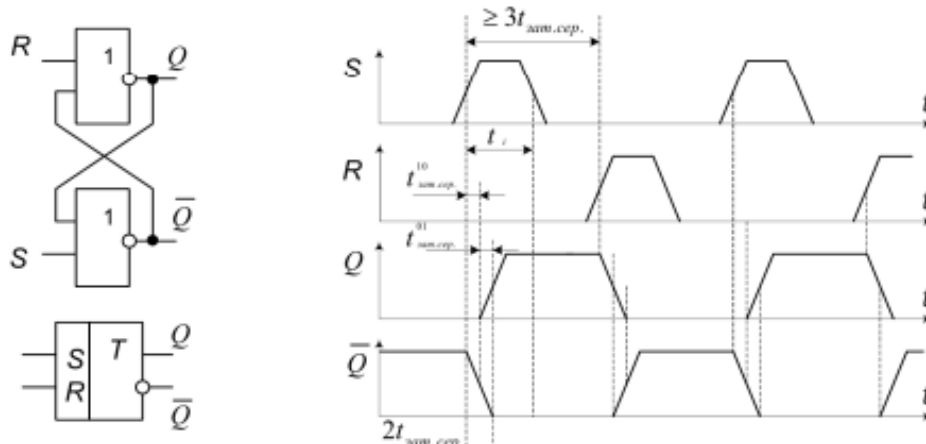


Рис. 1

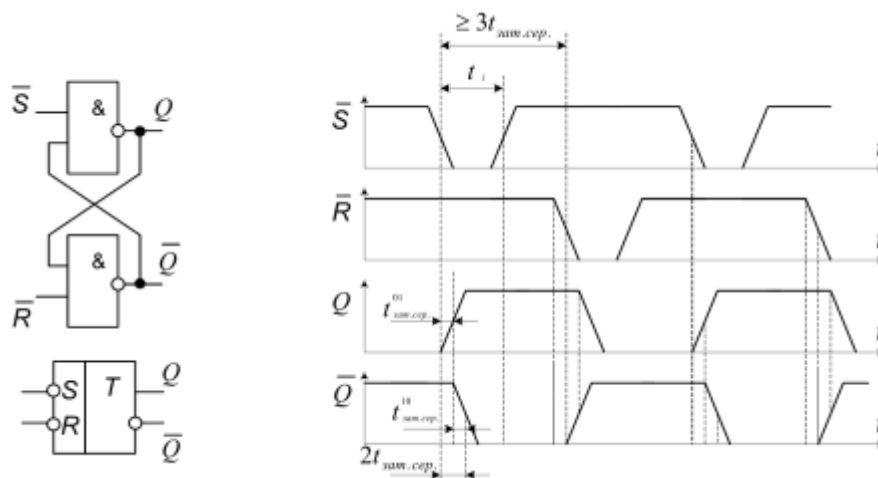


Рис. 2

Логічне рівняння RS-тригера має вигляд:

$$Q_{n+1} = S_{n+1} + \bar{R}_{n+1} \cdot Q_n.$$

Це рівняння можна реалізувати на елементах “АБО-НЕ” та “І-НЕ”:

$$\bar{Q}_{n+1} = \overline{S_{n+1} + \bar{R}_{n+1} \cdot Q_n} = \overline{S_{n+1} + R_{n+1} + \bar{Q}_n};$$

$$Q_{n+1} = \overline{\overline{S_{n+1} + \bar{R}_{n+1} \cdot Q_n}} = \overline{\bar{S}_{n+1} \cdot \bar{R}_{n+1} \cdot \bar{Q}_n}.$$

RS-тригер є базовим елементом для побудови так званих послідовнісних схем. Така назва схеми означає, що стан її виходу залежить від того, у якій саме послідовності входні сигнали потрапляють на її входи та яким був її попередній внутрішній стан. Так, якщо в RS-тригері (рис. 1) спочатку встановити комбінацію $R = 0$ і $S = 1$ (скорочений запис - 01), а потім перейти до $R = 0$ і $S = 0$ (00), то стан виходу буде $Q = 1$. Якщо ж спочатку встановити комбінацію 10, а потім перейти до 00, то стан виходу буде іншим - $Q = 0$, не дивлячись на однакові комбінації сигналів на входах. Таким чином, при одному й тому ж входньому наборі сигналів (00) стан виходу тригера може бути діаметрально протилежним.

Умови переходу тригерів з одного стану в інший (алгоритм роботи) можна описати табличним, аналітичним та графічним способами. Табличний опис роботи RS-тригера (рис. 1) наведено в табл.1 (таблиця переходів) та табл. 2 (таблиця функцій збудження)

У таблицях використано наступні позначення:

- Qt – попередній стан виходу;

- Q_{t+1} – новий стан виходу, який установився після переходу (можливо, щоб $Q_{t+1} = Q_t$);
- X – рівень логічного сигналу є байдужим: 0 чи 1;
- * – стан невизначеності.

Таблиця 1

R	S	Q_{t+1}	Q_t	Q_{t+1}	R	S
0	0	Q_t	0	0	x	0
0	1	1	0	1	0	1
1	0	0	1	0	1	0
1	1	*	1	1	0	x

Таблиця.2

Аналітичний опис (характеристичне рівняння) можна отримати з таблиць.1 та 2 за правилами алгебри логіки:

$$Q_{t+1} = \overline{R}S \vee \overline{R}Q_t = \overline{R}(S \vee Q_t).$$

Записана таким чином залежність характеризує властивість тригера до запам'ятовування свого попереднього стану.

Схема, яка знаходилася в стані $Q = 0$, зберігає свій стан як під дією набору вхідних сигналів $R = 0$ і $S = 0$, так і під дією набору $R = 1$ і $S = 0$. Якщо ж на входи схеми, яка знаходиться в стані $Q = 0$, подати набір вхідних сигналів $R = 0$ і $S = 1$, то вона переходить в стан $Q = 1$ та зберігає його під дією наборів вхідних сигналів $R = 0$ і $S = 1$ чи $R = 0$ і $S = 0$. Вхідні сигнали, які можуть приймати будь-які значення (0 чи 1), позначено як “x”, а позиція позначень відповідає послідовності R, S.

JK-тригер. Тригер JK-типу має більш складну, порівняно з RS-тригером, внутрішню структуру, та більш широкі функціональні можливості. Окрім інформаційних входів J та K, і прямого та інверсного виходів, JK-тригер має вхід керування С (цей вхід також часто називають тактуючим або лічильним), а також установчі входи R та S. Як правило, активними рівнями установчих входів є рівень логічного нуля, як у схемі, зображеній на рис.17.2. Установчі входи мають пріоритет над усіма іншими. Активний рівень сигналу на вході S встановлює JK-тригер у стан $Q = 1$, а активний рівень сигналу на вході R – у стан $Q = 0$, незалежно від сигналів на інших входах.

Якщо ж на установчі входи одночасно подати пасивний рівень сигналу, то стан тригера буде змінюватися по спаду імпульсу на лічильному вході в залежності від стану входів J та K, як показано в таблиці переходів (табл. .3) та функцій збудження (табл. 4).

Таблиця 3

J	K	Q_{t+1}	Q_t	Q_{t+1}	J	K
0	0	Q_t	0	0	x	0
0	1	0	0	1	0	1
1	0	1	1	0	1	0
1	1	Q_t	1	1	0	x

Таблиця 4

Робота JK-тригера описується характеристичним рівнянням:

$$Q_{t+1} = J_t \overline{Q}_t \vee Q_t K_t.$$

Один з варіантів функціональної схеми JK-тригера з установчими входами, активним рівнем яких є рівень логічного нуля, та його умовне графічне зображення, наведено на рис. 3, а, б. Часові діаграми його роботи при $R = S = 1$ наведено на рис. 4.

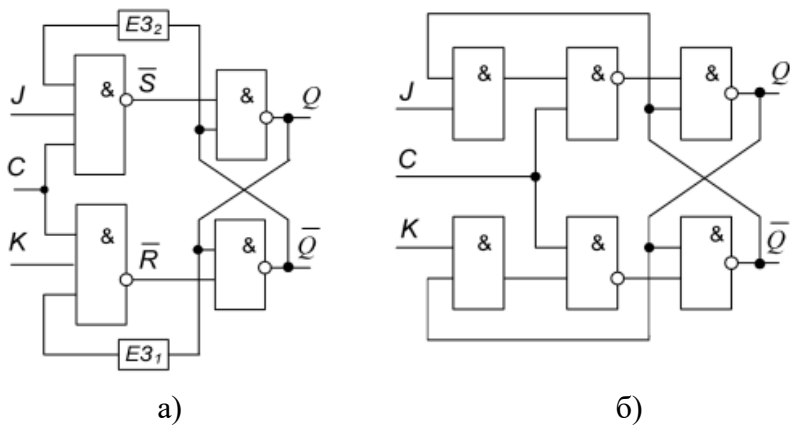


Рис. 3

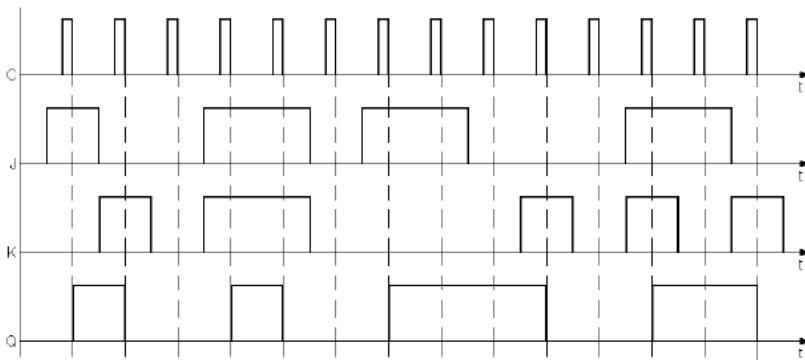


Рис. 4

Подібно до RS-тригера, зміну станів JK-тригера можна описати наступним чином: вхідні сигнали, що можуть приймати будь-які значення (як 0, так і 1), позначено як "x", а позиція позначення відповідає послідовності J, K: якщо "x" = 1, то при J, K=1,1 схема буде переходити зі стану Q = 0 до стану Q = 1. Але з цього стану схема повинна повернутися до стану Q = 0 і т.д., тобто цей граф описує роботу автогенератора. Проте, у даному випадку всі зміни стану виходу відбуваються лише в момент спаду тактового сигналу C. Дійсно, якщо J=K=1, то з кожним новим тактовим імпульсом стан виходу тригера буде змінюватися на протилежний, і тригер буде виконувати роль подільника частоти на 2, а не автогенератора.

частоти на 2, а не автогенератора.

D-тригер. D-тригер має один інформаційний вхід D (data - дані). Інформація з входу D з'являється на виході тригера по фронту імпульсу на лічильному вході C та зберігається до наступного фронту на лічильному вході. Окрім лічильного входу C та входу даних D, тригер має асинхронні установчі входи R та S. Установчі входи, як і у випадку JK-тригера, мають найвищий пріоритет, тобто встановлюють вихід тригера незалежно від сигналів на входах C та D. Функціонування D-тригера описується таблицями переходів (табл. 5) та функцій збудження (табл. 6), а також часовими діаграмами вхідних та вихідних сигналів (рис. 5).

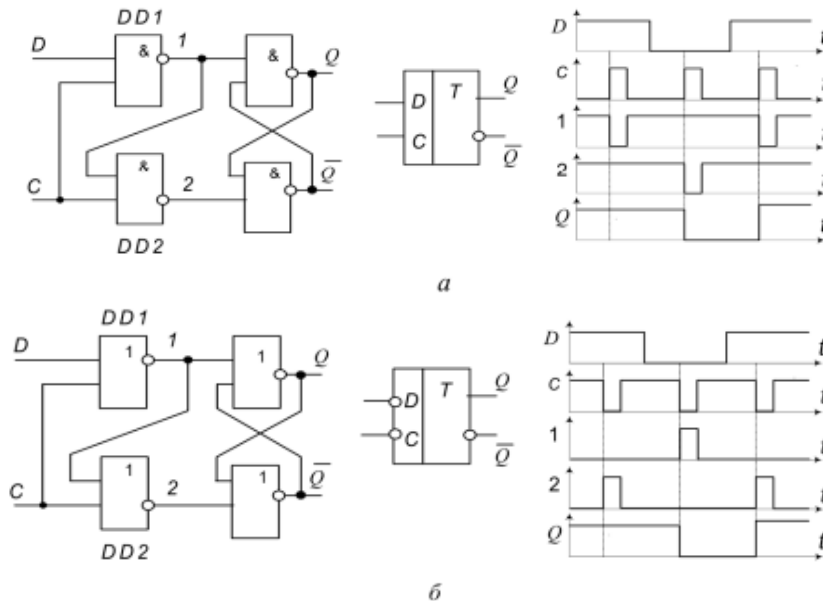


Рис. 5 - Схема D-тригера: а) синхронізується сигналом логічного «1»; б) синхронізується сигналом логічного «0»

Таблиця 5

D	Q_{t+1}
0	0
1	1

Таблиця 6

Q_t	Q_{t+1}	D
0	0	0
0	1	1
1	0	0
1	1	1

Характеристичне рівняння D-тригера має вигляд:

$$Q_{t+1} = D_t.$$

Рівняння показує, що стан виходу тригера на $(t+1)$ -му такті дорівнює вхідному сигналу в момент часу, що передре фронту тактового імпульсу.

Таблиця 7 – Таблиця переходів D-тригера синхронізованого сигналом логічної «1»

C_{n+1}	D_n	Q_n	Q_{n+1}
0	0	0	0
0	1	0	0
1	0	1	0
1	1	1	1

T-тригер. На базі JK-тригерів та D-тригерів можна побудувати схеми, що працюють в так званому лічильному режимі. Такі схеми називають T-тригерами або лічильними тригерами, пов'язуючи їх назву зі способом функціонування. На рис. 6 наведена схема побудови T-тригера на елементах І-НЕ на основі синхронного RS-тригера.

Логіка роботи асинхронного T- тригера

подана в таблиці 8 і описується рівнянням:

$$Q_{n+1} = \bar{T}_n Q_n + T_n \bar{Q}_n.$$

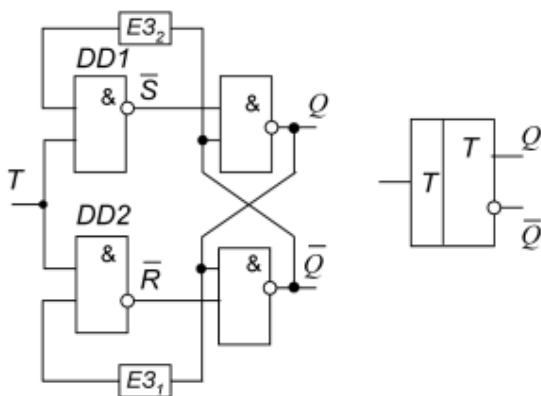


Рис. 6 – Схема T- тригера

Таблиця 8 – Таблиця переходів T-тригера

T_n	Q_n	Q_{n+1}
0	0	0
0	1	1
1	0	1
1	1	0

В JK-тригері з установчими входами, активний рівень сигналу на яких є рівнем логічного нуля, лічильний режим реалізується шляхом установлення на звичайних та установчих входах логічних рівнів $J = K = 1$ та $R = S = 1$, а на вхід С поступає вхідний сигнал T. У відповідності до таблиці функціонування (табл. 3 та табл. 4) при кожному спаді вхідного сигналу T стан виходу тригера змінюється на протилежний.

В D-тригері лічильний режим реалізується шляхом утворення зворотного зв'язку: на вхід D подається сигнал з інверсного виходу тригера. Таким чином, завжди існує нерівність логічних рівнів сигналу на вході D та на виході Q: якщо $Q = 1$, то $D = 0$ і навпаки. Отже, при кожному фронті сигналу на лічильному вході С, у відповідності до принципу функціонування D-тригера, стан його виходу буде змінюватися на протилежний.

Таким чином, на кожні два вхідних тактових імпульсу T-тригер формує один період вихідного сигналу Q. Отже, T-тригер здійснює ділення тактової частоти f_T на його вході на 2:

$$f_Q = f_T / 2,$$

де f_Q – частота слідування імпульсів на виході тригера.

2. Порядок виконання роботи.

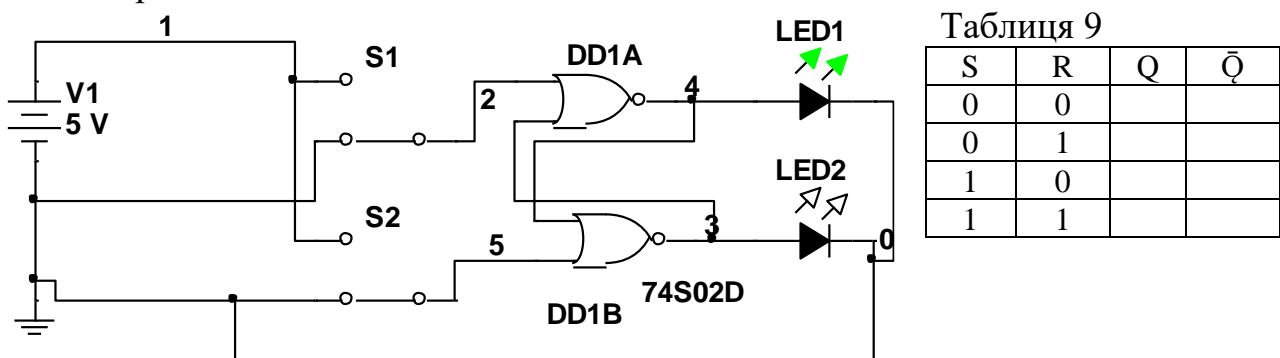
2.1 Дослідження RS-тригера

Зберіть схему, зображену на рис. 7. Увімкніть схему. Послідовно подайте на схему наступні сигнали: $S(S1) = 0, R(S2) = 1$; $S = 0, R = 0$; $S = 1, R = 0$; $S = 0, R = 0$.

Переконайтеся в тому, що:

- при $S = 0, R = 1$ тригер установлюється в стан $Q (LED1) = 0$;
- при переході до $S = 0, R = 0$ тригер зберігає попередній стан $Q = 0$;
- при $S = 1, R = 0$ тригер установлюється в стан $Q = 1$;
- при переході до $S = 0, R = 0$ тригер зберігає попередній стан $Q = 1$.

За результатами експерименту заповніть таблицю 9 функцій збудження для схеми на рис. 7.



Таблиця 9

S	R	Q	\bar{Q}
0	0		
0	1		
1	0		
1	1		

Рис. 7- Схема дослідження RS-тригера

2.2 Дослідження інвертованого RS-тригера

Зберіть схему, зображену на рис. 8. Увімкніть схему. Послідовно подайте на схему наступні сигнали: $S(S1) = 1, R(S2) = 0$; $S = 1, R = 1$; $S = 0, R = 1$; $S = 1, R = 1$.

Переконайтеся в тому, що:

- при $S = 1, R = 0$ тригер установлюється в стан $Q = 0$;
- при переході до $S = 1, R = 1$ тригер зберігає попередній стан $Q = 0$;
- при $S = 0, R = 1$ тригер установлюється в стан $Q = 1$;
- при переході до $S = 1, R = 1$ тригер зберігає попередній стан $Q = 1$.

За результатами експерименту заповніть таблицю 10 функцій збудження для схеми на рис. 8.

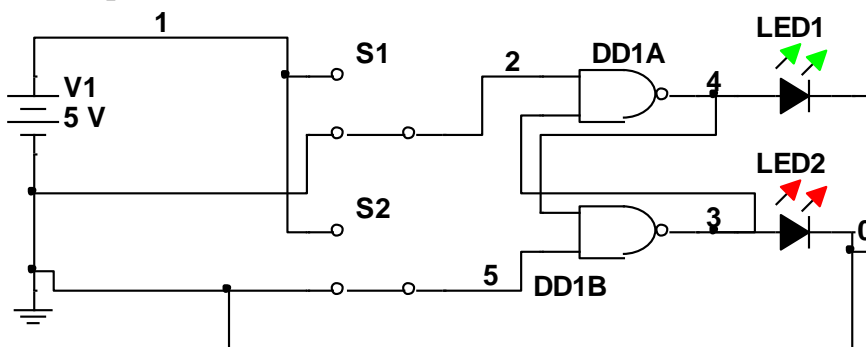


Рис. 8- Схема дослідження інвертованого RS-тригера

Таблиця 10

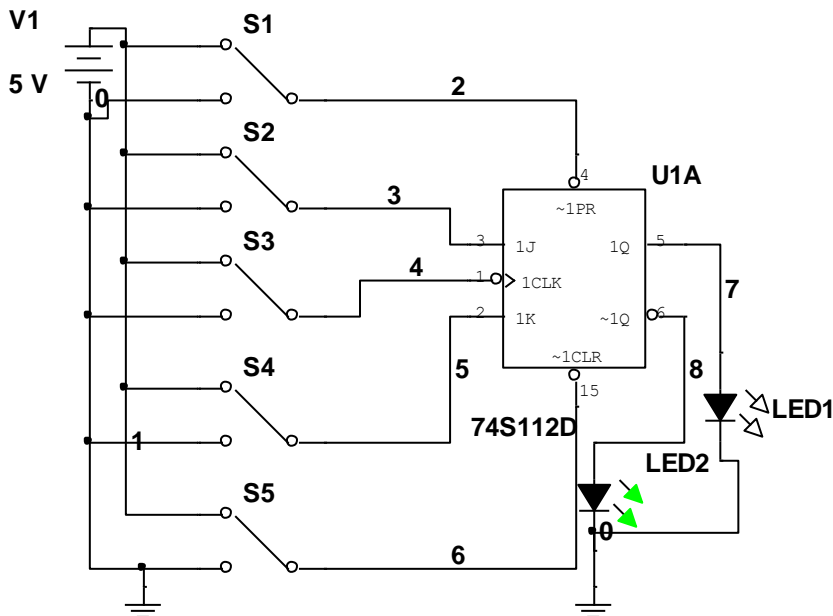
S	R	Q	\bar{Q}
0	0		
0	1		
1	0		
1	1		

2.3 Дослідження JK-тригера

Зберіть схему, зображену на рис. 9. Увімкніть схему.

Переконайтеся в тому, що:

- при $J = 0, K = 1$ тригер устанавлюється в стан $Q = 1$ незалежно від стану інших входів;
- при $J = 1, K = 0$ тригер устанавлюється в стан $Q = 0$ незалежно від стану інших входів.



Установіть $J = 1, K=1$ та перевірте справедливість таблиці функцій збудження для схеми на рис. 9 (вказівка: початковий стан тригера встановлювати короткочасним імпульсом) $K = 0$ для отримання $Q_t = 1$ та сигналу $J = 0$ для отримання $Q_t = 0$. Перехід тригера в стан $Q_{t+1} = 0$ відбувається лише по спаду імпульсу

Рис. 9- Схема дослідження JK-тригера на лічильному вході С, який формується відповідним перемикачем). Складіть часові діаграми роботи тригера для усіх можливих комбінацій J, K, Q_t та намалуйте їх.

Таблиця 11

J	K	C	Qt
с	0		
0	1		
1	0		
1	1		

2.4 Дослідження JK-тригера в лічильному режимі (Т-тригер)

Зберіть схему, наведену на рис. 10. Увімкніть схему. Змінюючи стан лічильного входу С відповідним перемикачем намалюйте часові діаграми роботи Т-тригера.

Таблиця 12

J	K	C	Qt
0	0	0	
0	1	1	
1	0	0	
1	1	1	

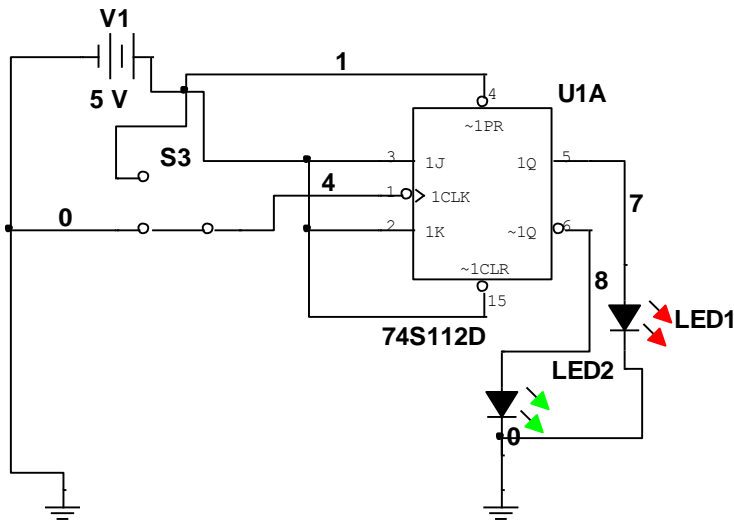


Рис. 10 - Схема дослідження JK-тригера в лічильному режимі (Т-тригер)

таблиці функцій збудження для схеми на рис. 11. Складіть часові діаграми роботи тригера для усіх можливих комбінацій D_t , Q_t та намалюйте їх.

2.5 Дослідження D-тригера

Зберіть схему, зображену на рис. 11. Увімкніть схему.

Переконайтеся в тому, що:

- при $S = 0$, $R = 1$ тригер устанавлюється в стан $Q = 1$ незалежно від стану інших входів;

- при $S = 1$, $R = 0$ тригер устанавлюється в стан $Q = 0$ незалежно від стану інших входів.

Установіть $S = 1$, $R = 1$ та перевірте справедливність

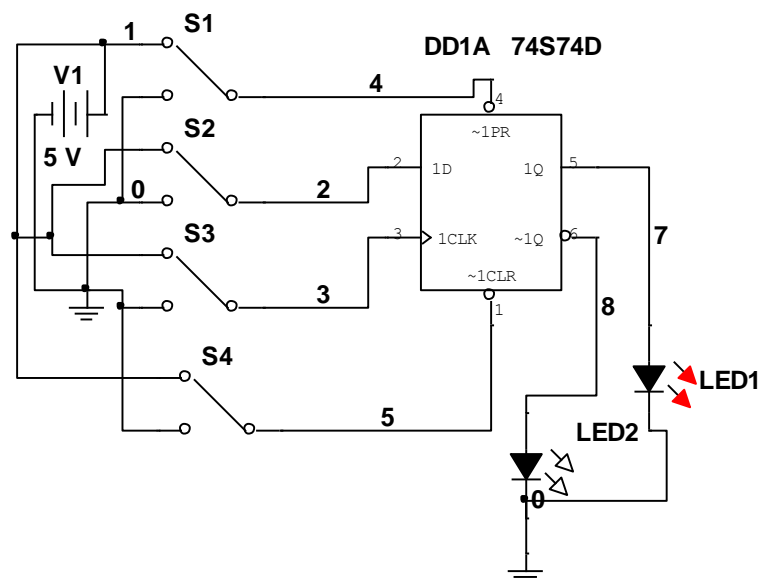


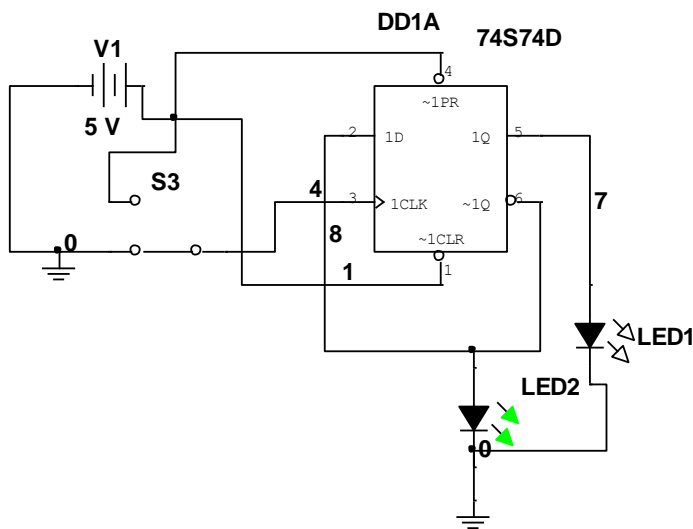
Рис. 11- Схема дослідження D - тригера

Таблиця 13

D	C	CLR	PR	Qt	\bar{Q}

2.6 Дослідження роботи D-тригера в лічильному режимі

Зберіть схему, наведену на рис. 12. Увімкніть схему. Подаючи на лічильний вхід C тактові імпульси за допомогою відповідного перемикача та визначаючи рівні логічних сигналів на виходах тригера за допомогою логічних пробників, складіть часові діаграми роботи D-тригера в лічильному режимі та намалюйте їх.



Таблиця 12

D, \bar{Q}	CLK	CLR, PR	Qt
	0	1	
	1	1	
	0	1	
	1	1	

Рис. 12- Схема дослідження роботи D-тригера в лічильному режимі

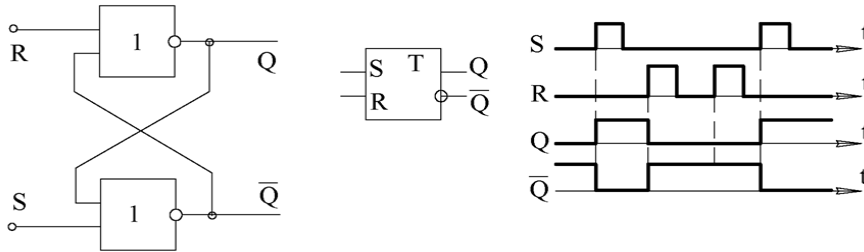
Контрольні питання.

1. Чи є елементом пам'яті вимикач настільної лампи?
2. Чим відрізняється робота RS-тригера з прямими входами від роботи RS-тригера з інверсними входами?
3. Чому комбінація рівнів логічних сигналів 11 на входах RS-тригера є "забороненою"?
4. У чому відмінність між таблицею переходів тригера від таблиці функцій збудження?
5. Як властивість запам'ятовувати відображається в характеристичних рівняннях тригерів?
6. У чому принципова відмінність в роботі синхронних тригерів від асинхронних?
7. Яка пріоритетність інформаційних та установчих входів у синхронних тригерах?
8. Чому JK-тригер при $J = K = 1$ не перетворюється в автогенератор?

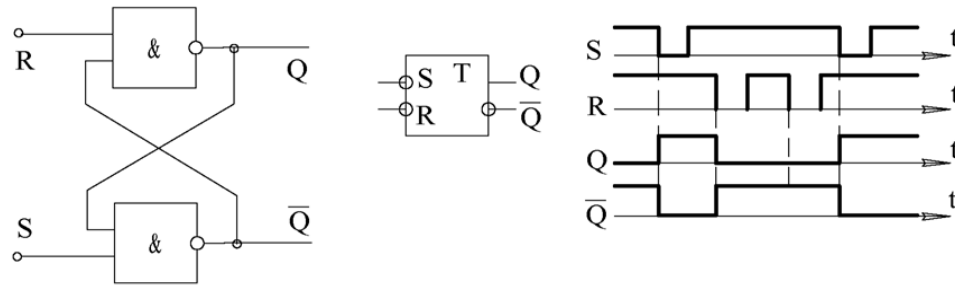
9. Чому Т-тригер отримав назву лічильного? Яку кількість імпульсів він може порахувати?

10. Як працює D-тригер, якщо $D = Q$?

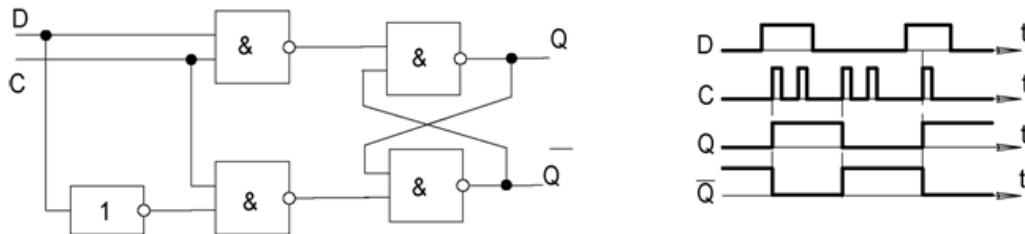
11.Схема, умовне позначення і тимчасова діаграма роботи якого тригера зображено на рисунку: а) RS -тригера, побудованого на логічних елементах АБО-НЕ; в) RS -тригера, побудованого на логічних елементах І-НЕ; с) синхронного RS-тригера на логічному елементі І-НЕ?



12.Схема, умовне позначення і тимчасова діаграма роботи якого тригера зображено на рисунку: а) RS -тригера, побудованого на логічних елементах АБО-НЕ; в) RS -тригера, побудованого на логічних елементах І-НЕ; с) синхронного RS-тригера на логічному елементі І-НЕ?



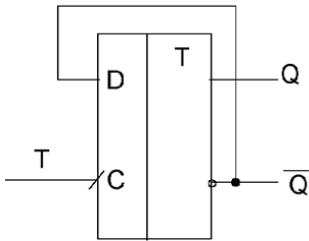
13. На схемі зображено схема і тимчасова діаграма роботи: а) одноктактного D-тригера; в) двотактного D-тригера; с) жодного тригера



14. На схемі зображено схема і тимчасова діаграма роботи: а) одноктактного D-тригера; в) двотактного D-тригера; с) жодного тригера



15.На схемі зображено: а) одноктактний D-тригер; в) двотактний D-тригер; с) Т-тригер на базі D –тригера.



ЛАБОРАТОРНА РОБОТА № 4.3

Тема роботи: Дослідження лічильників

Мета роботи: вивчення структури та дослідження роботи сумуючих та віднімаючих лічильників; вивчення способів зміни коефіцієнта перерахунку лічильників; дослідження роботи лічильників з коефіцієнтом перерахунку, який не дорівнює 2^n .

Прилади та інструменти: мікросхеми - К555ЛА3 (7400), К555ТМ2 (74S74) світлодіоди АЛ 307Б (VD1... VD8), джерело живлення, резистори 100 Ом включати послідовно з світлодіодами, макетниця, з'єднувальні дроти, XLA – логічний аналізатор, V1 - генератор сигналів.

1. Теоретичні відомості

Лічильник – це пристрій для підрахунку кількості вхідних імпульсів. Число, яке з'являється на його виходах по фронту кожного з вхідних імпульсів, змінюється на одиницю. Лічильник можна реалізувати на базі кількох тригерів. У підсумовуючих лічильниках фронт кожного вхідного імпульсу збільшує число на його виходах на одиницю, а у віднімаючих – зменшує на одиницю. Найбільш прості лічильники – двійкові. На рис. 1 наведено принципову схему підсумовуючого двійкового лічильника та діаграми його роботи.

Як уже зазначалося вище, лічильники можна реалізовувати на базі тригерів. При цьому тригери з'єднують послідовно. Вихід кожного тригера діє безпосередньо на лічильний вхід наступного. Для того щоб реалізувати підсумовуючий лічильник, необхідно лічильний вхід чергового тригера з'єднати з інверсним виходом попереднього.

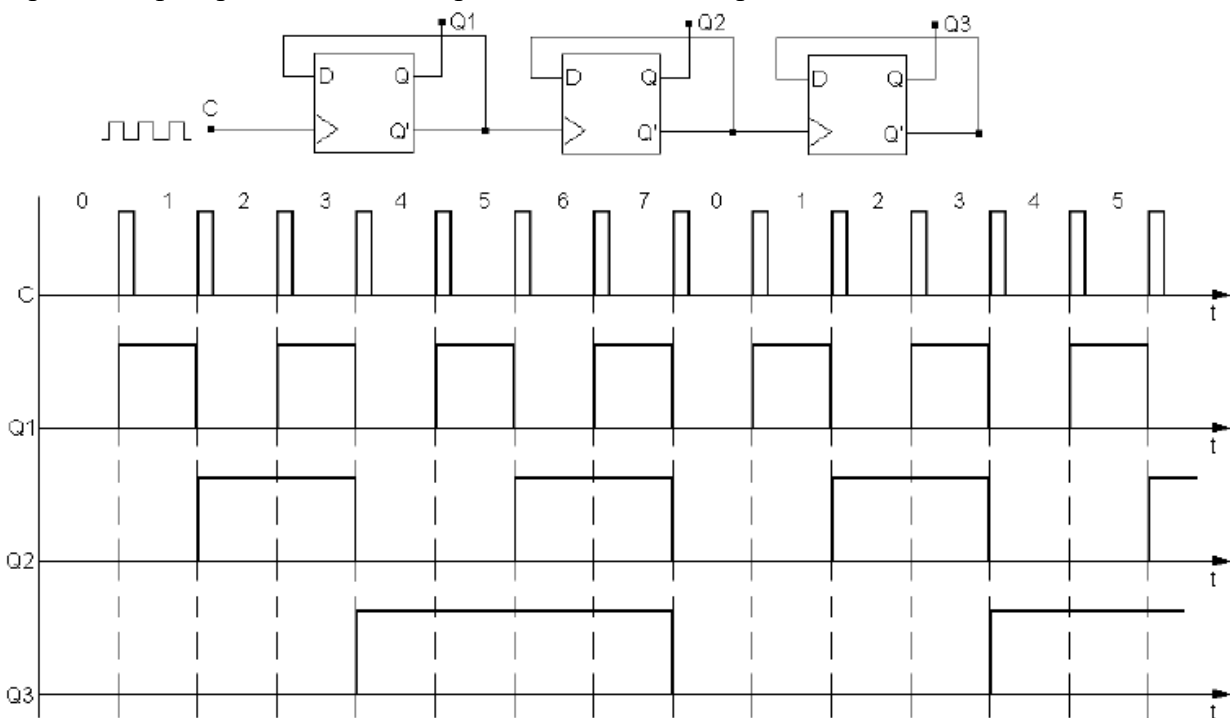


Рис. 1

Для того щоб змінити напрям рахунку, тобто реалізувати віднімаючий лічильник, можна скористатися наступними способами:

а) зчитувати вихідні сигнали не з прямих, а з інверсних виходів тригерів. Число, яке утворюється станом інверсних виходів тригерів лічильника, пов'язане із числом, створеним станом прямих виходів тригерів наступним співвідношенням:

$$N_{пр} = 2^n - N_{інв} - 1,$$

де n – розрядність виходу лічильника. У табл. 1 наведено приклад зв'язку числа на прямих виходах із числом на інверсних виходах лічильника.

Таблиця 1.

Стан прямих виходів			Число	Стан інверсних виходів			Число
Q3	Q2	Q1		Q3'	Q2'	Q1'	
0	0	0	0	1	1	1	7
0	0	1	1	1	1	0	6
0	1	0	2	1	0	1	5

б) змінити структуру зв'язків у лічильнику: подавати на лічильний вхід наступного тригера сигнал не з інверсного, а з прямого виходу попереднього, як показано на рис. 18.2. У цьому випадку змінюється послідовність перемикавання тригерів.

Зміна коефіцієнту перерахунку.

Лічильники характеризуються кількістю станів на виході протягом одного лічильного періоду (циклу). Для схем, зображених на рис. 1 та 2 цикл містить

$$N = 2^3 = 8$$

станів (від 000 до 111).

Часто кількість станів називають коефіцієнтом перерахунку $K_{сч}$, що рівний відношенню кількості імпульсів N_c на вході лічильника до кількості імпульсів $N_{Qст}$ на виході старшого розряду лічильника за період:

$$K_{сч} = \frac{N_c}{N_{Qст}}.$$

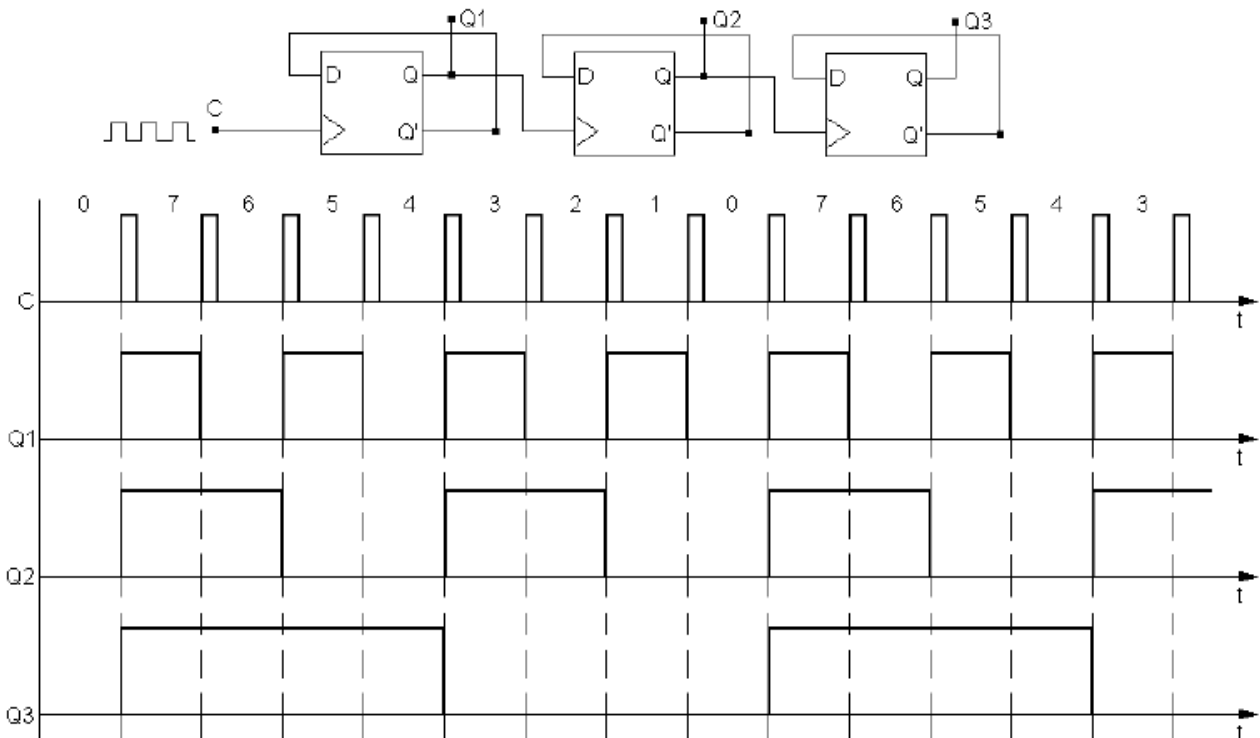


Рис. 2

Якщо на вхід лічильника подавати періодичну послідовність імпульсів з частотою f_c , то частота f_Q періодичної послідовності імпульсів на виході старшого розряду лічильника буде

менша в $K_{сч}$ разів. Тому лічильники також називають дільниками частоти, а величину $K_{сч}$ – коефіцієнтом ділення. Для збільшення значення $K_{сч}$ доводиться збільшувати кількість тригерів у лічильнику. Кожен додатковий тригер подвоює кількість станів лічильника та величину $K_{сч}$. Для зменшення значення $K_{сч}$ у якості виходу можна розглядати виходи тригерів проміжних каскадів. Наприклад, для лічильника на трьох тригерах $K_{сч} = 8$, але якщо взяти вихід другого тригера, то $K_{сч} = 4$. Таким чином, $K_{сч}$ є цілим ступенем числа 2: 2, 4, 8, 16 і т.д.

Можна реалізувати лічильник, для якого $K_{сч}$ – будь-яке ціле число. Наприклад, для лічильника на трьох тригерах можна зробити $K_{сч}$ від 2 до 7, але при цьому один або навіть два тригери можуть виявитися зайвими. При використанні усіх трьох тригерів можна отримати

$$K_{сч} = 5 \dots 7: 2^2 < K_{сч} < 2^3$$

Лічильник з $K_{сч} = 5$ повинен мати 5 станів, які в найпростішому випадку утворюють послідовність: $\{0, 1, 2, 3, 4\}$. Циклічне повторювання цієї послідовності означає, що коефіцієнт ділення лічильника рівний 5.

Для побудови підсумовуючого лічильника з коефіцієнтом перерахунку 5 потрібно, щоб після формування останнього числа в послідовності $\{0, 1, 2, 3, 4\}$ лічильник переходив не до числа 5, а до числа 0. У двійковому коді це означає, що від числа 100 треба перейти до числа 000, а не до 101. Зміна природного порядку лічби можлива завдяки додаванню додаткових зв'язків між тригерами лічильника. Можна скористатися наступним способом: як тільки на виходах лічильника встановлюється число, яке відповідає неробочому стану (в нашому випадку - 101), це повинно бути розпізнано та повинно викликати наступне утворення сигналу, який би перевів лічильник у стан 000. Розглянемо цей спосіб більш детально.

Факт установлення на виходах лічильника числа, яке відповідає неробочому стану описується логічним рівнянням:

$$F = (101) \vee (110) \vee (111) = Q_3 \cdot \overline{Q_2} \cdot Q_1 \vee Q_3 \cdot Q_2 \cdot \overline{Q_1} \vee Q_3 \cdot Q_2 \cdot Q_1 = Q_3 \cdot Q_1 \vee Q_3 \cdot Q_2$$

Стани 101, 110, 111 є неробочими, тому всі вони фігурують в рівнянні. Якщо на виході еквівалентної логічної схеми $F = 0$, це означає, що лічильник знаходиться в одному з робочих станів. Як тільки на його виходах з'являється число, що відповідає неробочому стану, еквівалентна логічна схема формує сигнал $F = 1$. Поява сигналу $F = 1$ повинна переводити лічильник у стан 000, отже, цей сигнал потрібно використати для дії на встановлювальні входи тригерів лічильника, які б здійснювали скидання лічильника в стан $Q_1 = Q_2 = Q_3 = 0$. Якщо лічильник реалізовано на тригерах з установчими входами, активним рівнем на яких є рівень логічного нуля, то для скидання тригерів слід подати на входи скидання сигнал $R = 0$. Для спостереження того, що лічильник вийшов за межі робочих станів використовують схему, яка реалізує логічну функцію F , зібрану на логічних елементах "І-НІ". Відповідна схемна реалізація зображена на рис.3.

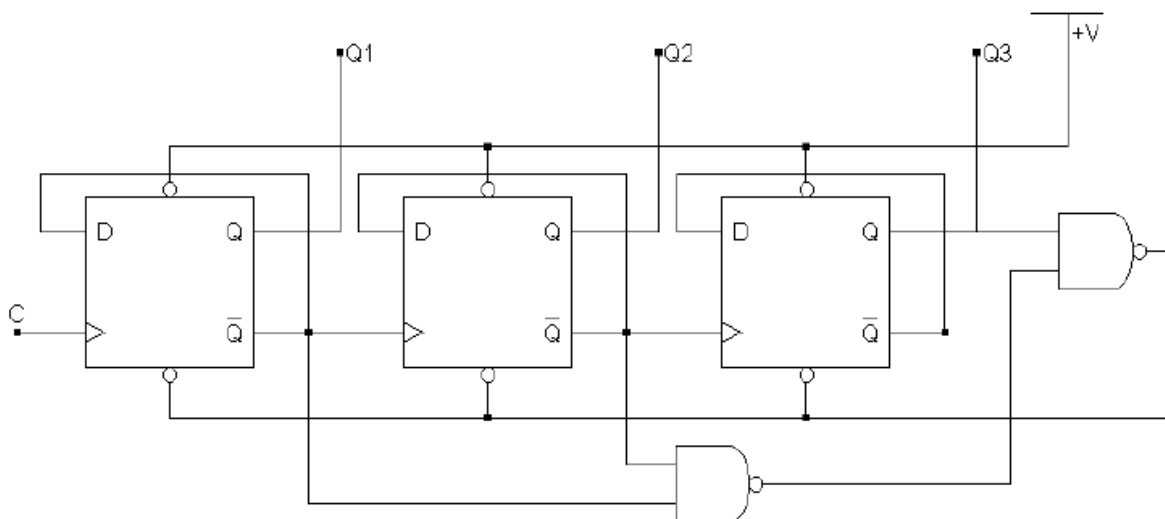


Рис. 3

Лічильник буде працювати наступним чином. При рахуванні від 0 до 4 все буде відбуватися, як у звичайному лічильнику з $K_{сч} = 8$. Рівень встановлювальних сигналів відповідає рівню логічної одиниці і не перешкоджає лічбі, яка відбувається по фронту імпульсу на лічильному вході С. В той час, коли лічильник знаходиться в стані 4 (100), наступний тактовий імпульс переводить його в стан 5 (101), що миттєво (задовго до появи на лічильному вході фронту нового тактового імпульсу) призводить до формування сигналу скидання, який і потрапляє на встановлювальні входи тригерів лічильника. В результаті лічильник переходить в стан 0 (000) і чекає наступного тактового імпульсу. Один цикл лічби закінчився, і лічильник готовий до наступного циклу.

Використовуючи такі схеми зі зворотнім зв'язком для скидання лічильника слід пам'ятати, що операція скидання все таки не є миттєвою, а протікає за скінченний час, тому безпосередньо перед скиданням лічильника в стан 000 на виході першого тригера з'являються короточасні імпульси, або, як їх називають, "голки". Це не важить, якщо лічильник з'єднано безпосередньо з індикатором, але при використанні цього виходу лічильника в якості, наприклад, джерела тактових імпульсів можуть виникнути певні проблеми. Схема, у якій таку проблему усунуто, наведена на рис. 4. Важливою відмінністю від попередньої схеми є те, що схема визначає не факт потрапляння в неробочий стан 101, а факт потрапляння в стан 100 та в наступному такті виробляє сигнал скидання в 000.

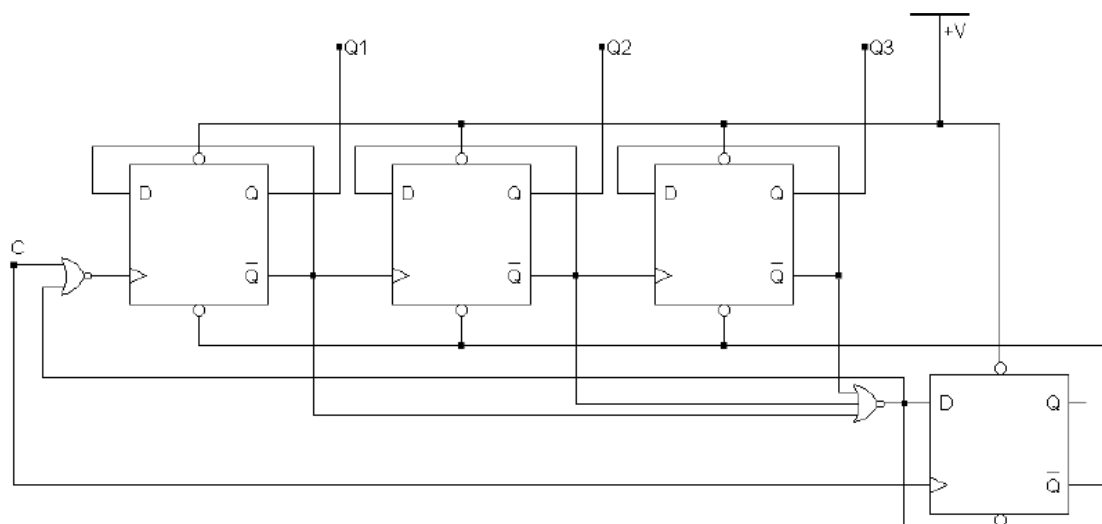


Рис. 4

2. Порядок виконання роботи.

2.1 Дослідження сумуючого лічильника

Зберіть схему, зображену на рис. 5. Увімкніть схему. Подаючи на вхід С тактові імпульси за допомогою перемикача та спостерігаючи за станами виходів лічильника за допомогою логічних пробників, складіть часові діаграми роботи підсумовуючого лічильника. Визначте коефіцієнт перерахунку лічильника. Зверніть увагу на числа, які формуються інверсними виходами тригерів лічильника. Заповніть таблицю 2.

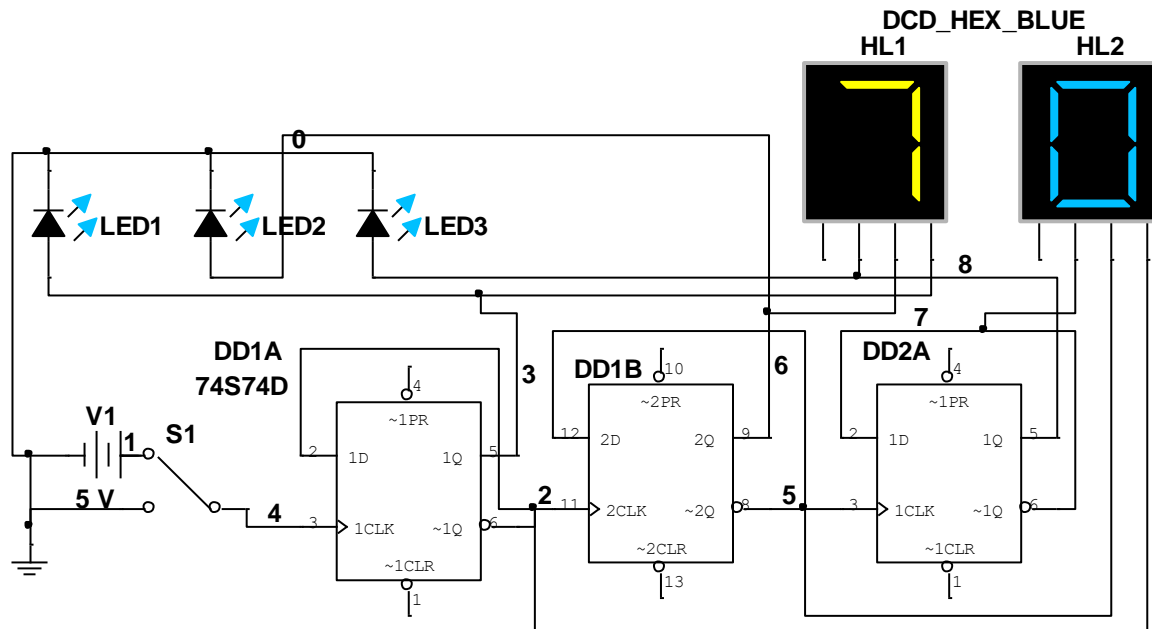


Рис. 5 – Схема дослідження сумуючого лічильника

Таблиця 2.

Стан прямих виходів			Число	Стан інверсних виходів			Число
Q3	Q2	Q1	N (HL1)	Q3'	Q2'	Q1'	N (HL2)
0	0	0		1	1	1	
0	0	1		1	1	0	
0	1	0		1	0	1	

2.2 Дослідження віднімаючого лічильника

Зберіть схему, зображену на рис. 6. Увімкніть схему. Замалюйте часові діаграми роботи віднімаючого лічильника. Модифікуйте схему, з'єднавши входи логічного аналізатора з інверсними виходами тригерів. Увімкніть схему. Замалюйте отримані часові діаграми (копія екрану).

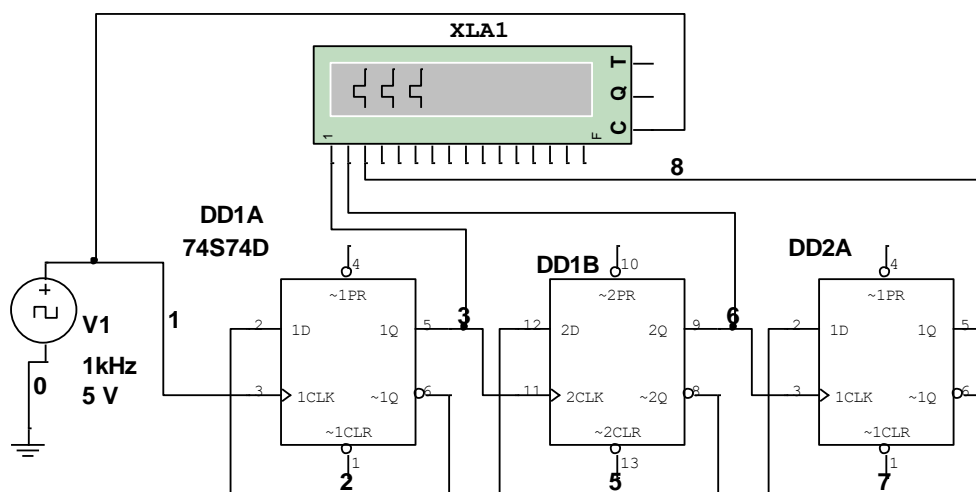


Рис. 6 – Схема дослідження віднімаючого лічильника

2.3 Дослідження лічильника зі змінним коефіцієнтом перерахунку

Зберіть схему, зображену на рис. 7. Увімкніть схему. Подаючи на вхід С тактові імпульси за допомогою перемикача та спостерігаючи за станами виходів лічильника за допомогою логічних пробників, складіть часові діаграми роботи лічильника та визначте коефіцієнт перерахунку. Подаючи на вхід С тактові імпульси за допомогою перемикача та спостерігаючи за станами виходів лічильника за допомогою логічних пробників, складіть часові діаграми роботи лічильника з $K_{пр} = 5$. Заповніть таблицю 3.

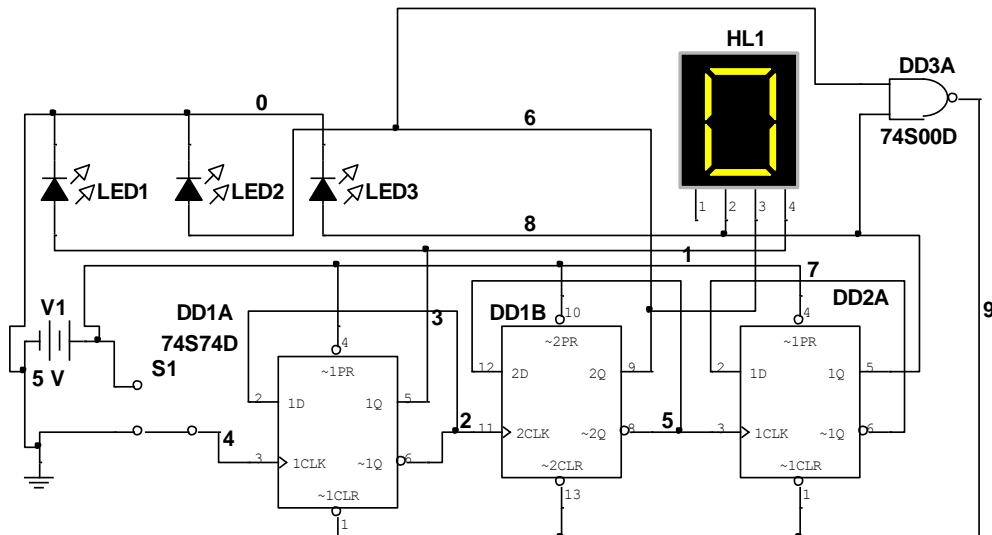


Рис. 7 – Схема дослідження лічильника зі зміненим коефіцієнтом перерахунку

Таблиця 3.

Стан прямих виходів			Число N (HL1)	Вхід S1
Q3 LED 3	Q2 LED 2	Q1 LED 1		
				0
				1
				0
				1
				0
				1
				0
				1

2.4 Дослідження регістра Джонсона

Зберіть схему, зображену на рис. 8. Лічильник, наведений на ній, отримав назву регістра Джонсона або регістра з перехресними зв'язками. Увімкніть схему. Побудуйте часові діаграми роботи регістра Джонсона. Визначте коефіцієнт перерахунку регістра Джонсона. Заповніть таблицю 4.

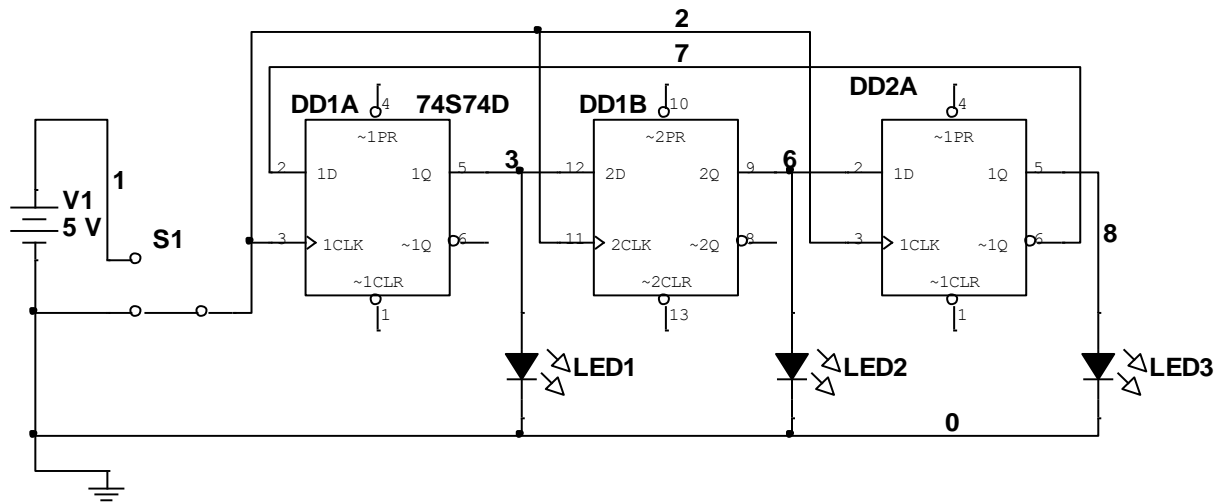


Рис. 8 – Схема дослідження регістра Джонсона

Таблиця 4.

Стан прямих виходів			Вхід S1
Q3 LED 3	Q2 LED 2	Q1 LED 1	
			0
			1
			0
			1
			0
			1
			0
			1

Контрольні питання.

1. Чому при з'єднанні лічильних входів D-тригерів з інверсними виходами попередніх каскадів лічильник працює як підсумовуючий, а при з'єднанні з прямими виходами – як віднімаючий?

2. В якому режимі буде працювати лічильник на JK-тригерах при з'єднанні лічильних входів тригерів з прямими виходами попередніх каскадів? Як зміниться режим роботи лічильника при з'єднанні лічильних входів тригерів з інверсними виходами?

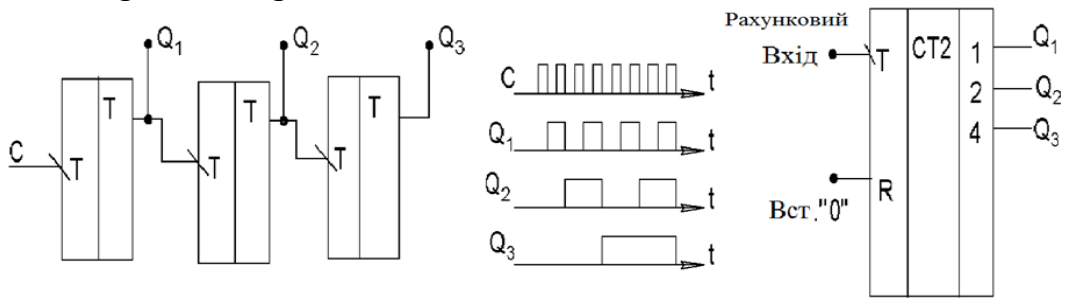
3. Який коефіцієнт перерахунку має регістр Джонсона?

4. Якими способами можна змінити коефіцієнт перерахунку лічильника?

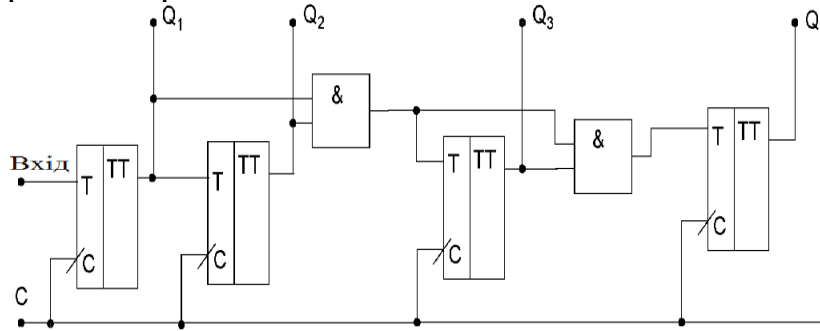
5. Залежно від напрямку рахунку лічильники бувають: а) додавання, віднімання, реверсивні; в) додавання, множення, реверсивні; с) додавання, ділення, реверсивні.

6. Залежно від способу організації міжрозрядних зв'язків лічильники діляться на: а) лічильники з послідовним переносом, лічильники з паралельним переносом і лічильники з паралельно-послідовним переносом; в) лічильники додавання; с) лічильники ділення.

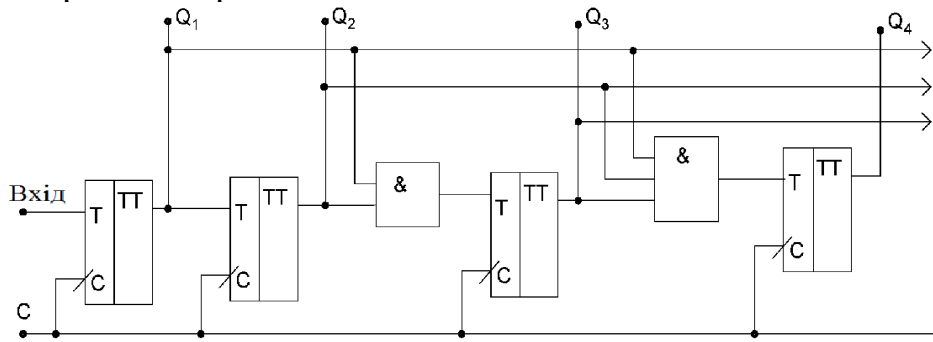
7. На схемі зображено: а) трьохрозрядний двійковий лічильник; в) чотирирозрядний лічильник з паралельним переносом; с) чотирирозрядний лічильник з наскрізним переносом.



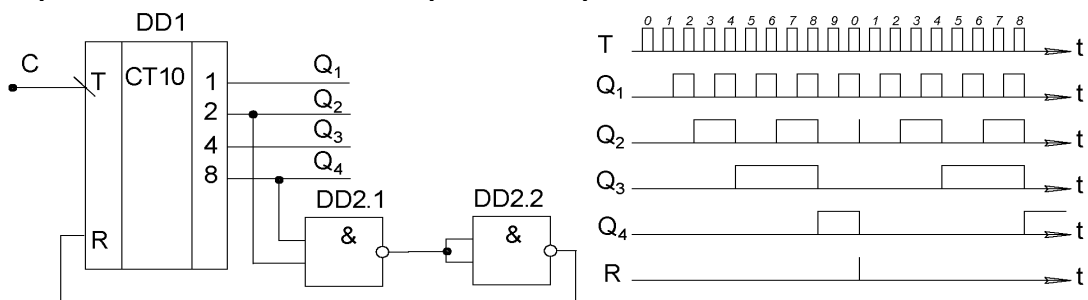
8. На схемі зображено: а) трьохрозрядний двійковий лічильник; в) чотирирозрядний лічильник з паралельним переносом; с) чотирирозрядний лічильник з наскрізним переносом.



9. На схемі зображено: а) трьохрозрядний двійковий лічильник; в) чотирирозрядний лічильник з паралельним переносом; с) чотирирозрядний лічильник з наскрізним переносом.



10. На схемі зображено: а) лічильник з довільним коефіцієнтом перерахунку; в) чотирирозрядний лічильник з паралельним переносом; с) чотирирозрядний лічильник з наскрізним переносом.



ЛАБОРАТОРНА РОБОТА № 4.4

Тема роботи: Дослідження універсального регістра K555IP11

Мета роботи: вивчення та практичне дослідження інтегральної мікросхеми K555IP11(74LS194N), контролювання її роботи за допомогою стенда та осцилографа.

Прилади та інструменти: мікросхеми - K555IP11 (74LS194N) та 7412, світлодіодні пробники, джерело живлення, макетниця, з'єднувальні дроти, XLA – логічний аналізатор, генератор XFG – FY6900.

1. Теоретичні відомості

Регістри – це послідовнісні пристрої, призначені для прийому, збереження, простих перетворень та передачі двійкових кодів. Під простими перетвореннями розуміють зсув кодів на задану кількість розрядів, а також перетворення послідовного двійкового коду в паралельний і паралельного в послідовний. Базовими елементами регістрів є тригери, які доповнюються комбінаційними логічними елементами для реалізації певних зв'язків між розрядами регістра і для керування прийомом та передачею операндів. Одне з функціональних призначень регістрів – оперативна пам'ять для багаторозрядних двійкових кодів.

В залежності від способу прийому і передачі двійкової інформації розрізняють паралельні, послідовні, послідовно-паралельні, паралельно-послідовні та універсальні регістри:

- Регістри типу SISO (англ. *Serial In Serial Out*) — з послідовним входом та послідовним виходом;
- Регістри типу SIPO (англ. *Serial In Paralel Out*) — з послідовним входом та паралельним виходом;
- Регістри типу PISO (англ. *Paralel In Serial Out*) — з паралельним входом та послідовним виходом;
- Регістри типу PIPO (англ. *Paralel In Paralel Out*) — з паралельними входом та виходами.

В паралельних регістрах або регістрах пам'яті ввід-вивід усіх розрядів коду відбувається одночасно за один такт. Для побудови n-розрядного регістра пам'яті потрібно n тригерів. Крім того деякі регістри цього типу забезпечують режими відключення виходів (встановлення у високоімпедансний стан) від загальної інформаційної шини.

В послідовних регістрах ввід-вивід інформації здійснюється через один інформаційний вхід і один вихід порозрядно із зсувом коду. Тому послідовні регістри називають регістрами зсуву. За один такт інформація, що вводиться або виводиться зсувається на один розряд вправо або вліво. Регістри зсуву, що реалізують по команді керування зсуви інформації вправо або вліво, називають реверсивними.

Послідовно-паралельні регістри мають один інформаційний вхід для послідовного вводу числа в режимі зсуву і вихідні вентиля для видачі n-розрядного числа паралельним кодом. Такі регістри виконують перетворення послідовного коду в паралельний.

В паралельно-послідовні регістри інформація вводиться паралельним кодом за один такт через тактовані вхідні вентиля, а виводиться з них послідовно по одному розряду в кожному тактовому інтервалі. Таким чином реалізується операція перетворення паралельного коду в послідовний.

Універсальні регістри поєднують в собі можливості вищеперерахованих типів регістрів.

В лабораторній роботі досліджується мікросхема регістра K555IP11. На рис.1 наведено його принципову схему.

Мікросхема ІР11 – універсальний 4-розрядний реверсивний регістр зсуву, який дозволяє як паралельний запис інформації, так і її зсув вправо і вліво. Він має входи D0..D3 – для подавання інформації при паралельному записуванні, DR – для послідовного записування із зсувом вправо, DL – для послідовного записування із зсувом вліво, S0 і S1 – входи встановлення режимів, С – для подавання тактових імпульсів і R– для скидання тригерів в нульовий стан.

При подаванні лог.0 на вхід R відбувається скидання тригерів регістра в 0. При лог.1 на вході R режим роботи визначається сигналами на входах S0 і S1. При лог.1 на вході S0 і лог.0 на вході S1 по додатньому фронту тактового імпульсу на вході С відбувається послідовний прийом інформації з входу DR в 0-й розряд регістра і зсув вправо. При лог.1 на вході S1 і лог.0 на вході S0 відбувається послідовний прийом інформації з входу DL в 7-й розряд регістра і зсув вліво. При лог.1 на обох входах S0 і S1 по додатньому фронту тактового імпульсу на вході С відбувається паралельний запис інформації з входів D0..D3. Якщо на входах S0 і S1 лог.0 регістр знаходиться в режимі збереження інформації.

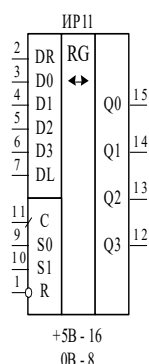


Рис. 1 – Умовні графічні позначення регістру K555IP11

В табл.1 зведені режими роботи регістра K555IP11.

Використовуючи режим зсуву регістра ІР11 і створюючи відповідні зворотні зв'язки, можна організовувати на його базі подільники частоти з коефіцієнтами перерахунку від 2 до 8. При цьому на вхід S1 регістра подається лог.0, на S0, R подається лог.1, а імпульси вхідної частоти надходять на тактовий вхід С. До входу DR підключається схема зворотнього зв'язку, а стани входів DL і D0..D3 в цьому режимі неактивні, оскільки не впливають на роботу

схеми.

Таблиця 1.- Режими роботи регістра K555IP11

Режим роботи	Входи							Виходи			
	C	\bar{R}	S1	S0	DR	DL	D _n	Q0	Q1	Q2	Q3
Скидання	x	0	x	x	x	x	x	0	0	0	0
Збереження	x	1	0	0	x	x	x	q ₀	q ₁	q ₂	q ₃
Зсув вправо	↑	1	0	1	V	x	x	V	q ₀	q ₁	q ₂
Зсув вліво	↑	1	1	0	x	V	x	q ₁	q ₂	q ₃	V
Паралельний запис	↑	1	1	1	x	x	d _n	d ₀	d ₁	d ₂	d ₃

При створенні подільника частоти на 2, 4, 6, або 8 на вхід DR через інвертор підключається відповідний вихідний розряд регістра (Q0, Q1, Q2 або Q3). При створенні подільника частоти на 3, 5 і 7 в коло зворотнього зв'язку замість інвертора включається логічний елемент 3І-НІ, на входи якого сигнали надходять з виходів розрядів Q0 і Q1 (при діленні на 3), Q1 і Q2 (при діленні на 5) і Q2 і Q3 (при діленні на 7). Сигнали, що отримуються на виходах регістра Q0, Q1, Q2 і Q3 однакові за формою і відрізняються лише фазою.

На рис.2 наведено приклад монтажною схемою включення регістра K555IP11 при створенні подільника частоти на 7 та часові діаграми вхідних та вихідних сигналів цієї схеми. В схемі використані дві мікросхеми: мікросхема D1 K155ЛА4, один логічний елемент якої використовується в колі зворотнього зв'язку, і власне досліджувальний регістр типу K555IP11 на мікросхемі D2.

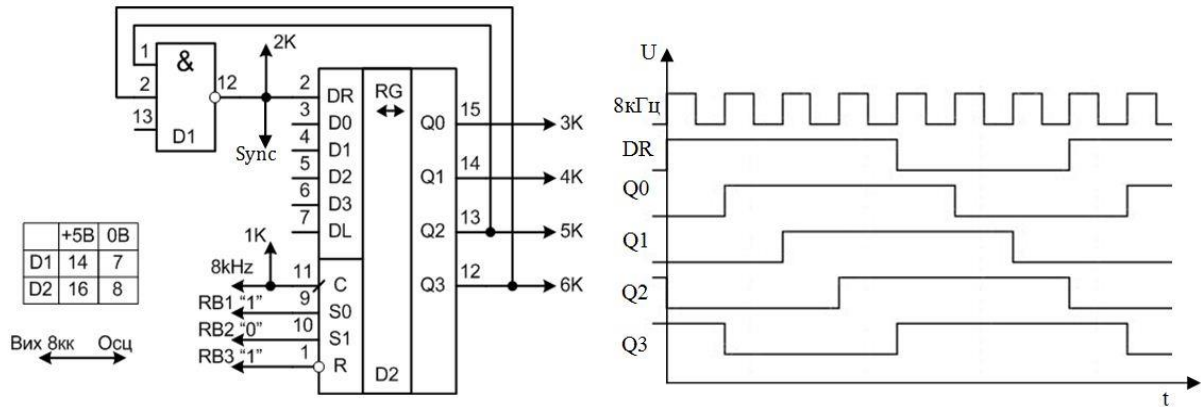


Рис.2.- Схема включення регістра типу К555ІР11 на лабораторному стенді в режимі подільника частоти на 7 та часові діаграми вхідних та вихідних сигналів.

2. Порядок виконання роботи.

1. Скласти на стенді монтажну схему включення регістра типу К555ІР11 в статичному режимі (підготувати самостійно) та перевірити режими його роботи згідно табл.1.
2. Побудувати часові діаграми вхідних та вихідних сигналів.

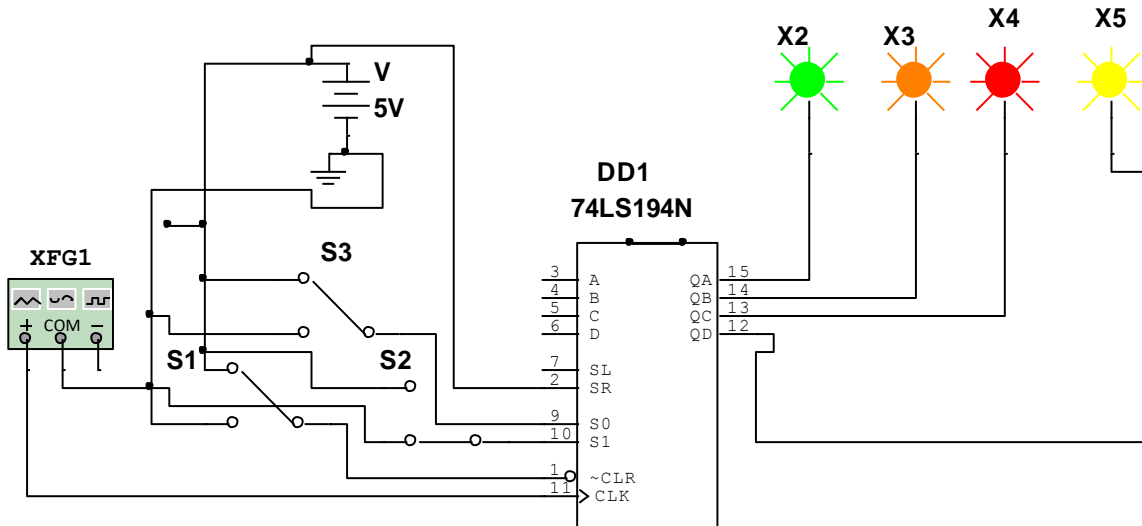


Рис.3.- Схема включення регістра типу К555ІР11 на лабораторному стенді

3. Скласти на стенді монтажну схему включення регістра типу К555ІР11 в режимі подільника на 7 згідно рис.4.
4. Побудувати часові діаграми вхідних та вихідних сигналів.

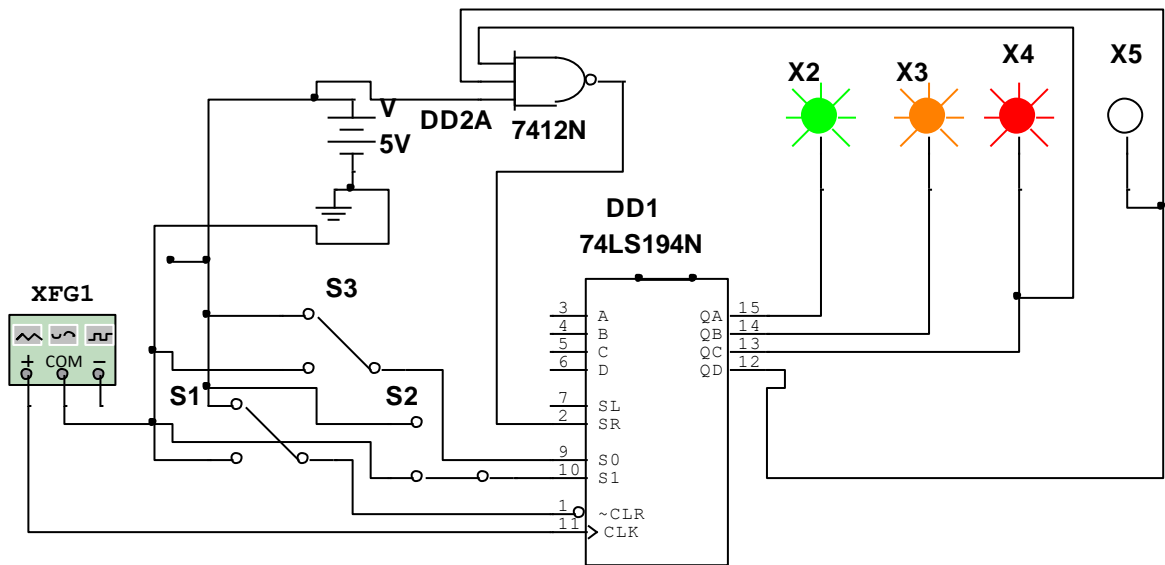


Рис.4.- Схема включення регістра типу К555ІР11 на лабораторному стенді в режимі подільника на 7

Контрольні питання.

1. Розповісти про основне призначення регістрів та їх типи.
2. Замалювати структурну схему паралельного регістру.
3. Замалювати структурну схему послідовного регістру.
4. Замалювати структурну схему послідовно-паралельного регістру.
5. Замалювати структурну схему паралельно-послідовного регістру.
6. Які дії можна робити з допомогою 4-розрядного реверсивного регістру зсуву К555ІР11?
7. Для чого призначені входи D0..D3 регістра К555ІР11?
8. Для чого призначені входи DR, DL регістра К555ІР11?
9. Для чого призначені входи S0 і S1 регістра К555ІР11?
10. Для чого призначені входи R і C регістра К555ІР11?

ЛАБОРАТОРНА РОБОТА № 4.5

Тема роботи: *Дослідження аналого - цифрових і цифро - аналогових перетворювачів*

Мета роботи: Вивчити основні класифікаційні ознаки, характеристики, та похибки перетворення цифро-аналогових та аналого-цифрових перетворювачів. Ознайомитись з основними принципами побудови перетворювачів та їх застосуванням в автоматизованих системах керування. По експериментальних даних визначити основні похибки вимірювання. Вивчити причини їх виникнення.

Ознайомлення з принципом роботи і дослідження інтегрального 8-розрядного аналого-цифрового перетворювача в середовищі Multisim.

Прилади та інструменти: лабораторний стенд **K32**, логічний аналізатор **XLA**, генератор **XFG – FY6900**, осцилограф **XSC – SDS1022**, мікросхеми - , світлодіодні пробники (**PROBE_DIG_GREEN**) **X0-X7**, мікросхема – **ADC** (8 - розрядний АЦП), мікросхема – **VDAC** (8-розрядний ЦАП), джерела опорної напруги **E1 і E2**, джерело постійної напруги **E3**, мультиметр - **вольтметр**.

1. Теоретичні відомості.

У системах автоматизованого керування, вимірювальній техніці широкого застосування набула обробка інформації в цифровій формі, яка використовується в цифрових машинах та приладах. При її використанні виникає потреба перетворення аналогової величини (напруги, струму, частоти, температури, тиску і т.ін.) в цифровий код, який подають на вхід цифрових устаткувань. Часто виникає зворотна задача: цифровий код із виходу цифрового устаткування необхідно перетворити в аналоговий сигнал (напругу, струм і т.ін.). Для цих задач використовують аналого-цифрові і цифро-аналогові перетворювачі (АЦП та ЦАП).

АЦП забезпечують швидкий і точний вимір аналогової величини, причому результати виміру видаються у вигляді послідовності цифрових кодів.

Основними методами виміру аналогових величин є:

- метод послідовного підрахунку: вимірювана величина розбивається на ряд рівних частин (приростів), кожний з яких ставиться у відповідності одиниці молодшого розряду коду числа. В результаті підрахунку цих частин утворюється код - еквівалент вимірюваної аналогової величини. Цей метод виміру ще називають методом підрахунку числа приростів аналогової величини;

- метод злічування (метод одного відліку); при цьому методі використовуються відомі залежності між деякими параметрами аналогової величини, які дозволяють відразу отримати її числові значення;

- метод порівняння та віднімання; вимірювана величина послідовно прирівнюється з набором її еталонних значень, причому порівняння починається з максимальної еталонної величини; після кожного порівняння і віднімання формується значення одного розряду кода, а одержана різниця використовується для порівняння із наступним еталоном.

До числа основних характеристик АЦП відносяться: точність перетворення, швидкодія, надійність роботи, економічність, можливість багатоканального перетворення, форма представлення і діапазон виміру вхідних та вихідних величин. Точність перетворення, тобто ступінь відповідності одержаної на виході АЦП величини значенню вхідної аналогової величини, є основною характеристикою перетворювача. Ця точність обумовлена інструментальними похибками, похибками квантування і динамічними похибками. Інструментальні похибки носять індивідуальний характер: вони належать даному взірцю перетворювача і обумовлені відхиленням його характеристик від ідеального значення, внаслідок неідеальності елементів аналогової частини схеми (резистори, конденсатори, ключі, та інші) і зміні їх параметрів при зміні температури, вологості, та інших умов. Похибки квантування відносяться до методичних похибок, оскільки вони обумовлені

квантуванням безперервної величини, що перетворюється по часу і рівню, і, відповідно, наявні навіть в ідеальному перетворювачі.

Оцінка точності квантування може здійснюватись за допомогою спроміжної здатності h_x , яка рівна (рис.1)

$$h_x = \frac{x_{\max} - x_{\min}}{2^{n-1}} \quad (1)$$

де x_{\max} , x_{\min} - відповідно максимальне та мінімальне значення перетвореної величини; n - число розрядів коду (розрядність АЦП).

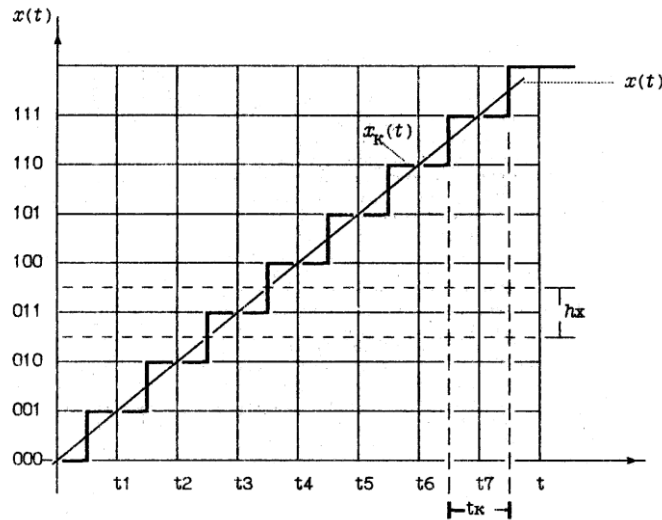


Рис. 1- Метод квантування безперервної величини $x(t)$.

Якщо позначити у знаменнику формули (1) через $N = 2^{n-1}$ кількість кроків квантування за рівнем вимірюваної величини, то

$$h_x = \frac{x_{\max} - x_{\min}}{N} \text{ чисельно рівна кроковій квантування вимірюваної величини по рівню.}$$

Для квантованого сигналу $x_k(t)$ характерна наявність стрибка на величину h_x в момент, коли безперервний сигнал $x(t)$ проходить середнє між двома рівнями значення. При такому способі побудови квантованого сигналу максимальна похибка квантування визначається різницею між $x(t)$ і $x_k(t)$, і не буде перевищувати $0,5 h_x$. Із збільшенням N похибка, що викликана квантуванням по рівневї, зменшується, тобто спроміжна здатність перетворення покращується.

Знайдемо середню квадратичну похибку квантування, яка обумовлена квантуванням функції $x(t)$ по рівневї. Похибка квантування Δx у момент відліку t_k рівна

$$\Delta x = x(t_k) - x_k(t_k)$$

і змінюється в межах

$$-0.5h_x \leq \Delta x \leq +0.5h_x$$

Оскільки діапазон зміни безперервної величини

$$A_x = x_{\max} - x_{\min} \gg h_x,$$

то навіть невелике значення $x(t)$ буде співрозмірне з h_x . Тому під час відліку величини $x(t)$ з рівною ймовірністю може приймати любе значення в межах h_x поблизу одного із рівнів квантування. Це означає, що для похибки Δx можна застосувати закон рівномірної густини ймовірності. Тому густина ймовірності $W(\Delta x)$ випадкової величини Δx рівна

$$W(\Delta x) = \frac{1}{h_x} \text{ при } |\Delta x| \leq 0,5h_x,$$

$$W(\Delta x) = 0 \text{ при } |\Delta x| > 0,5h_x$$

Дисперсія похибки квантування по рівневі визначається за формулою:

$$\sigma_x^2 = \int_{-0.5h_x}^{+0.5h_x} (\Delta x)^2 \frac{1}{h_x} d(\Delta x),$$

кінцево
$$\sigma_x = \frac{h_x}{2\sqrt{3}}.$$
 (2)

Із (2) видно, що для рівномірного закону розподілу похибка квантування в $\sqrt{3}$ раз менше похибки, яка рівна $0,5h_x$.

Динамічна похибка викликається перехідними процесами у колах порівняння вимірюваної величини з еталонним значенням (наприклад, при перетворенні сигналу за допомогою компараторів) і через нестабільність аналогової величини в процесі кодування.

Розглянемо роботу послідовного АЦП з одиничним наближенням. Типова схема послідовного АЦП з одиничним наближенням подана на рис. 2,а. Імпульс початку циклу перетворення, який подається на вхід S (установка) тригера Т, через логічний елемент DD1 вмикає лічильник СТ2 до виходу генератора імпульсів ГІ. Оскільки розряди лічильника сполучені з розрядами ЦАП, то напруга на виході останнього $U_{цап}$ збільшується по ступінчастому пилоподібному закону (рис.2,б), причому значення ступеня відповідає одиниці молодшого розряду АЦП.

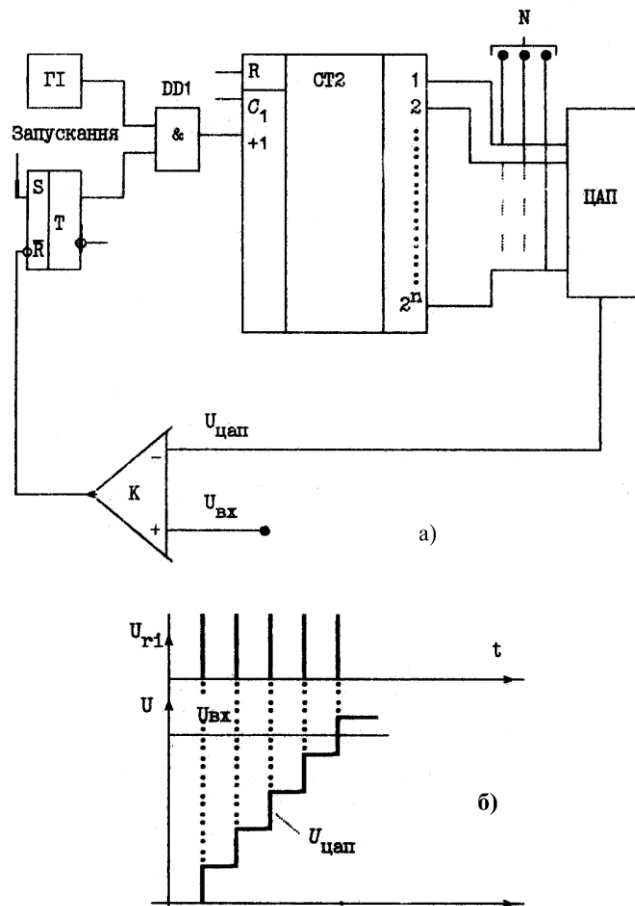


Рис.2 - Схема послідовного АЦП з одиничним наближенням (а) і часова діаграма роботи (б).

Процес перетворення закінчується, коли напруга $U_{цап}$ зрівняється з вхідною напругою $U_{вх}$. У цей момент на виході компаратора К встановлюється рівень логічного нуля, який

подається на вхід R (скид) тригера T. Це приводить до появи логічного нуля на виході елемента DD1. При цьому на лічильник СТ імпульси від генератора ГІ перестають подаватись. Цифровий код N, який встановлюється на виході лічильника, є еквівалентом вхідної напруги.

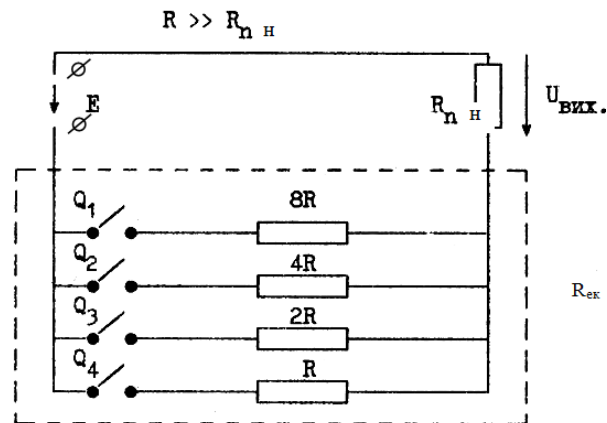


Рис. 3 - Структурна схема ЦАП.

Цифрово-аналоговий перетворювач (ЦАП) перетворює цифровий двійковий код $Q_4 Q_3 Q_2 Q_1$ в аналогову величину $U_{вих}$. Кожний розряд двійкового коду має певну 'вагу'. 'Вага' i -го розряду в два рази більше, ніж 'вага' $(i-1)$ -го. Роботу ЦАП можна описати наступною формулою

$$U_{вих} = E(Q_1 2^0 + Q_2 2^1 + Q_3 2^2 + Q_4 2^3 + \dots) = E \sum_{i=0}^n Q_i 2^i .$$

де E - напруга живлення перетворювача.

Наприклад, числу 1101 відповідає напруга

$$U = E(1 \cdot 2^0 + 0 \cdot 2^1 + 1 \cdot 2^2 + 1 \cdot 2^3) = 13E$$

Спрощена схема реалізації ЦАП представлена на рис.12.3. У схемі i -й ключ замкнений при $Q=1$, а при $Q=0$ - розімкнений. Резистори підібрані так, що виконується нерівність $R \gg R_n$.

Еквівалентний опір обведеного пунктиром двополюсника $R_{ек}$ і опір навантаження R_n створюють подільник напруги, тоді

$$U_{вих} = \frac{ER_n}{R_{ек} + R_n} \approx \frac{E}{R_{ек}} ;$$

де

$$\frac{1}{R_{ек}} = \frac{Q_1}{2^{n-1}} + \frac{Q_2}{4R} + \frac{Q_3}{2R} + \frac{Q_4}{R} .$$

Підставивши цей вираз у попередню формулу, одержимо

$$U_{вих} = E \frac{R_n}{2^{n-1}} (Q_1 \cdot 1 + Q_2 \cdot 2 + Q_3 \cdot 4 + Q_4 \cdot 8)$$

Як видно, вибором $E_1 = E \frac{R_n}{2^{n-1}}$ можна встановити необхідний масштаб аналогової величини.

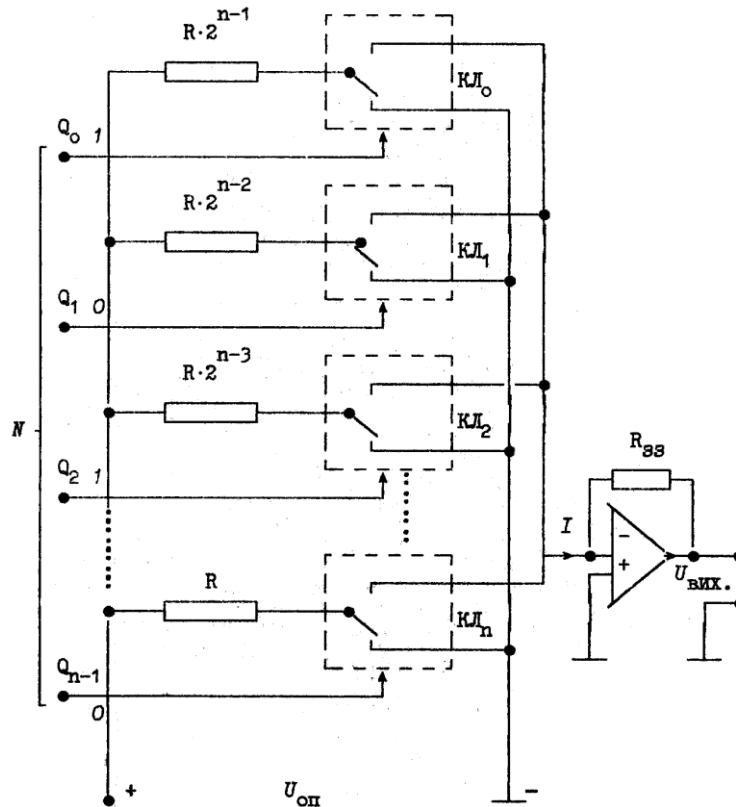


Рис. 4 - ЦАП з двійково-зваженими опорами.

Існують два способи цифроаналогового перетворення з використанням: а) резистивної матриці з ваговими двійково-зваженими опорами; б) матриці з двома номіналами опорів, яку називають матрицею $R-2R$. ЦАП з ваговими двійково-зваженими опорами (рис.12.4) складається із наступних компонентів: n ключів, по одному на кожен розряд, які керуються кодом, що перетворюється, матриці двійково-зважених резисторів, джерела опорної напруги $U_{оп}$, вихідного операційного підсилювача (ОП), при допомозі якого додаються струми, що проходять через двійково-зважений опір, для одержання аналогового вихідного сигналу $U_{вих}$, який пропорційний цифровому коду.

Кожен i -й розряд керується ключом $КЛ_i$, який підключає операційний підсилювач до джерела опорної напруги $U_{оп}$ (коли $Q_i = 1$), або до загальної шини, (коли $Q_i = 0$). Опори резисторів, що з'єднані з ключами, такі, що забезпечується пропорційність проходження по них струму двійковій вазі відповідного розряду вхідного кола. Опір резистора в старшому розряді має значення R , опір наступного резистора $2R$ і т.д. до опору резистора в молодшому розряді, значення якого рівне $8R$. Як наслідок, струм, що проходить на вході ОП рівний:

$$I = \frac{Q_{n-1} U_{оп}}{R} + \frac{Q_{n-2} U_{оп}}{2R} + \dots + \frac{Q_1 U_{оп}}{2^{n-2} R} + \frac{Q_0 U_{оп}}{2^{n-1} R},$$

остаточно

$$U_{вих} = -IR_{зз} = -\frac{U_{оп} R_{зз}}{2^{n-1} R} \sum_{i=0}^n Q_i 2^i.$$

2. Порядок роботи виконання роботи.

2.1 Виконання роботи при дистанційному навчанні

В схему (рис. 5) включені: 8-розрядний АЦП (ADC); джерела опорної напруги $E1$ і $E2$, підключені до входів V_{ref+} і V_{ref-} АЦП; джерело постійної напруги $E3$, підключене до входу V_{in} АЦП; генератор ($PULSE_VOLTAGE$) $E4$ для синхронізації роботи підключений

до входу **SOC**; виходи **D0-D7** АЦП з'єднані з входами логічного аналізатора (**Logic Analyzer**) **XLA1** і пробниками (**PROBE_DIG_GREEN**) **X0-X7**; функціональний генератор (**FUNCTION GENERATOR**) **XFG1** в якості джерела вхідного сигналу u_{ex} ; ЦАП (**DAC**) і осцилограф (**OSCILLOSCOPE**) **XSC1**. Вихід **EOC** використовують для передачі двійкової інформації АЦП, наприклад, на **EOM**.

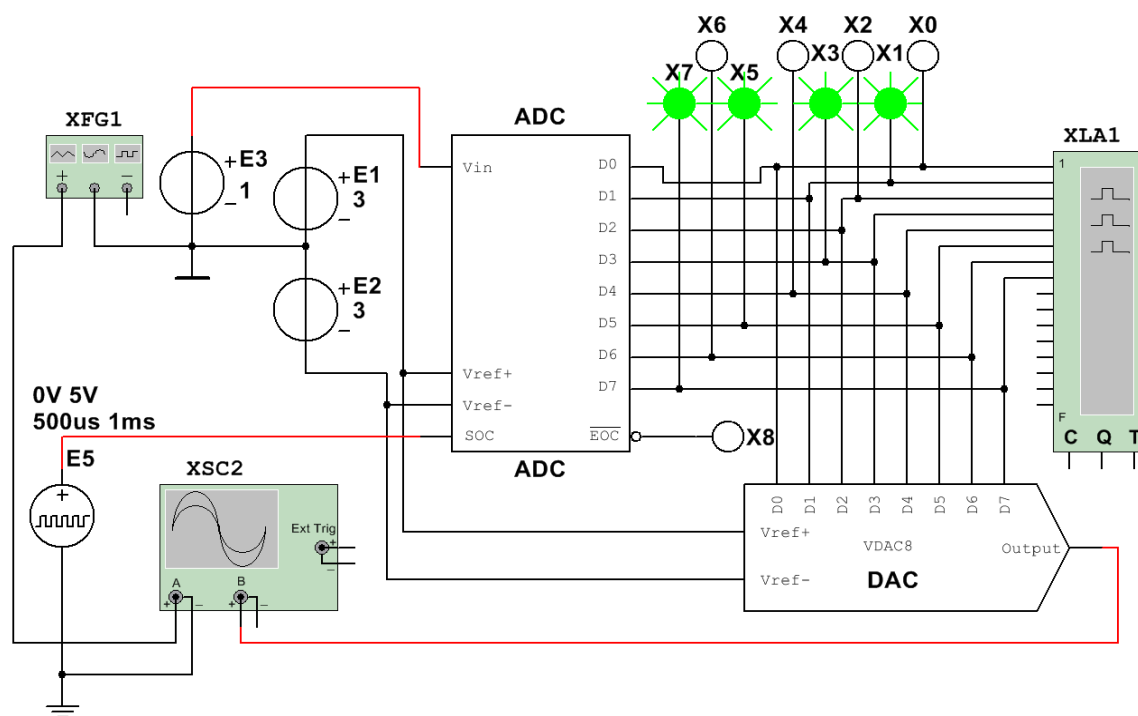


Рис. 5 – Схема дослідної установки

Завдання 1. Дослідити точність перетворення АЦП рівнів вхідної напруги u_{ex} в цифровий код за допомогою пробників **X0-X7**, логічного аналізатора **XLA1**, а також ЦАП і осцилографа **XSC1**.

Для цього:

– в перший стовбець таблиці 16.1 записати рівні напруги $u_{ex} = 0,1; 0,2; 0,5; 1,0; 1,5; 2,0; 2,5; -0,5; -1,0; -2,0$ В, які по чергово задавати в діалоговому вікні джерела постійної напруги **E3**;

– запустити програму моделювання АЦП і занести в поля таблиці 16.1 значення напруги $u_{вих(ЦАП)}$ з виходу ЦАП, які показані в діалоговому вікні осцилографа Channel_B;

– двійковий еквівалент $D(2)$ перетвореної напруги визначати по індикації пробників **X7-X0**;

– шістнадцятковий код $D(16)$ зчитувати з дисплея аналізатора **XLA1** (для прикладу це поле обведене на рисунку червоним кольором);

– двійковий еквівалент $D(2)$ напруги перетворити будь-яким з відомих методів в десятковий інверсний сигнал $D(10)_{inv}$ і заповнити відповідний стовбець таблиці;

– отримані з виходу АЦП десяткові інверсні сигнали $D(10)_{inv}$ перерахувати на неінверсні $D(10)$ за виразом

$$D(10) = D(10)_{inv} - 128$$

і занести у відповідні стовбці таблиці;

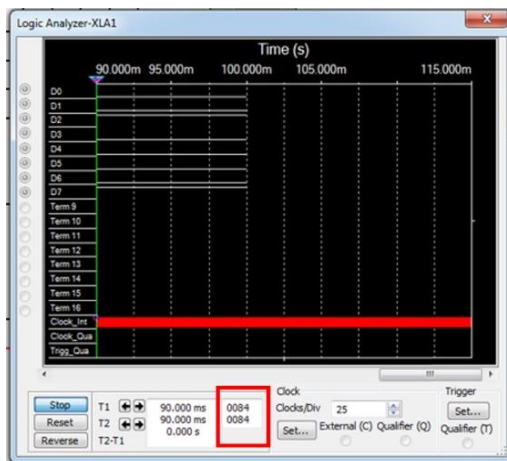


Рис. 6 – Результати дослідження

– розрахункові десяткові еквіваленти $D_{(10)розр}$ двійкового коду $D_{(2)}$ на виході АЦП при заданому значенні вхідної напруги $u_{вх}$ визначити за формулою

$$D_{(10)розр} = 256 u_{вх} / (E_1 + |-E_2|),$$

і занести у відповідний стовбець таблиці;

– розрахувати похибку вимірювань напруги за виразом

$$\Delta U\% = 100(u_{вих(ЦАП)} - u_{вх})/u_{вх}$$

і занести у відповідний стовбець таблиці.

В якості прикладу в табл. 1 заповнено перший рядок. Заповніть таблицю до кінця.

Т а б л и ц я 1. – Результати досліджень

$u_{вх},$ В	$u_{вих(ЦАП)},$ В	$D_{(2)}$	$D_{(16)}$	$D_{(10)інв}$	$D_{(10)}$	$D_{(10)розр}$	$\Delta U\%$
0,1	0,09375	10000100	84	132	4	4,27	6,25
0,2							
0,5							
1,0							
1,5							
2,0							
2,5							
-0,5							
-1,0							
-2,0							

Завдання 2. Дослідити процес перетворення вхідної напруги трикутної форми в цифрові коди, а далі за допомогою ЦАП – в ступінчасту напругу, апроксимовану напругу $u_{вх}$.

Для цього:

– видалити провідник, який з'єднує вихід **E3** з входом **Vin** АЦП, далі з'єднати провідник з виходом "+" функціонального генератора **XFG1** з входом **Vin** АЦП;

– встановити параметри генератора **XFG1**: напруга трикутної форми із циклом $N = 99$, амплітуда 1 В і частота $f_2 = 50$ Гц;

– запустити програму моделювання АЦП;

– отримати і скопіювати у звіт осцилограму вхідної напруги $u_{вх}$, осцилограму ступінчастої напруги $u_{вих(ЦАП)}$ з виходу ЦАП, а також часові діаграми сигналів з виходів **D0-**

D7 АЦП, які поступають на входи логічного аналізатора **XLA1** і є двійковими еквівалентами дискретних відліків $u_{вх}(k\Delta t)$ вхідної напруги;

– встановити параметри генератора **XFG1**: напруга синусоїдальна; частота $f_2 = 25$ Гц, решта параметрів – без змін;

– під час дослідження сигналу для наочності змістити вгору Y pos на 0,6 на каналі А. Отримані осцилограми скопіювати у звіт;

– оформити звіт відповідно до вимог.

2.2 Виконання роботи при очному навчанні

Опис дослідної установки.

Лабораторна робота виконується з використанням комплекту лабораторного обладнання по електронній техніці типу К32.

У комплект входять: блок керування комплексом (БУК), та змінні дослідні плати у вигляді касет.

БУК складається з таких частин:

- передньої панелі (ПП);
- програматора серії імпульсів (ПСІ);
- блока цифрової індикації (БЦІ);
- блока аналогових сигналів (БАС);
- блока живлення (БЖ).

Написи на ПП означають:

ВНК - зовнішня команда, що забезпечує сполучення відповідного кола з гніздами, які розміщені на ПП;

ВСВ - внутрішній зв'язок, що забезпечує сполучення відповідного кола з вхідними розкриттями БУК.

VX1 - вхід 1;

VX2 - вхід 2;

ГН1 - перший генератор напруги постійного струму;

ГН2 - другий генератор напруги постійного струму;

ГС1 - перший генератор сигналів;

ГС2 - другий генератор сигналів;

КЗУ - комутатор зовнішніх устаткувань;

СИ - серія імпульсів;

ФВ - фазовертач.

Генератор вмикається кабелем до гнізда 'ВХОД ГС1' на ПП БУК. Мультиметр вмикається кабелем до гнізда 'ВЫХОД V ' або 'ВЫХОД V=' БУК. Вмикання до напруги живлення генератора і мультиметра здійснюється встановленням вилок у гніздо '220В, 50Гц' на задній стінці БУК. У вхідні розкриття БУК встановлюють друкарську плату, що розміщена в касеті. На вхідні розкриття БУК поступають вхідні та вихідні сигнали. Вхідні сигнали генеруються ПСІ, БАС, БЖ, програматором кодів, які розміщені на ПП, та генератором. Вихідні сигнали генеруються на друкарській платі змінного устаткування, поступають на вхідне розкриття і вимірюються за допомогою мультиметра, або індуються на устаткуванні індикації (УІ) цифрового табло, яке розміщене в лівій верхній частині ПП. Устаткування індикації призначене для відображення двійкової та десяткової інформації на чотирьох семисегментних індикаторах, які об'єднані на ПП в цифрові табло. Перший індикатор ліворуч на першому табло відповідає розряду 1, другий - розряду 2, і т.д.

Написи відносяться до того органу керування, біля якого вони розміщені.

Позначення 'А' \overline{B} на кнопках означають, що коли кнопка не натиснена, то виконується функція 'А', а коли натиснена, то виконується функція 'В'.

Завдання.

1. Виконується перед виконанням науково-дослідної роботи на самостійній підготовці.

Визначити дисперсію похибки квантування АЦП при $U=5В$ та $U_{вих}$ для ЦАП при $U_{оп}=5 В$ для варіантів, вказаних викладачем.

Варіант	АЦП				ЦАП			
	Розрядність	U_{max} (В)	U_{min} (В)	σ_x (%)	Код числа	$R_{зз}$ (Ом)	R (Ом)	$U_{вих}$ (В)
1	4	5.0	0.5		0100101	350	1.1	
2	6	12.6	0.5		0100110	310	1.5	
3	8	12.0	0.8		0010111	760	1.6	
4	7	14.5	0.9		1001010	110	2.4	
5	5	15.6	0.5		1100110	150	2.1	
6	6	16.6	0.8		0011101	250	3.5	
7	8	12.6	0.9		1010101	420	1.1	
8	10	14.5	0.6		1011101	510	1.2	

2. Виконується в лабораторії.

Перед початком виконання лабораторної роботи необхідно на БУК (К32) здійснити наступне.

Переконатися, що друкарська плата дослідної електричної схеми УС/18 (рис.12.5) вставлена в касету, увімкнена в розкриття та зафіксована в БУК.

Переконатися, що всі кнопки знаходяться в ненатисненому стані, за винятком кнопок 'ПИТАНИЕ В', які необхідно натиснути.

З дозволу викладача або лаборанта увімкнути БУК до мережі.

Для виміру напруги вхідного сигналу АЦП під'єднати мультиметр одним кінцем до гнізда XS2 друкарської плати, а другим - до корпусу БУК.

Опрацювання дослідних даних.

Виконується на ЕОМ за допомогою програми, алгоритм якої складено за нижченаведеними формулами.

1) абсолютна похибку показів АЦП

$$\sigma_n = U_{ацп} - U_{вх} ;$$

2) відносна похибка АЦП

$$E_n = \frac{\sigma_n}{U_{вх}} ;$$

3) середнє квадратичне відхилення показів АЦП

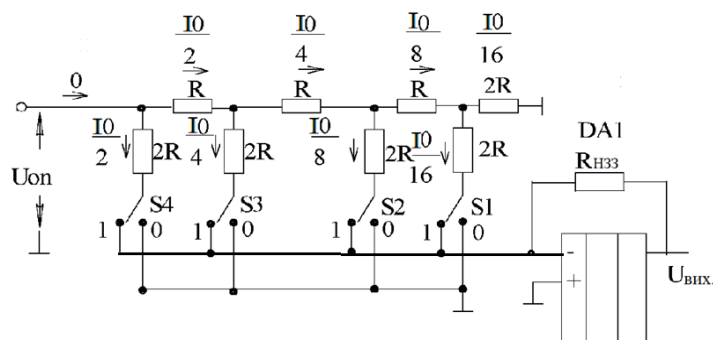
$$\sigma_a = \text{sqr} \left(\left(\sum_{k=1}^n \sigma_n^2 \right) / n \right) ;$$

4) середнє квадратичне значення відносної похибки

$$\sigma_e = \text{sqr} \left(\left(\sum_{k=1}^n E_n^2 \right) / n \right) ;$$

Контрольні запитання.

1. Яке призначення АЦП та ЦАП і яку функцію вони виконують у системах автоматичного керування ?
2. Які бувають методи перетворення аналогової величини в код ?
3. Назвати та пояснити суть похибок в АЦП.
4. Як визначаються похибки АЦП та ЦАП ?
5. Як проходить перетворення в АЦП ?
6. Розповісти, як працює схема АЦП послідовного типу.
7. Розповісти, як працює ЦАП із двійково-зваженими опорам.
8. На схемі зображено: а) ЦАП з матрицею R-2R; в) ЦАП з підсумовуванням струмів; с) ЦАП з підсумовуванням струмів з наскрізним переносом.



9. Яке з АЦП виконує одне перетворення за n тактів: а) АЦП порозрядного зважування; в) АЦП паралельного перетворення; с) слідкує АЦП?
10. Принцип роботи якого АЦП полягає в тому, що спочатку протягом деякого фіксованого часового інтервалу інтегрується аналогова перетворююча величина, а потім інтегрується еталонна (опорна) напруга протилежної полярності: а) АЦП подвійного інтегрування; в) АЦП паралельного перетворення; с) слідкує АЦП?
11. Як називають сукупність двійкових чисел: а) кодом числа; в) розрядом числа; с) вагою числа?
12. Як називають сукупність двійкових чисел: а) розрядом числа; в) кодом числа; с) вагою числа?

Зміст звіту

- 1.Тема роботи.**
- 2. Мета роботи.**
- 3. Прилади та матеріали.**
- 4. Порядок роботи** (згідно завдання викладача).Необхідні схеми й заповнені таблиці та розрахунки.
- 5. Висновки.**
- 6. Відповіді на контрольні питання викладача.**

Список використаних джерел

1. Бабич М.П., Жуков І.А. Комп'ютерна схемотехніка: Навчальний посібник.- К.:МК-Прес, 2004.-412с
2. By Tony R. Kuphaldt. Lessons In Electric Circuits, Volume III – Semiconductors . Fourth Edition, last update October 31, 2005.
3. Колонтаєвський Ю.П., Сосков А.Г. Промислова електроніка та мікро схемотехніка: теорія і практикум: Навч. посіб./за ред. А.Г.Соскова. – К.:Каравела, 2004.- 432с.
4. Рябенський В.М. Жуйков В.Я. Ямненко Ю.С. Заграничний А.В. „Схемотехніка: Пристрої цифрової електроніки. Електронний підручник для вищих навчальних закладів. Том II. – Київ: НТУУ «КПІ», 2016 – 358 с.
5. Промислова електроніка і мікросхемотехніка: Лабораторний практикум (для студентів, які навчаються за напрямками „Електромеханіка” та „Електротехніка”) /Уклад. А.Г. Сосков, Ю.П. Колонтаєвський, О.Ф. Білоусов – Харків: ХНАМГ, 2007. – 153 с.
6. Схемотехніка електронних систем. Цифрова схемотехніка. Підручник / В.І. Бойко, А.М. Гуржій, В.Я Жуйкою та ін.-К.:Вища школа, 2004.-423с.
7. Скаржепа В.А., Луценко А.Н. Электроника и микросхемотехника. - В 2т. - К.: Выща школа, 1989.
8. Internet : <http://www.intsyseurope.fr/ElectronicsWorkbench/facts.html>.
9. Шабатура Ю.В., Присяжнюк В.В. Використання комп'ютерів у дослідженні електронних систем - Вінниця: ВДТУ, 2000.- 107с.