

КВАЛІФІКАЦІЙНА РОБОТА

на здобуття освітнього ступеня

магістр

(назва освітнього ступеня)

на тему: **Дослідження продуктивності та енергоефективності
комп'ютерних систем побудованих на основі новітніх процесорів Intel**

Виконав(ла): студент(ка) 6 курсу, групи СНМ-61
спеціальності

122 «Комп'ютерні науки»

(шифр і назва спеціальності)

Сивуля В.В.

(підпис)

(прізвище та ініціали)

Керівник

Матійчук Л.П.

(підпис)

(прізвище та ініціали)

Нормоконтроль

Мацюк О. В.

(підпис)

(прізвище та ініціали)

Завідувач кафедри

Боднарчук І.О.

(підпис)

(прізвище та ініціали)

Рецензент

Коноваленко І.В.

(підпис)

(прізвище та ініціали)

Міністерство освіти і науки України
Тернопільський національний технічний університет імені Івана Пулюя
(повне найменування вищого навчального закладу)

Факультет комп'ютерно-інформаційних систем і програмної інженерії

Кафедра комп'ютерних наук

Освітній ступінь магістр

Напрямок підготовки

(шифр і назва)

Спеціальність

122 «Комп'ютерні науки»

(шифр і назва)

ЗАТВЕРДЖУЮ

Завідувач кафедри к.т.н., доц., Боднарчук І.О.

«___»

2020 р.

З А В Д А Н Н Я
НА КВАЛІФІКАЦІЙНУ РОБОТУ СТУДЕНТУ

Сивулі Віталію Вікторовичу

(прізвище, ім'я, по батькові)

1. Тема проекту (роботи) Дослідження продуктивності та енергоефективності комп'ютерних систем побудованих на основі новітніх процесорів Intel

Керівник проекту (роботи) Матійчук Любомир Павлович, кандидат економічних наук, доцент
(прізвище, ім'я, по батькові, науковий ступінь, вчене звання)

Затверджені наказом по університету від «6» листопада 2020 року № 4/7-825

2. Термін подання студентом проекту (роботи) 23.12.2020р.

3. Вихідні дані до проекту (роботи) наукові літературні джерела

4. Зміст розрахунково-пояснювальної записки (перелік питань, які потрібно розробити)

Вступ 1. Аналіз предметної області та постановка задачі. 2. Особливості енергоефективності процесора Intel та вплив на продуктивність. 3. Обґрунтування енергоефективності комп'ютерних систем побудованих на основі новітніх процесорів Intel. 4. Охорона праці та безпека в надзвичайних ситуаціях. Висновки. Перелік використаних джерел. Додатки.

5. Перелік графічного матеріалу (з точним зазначенням обов'язкових креслень, слайдів)

Структурна схема Skylake із збільшенням кеш-пам'яті та підсистеми пам'яті. Алгоритм чуйності. Енергія як функція частоти. Структурна схема ядра Skylake. Блок-схема графічного процесора Gen9. Платформа Skylake mobile. Інформація про стан C для процесора Skylake-SP. Результати Вимірювання частоти без оцінки. Переходи частоти AVX. Візуалізація найгіршого сценарію зміни частоти AVX.

6. Консультанти розділів проекту (роботи)

Розділ	Прізвище, ініціали та посада консультанта	Підпис, дата	
		завдання видав	завдання прийняв
Спеціальна частина			
Охорона праці	Дмитроца Л.П., доцент		
Безпека в надзвичайних ситуаціях	Стадник І.Я., професор		

7. Дата видачі завдання

21 вересня 2020р.

КАЛЕНДАРНИЙ ПЛАН

№ з/п	Назва етапів дипломного проекту (роботи)	Термін виконання етапів проекту (роботи)	Примітка
1.	Ознайомлення з завданням до кваліфікаційної роботи	21.09.20-27.09.20	Виконано
2.	Підбір наукових джерел щодо продуктивності та енергоефективності комп'ютерних систем	28.09.20-04.10.20	Виконано
3.	Переклад та опрацювання наукових джерел щодо продуктивності та енергоефективності комп'ютерних систем	05.10.20-11.10.20	Виконано
4.	Виконання дослідження щодо продуктивності та енергоефективності комп'ютерних систем	12.10.20-18.10.20	Виконано
5.	Оформлення розділу «Аналіз предметної області та постановка задачі дослідження»	19.10.20-25.10.20	Виконано
6.	Оформлення розділу «Особливості енергоефективності процесора Intel та вплив на продуктивність»	26.10.20-01.11.20	Виконано
7.	Оформлення розділу «Обґрунтування енергоефективності комп'ютерних систем побудованих на основі новітніх процесорів Intel»	02.11.20-08.11.20	Виконано
8.	Виконання завдання до підрозділу «Охорона праці»	09.11.20-15.11.20	Виконано
9.	Виконання завдання до підрозділу «Безпека в надзвичайних ситуаціях»	16.11.20-22.11.20	Виконано
10.	Оформлення кваліфікаційної роботи	23.11.20-29.11.20	Виконано
11.	Нормоконтроль	30.11.20-05.12.20	Виконано
12.	Перевірка на плагіат	10.12.20	Виконано
13.	Попередній захист кваліфікаційно роботи	14.12.20	Виконано
14.	Захист кваліфікаційної роботи	24.12.20	

Студент

(підпис)

Сивуля В. В.

(прізвище та ініціали)

Керівник проекту (роботи)

(підпис)

Матійчук Л. П.

(прізвище та ініціали)

АНОТАЦІЯ

Дослідження продуктивності та енергоефективності комп'ютерних систем побудованих на основі новітніх процесорів Intel// Кваліфікаційна робота «Магістр» // Сивуля Віталій Вікторович // Тернопільський національний технічний університет імені Івана Пулюя, факультет комп'ютерно-інформаційних систем і програмної інженерії, кафедра комп'ютерних наук, група СНм-61 // Тернопіль, 2020 // с. – 67, рис. – 13, табл. – 3, бібліогр. – 61, додат. – 1.

Ключові слова: МІКРОПРОЦЕСОР, ІНФОРМАЦІНІ ТЕХНОЛОГІЇ, АНАЛІЗ ПРОДУКТИВНОСТІ, МОДЕЛЮВАННЯ СИСТЕМ, ДИНАМІЧНЕ МАШТАБУВАННЯ НАПРУГИ

У цій кваліфікаційній роботі проведено дослідження продуктивності та енергоефективності комп'ютерних систем, побудованих на основі новітніх процесорів Intel.

В першому розділі проведено огляд літературних джерел за тематикою кваліфікаційної роботи. Основну увагу при цьому спрямовано на процесор Intel Skylake. Розглянуто тенденції процесорів та закон Мура.

Під час виконання другого розділу було здійснено огляд енергоефективності процесора Intel та вплив на продуктивність. Розглянуто ефекти апаратно керованих функцій енергоефективності для процесора Intel. Виконано порівняння поколінь процесорів i3, i5 та i7 від Intel.

Результати третього розділу включають в себе: затримки стану C значно збільшились за покоління процесорів Haswell-EP; механізм, який контролює частоту нестандартних частот, має затримку приблизно 10 мс, і неможливо по-справжньому зафіксувати частоту нестандартних частот до певного рівня; неправильне регулювання для робочих навантажень із використанням 512-бітових широких векторів також відбувається на низьких частотах процесора; дані мають значний вплив на споживання енергії процесора, що спричиняє велику помилку в енергетичних моделях, спираючись лише на інструкції.

ANNOTATION

Study of productive efficiency and power saving of computer systems developed on the latest processors Intel// Qualifying work "Master" // Syvulia Vitalii Viktorovych // Ternopil' Ivan Pul'uj National Technical University, Faculty of Computer Information System and Software Engineering, Department of Computer Science, group SNm-61 // Ternopil, 2020 // Pages – 67, Fig. – 13, Tables. – 3, Bibliograms – 61, Appendixs – 1.

Keywords: MICROPROCESSOR, TECHNOLOGY INFORMATION, PERFORMANCE ANALYSIS, SYSTEM SIMULATION, DYNAMIC VOLTAGE SCALING.

This qualification examines the performance and energy efficiency of computer systems based on new Intel processors.

The first section reviews the literature for thematic qualification work. The main focus is on the Intel Skylake processor. Processor tendencies and Moore's law are considered.

During the second section, we reviewed the energy efficiency of the Intel processor and the impact on performance. The effects of efficiently controlled energy efficiency functions for Intel processors are considered. The generations of Intel i3, i5 and i7 processors are compared.

The results of the third section include: C state delays increased to increase the generation of Haswell-EP processors; the non-standard frequency control mechanism has a delay of about 10 ms, and it is not possible to truly record the non-standard frequency to a certain level; incorrect adjustment for workloads using 512-bit wide vectors is also displayed on low frequency processors; The data have a significant impact on the consumption of energy processes, which causes a large error in energy models, relying only on instructions.

ЗМІСТ

ВСТУП	6
1 АНАЛІЗ ПРЕДМЕТНОЇ ОБЛАСТІ ТА ПОСТАНОВКА ЗАДАЧІ ДОСЛІДЖЕННЯ	8
1.1 Енергоефективність та закон Мура	9
1.2 Багатоядерні процесори з вбудованою графікою	10
1.3 Огляд основних характеристик новітнього процесора Intel Skylake..	11
1.3.1 Рішення для тканин, кеш-пам'яті та підсистем пам'яті.....	12
1.3.2 Управління живленням.....	15
1.3.3 Алгоритми технології Intel Speed Shift	16
1.3.4 Контроль моніторингу та енергоефективності	18
1.3.5 Основна мікроархітектура.....	20
1.4 Постановка задачі.....	23
1.5 Висновки до першого розділу.....	23
2 ОСОБЛИВОСТІ ЕНЕРГОЕФЕКТИВНОСТІ ПРОЦЕСОРА INTEL ТА ВПЛИВ НА ПРОДУКТИВНІСТЬ	24
2.1 Функції для максимізації енергоефективності та графіка процесора ...	24
2.2 Покращення продуктивності процесора в порівнянні з попередніми поколіннями	27
2.3 Архітектура та енергоефективність покоління процесорів Intel Skylake-SP	34
2.3.1 Мікроархітектура та механізми енергоефективності.....	34
2.3.2 Апаратно керовані Р-стани (HWP).....	36
2.3.3 Частота AVX-512	37
2.4 Висновки до другого розділу	38
3 ОБГРУНТУВАННЯ ЕНЕРГОЕФЕКТИВНОСТІ КОМП'ЮТЕРНИХ СИСТЕМ ПОБУДОВАНИХ НА ОСНОВІ НОВІТНІХ ПРОЦЕСОРІВ INTEL.....	39
3.1 Налаштування системи тестування новітніх процесорів.....	39
3.2 Час очікування переміщення та поставлена поведінка ACPI.....	40

3.2.1 Р-стани ефективності (PCP)	40
3.2.2 С-стани	41
3.2.3 Регулювання Т-станів	43
3.3 Неосновний частотний масштаб (UFS).....	44
3.4 Механізми обмеження потужності.....	47
3.5 Вплив випуску переходів частоти AVX	49
3.6 Висновки до третього розділу	52
4 ОХОРОНА ПРАЦІ ТА БЕЗПЕКА В НАДЗВИЧАЙНИХ СИТУАЦІЯХ	53
4.1 Охорона праці. Вимоги електробезпеки до приміщень з ЕОМ	53
4.2 Безпека в надзвичайних ситуаціях. Вплив виробничого середовища на працездатність та здоров'я користувачів комп'ютерів	56
4.3 Висновки до четвертого розділу.....	59
ВИСНОВКИ.....	60
СПИСОК ВИКОРИСТАНИХ ДЖЕРЕЛ.....	61
ДОДАТКИ	

ВСТУП

Актуальність теми роботи. За останні кілька десятиліть попит на високопродуктивні обчислювальні технології зростає в геометричній прогресії. Центри обробки даних та хмарні обчислення виступають основою ІТ-інфраструктури. Лише в США вони використовують близько 2% від загального енергоспоживання країни. Оскільки більшість центрів обробки даних все ще покладаються на звичайні енергетичні мережі, життєво важливо оптимізувати споживання енергії, що зменшить робочу температуру та підвищить ефективність.

Сучасний процесор має більшу гнучкість при варіюванні таких параметрів, як тактова частота ядра, технологія турбонагнітача та багатопотокове виконання для оптимізації продуктивності чи енергоспоживання. Загальне припущення полягає в тому, що найбільший приріст продуктивності досягається виконанням програми з максимально можливою тактовою частотою. Однак це означає більш високе споживання енергії та вищі робочі температури. Динамічне масштабування частоти, що використовується у вигляді профілів потужності, корисно, коли центральний процесор не працює, але не ефективно для обмежених пам'яттю тестів.

Мета дослідження – узагальнення результатів досліджень, що зосереджуються на продуктивності та енергоефективності процесорів. Оцінка ефективності ядер і тактової частоти після зміни налаштувань процесора.

Досягнення окресленої мети викликало необхідність виконання таких **завдань**:

- Провести аналіз літературних джерел щодо актуальності дослідження, розглянуто основні питання;
- Визначити різновидність процесорів у комп'ютерних системах;
- Здійснити огляд функцій для максимізації енергоефективності та графіки процесора;
- Провести контроль моніторингу та енергоефективності;

– Провести налаштування системи тестування новітніх процесорів.

Об’єктом дослідження є продуктивність та енергоефективність комп’ютерних систем.

Предмет дослідження – сукупність теоретично-практичних досліджень і популярних проблем дослідження продуктивності та енергоефективності комп’ютерних систем побудованих на основі новітніх процесорів Intel.

Науковою новизною роботи є новий підхід опрацювання матеріалу, вирішення поставлених задач. Нові рішення дозволяють використовувати різні дані по процесорах і задовольнити запит на покращення комп’ютерних систем. Визначення способів впровадження економії енергетики та підвищення продуктивності комп’ютерів.

Практичне значення: в ході виконання кваліфікаційної роботи було проведено загальний аналіз енергоефективності процесорів, огляд основних характеристик новітніх процесорів, аналітичне тестування системи, а також з’ясувати принцип споживання енергії.

Апробація результатів магістерської роботи окремі результати роботи представленні на одній науковій конференції:

1. VIII науково-технічна конференція «Інформаційні моделі, системи та технології». На тему: «Особливості енергоефективності процесорів Intel та вплив на продуктивність». На тему: «Механізми обмеження потужності». На тему: «Управління живленням та контроль енергоефективності процесора Skylake».

1 АНАЛІЗ ПРЕДМЕТНОЇ ОБЛАСТІ ТА ПОСТАНОВКА ЗАДАЧІ ДОСЛІДЖЕННЯ

Зараз комп'ютер став незамінною частиною нашого життя, і продовжується тенденція до так званих «всеосяжних обчислень». Це стосується всеосяжних мереж повсякденного професійного та приватного життя через Інтернет за допомогою «інтелектуальних пристроїв». Ці кінцеві пристрої - це не просто сервери, ПК, ноутбуки, планшети чи смартфони. Інтернет взаємопов'язує об'єкти всіх видів: автомобілі, цифрові вивіски, що адаптують їх вміст за допомогою дистанційного керування, пристрої Smart TV, системи для інтелектуального управління енергією вдома та багато іншого.

Спосіб, яким ми використовуємо всі ці пристрої, змінювався і продовжує змінюватися: сьогодні люди хочуть зв'язатися зі своїми друзями, отримати інформацію та розважитись за допомогою знайомих програм - без проблем та на різних платформах пристроїв. Роблячи це, вони будуть тягнутися до пристрою, який найкраще відповідає кожній відповідній меті. Бачення Intel полягає в тому, щоб на всіх пристроях, підключених до Інтернету, був уніфікований кроссплатформенний та бездоганний досвід «персональних обчислень». Основою цього рішення є технологія Intel.

Тому Intel переходить від виробника мікросхем для ПК до постачальника повноцінних апаратних та програмних платформ, включаючи послуги. Роблячи це, Intel робить акцент на енергоефективній продуктивності та безпеці, а також можливості Інтернету для широкого кола категорій пристроїв. Тут Intel передає переваги закону Мура та його провідної транзисторної технології для підвищення продуктивності та енергоефективних процесорів в інших обчислювальних сегментах.

1.1 Енергоефективність та закон Мура

Мікропроцесори стають дедалі швидшими і меншими, вони ефективно використовують енергію та інтегрують дедалі більшу кількість функцій на одному чіпі. Швидкість розвитку напівпровідникової технології свідчить про кількість транзисторів, основних елементів мікропроцесорів. 2300 транзисторів першого мікропроцесора Intel, 4004 в 1971 році, тим часом стали 1,17 мільярда транзисторів у процесорі Intel Core i7 Extreme [1]. Нанометр (нм) - це мільярдна частина метра - це еквівалентно ширині приблизно три сусідні атоми в шматку металу. Порівняйте це з людським волоссям, що має товщину приблизно 90 000 нм.

Intel виконує закон Мура, який ще в 1965 році постулював спільний засновник Intel, Гордон Мур. Це правило залишається чинним донині і є одним з найважливіших керівних принципів ІТ-галузі. Закон Мура стверджує, що щільність транзисторів (кількість транзисторів на одиницю площі) на мікročіпів подвоюється приблизно кожні 24 місяці. Подвоєння корисної площі поверхні та мініатюризація схемних схем призводить до нових функцій, вищих обчислювальних характеристик і менших виробничих витрат на мікросхему, оскільки менші транзистори дешевші у виробництві, швидше перемикаються, вимагають меншої напруги живлення, генерують менше тепла і мають нижче енергоспоживання.

Intel присвятила себе постійним інноваціям, щоб дотримуватися закону Мура. Так називається модель Tick-Tock для дизайну процесорів [2]. Він заснований на щорічному чергуванні структурної мініатюризації у виробництві мікросхем (Tick) та нової архітектури процесора (Tock).

1.2 Багатоядерні процесори з вбудованою графікою

Intel демонструє, куди рухається в майбутньому, із сучасними процесорами, а саме до процесорів, які інтегрують дедалі більшу кількість функцій на одному чіпі та інтелектуально пристосовують свою продуктивність та енергоспоживання залежно від вимог програми. Більшість поколінь процесорів IntelR Core поєднує в собі візуальну та 3D-графічну технологію з високопродуктивними мікропроцесорами на одному шматку кремнію [3].

Ця інтеграція покращує графічну продуктивність завдяки ще тіснішому поєднанню процесорного та графічного процесів. Графічний движок підключений безпосередньо до кешу процесора. Тому це вже не називається L3-кеш, а кеш останнього рівня. Він перехоплює доступ до пам'яті як з ядер процесора, так і з графічного механізму. У цій «кільцевій» архітектурі графіки та ядра процесора діляться такими ресурсами, як кеш або області пам'яті. Доступ до кешу призводить до значно більшої пропускної здатності графіки, ніж при традиційному доступі до пам'яті [3].

Подальший акцент робиться на вдосконалених та прискорених мультимедійних функціях для таких програм, як професійна обробка зображень, 3D-графіка, обробка відео (HD) та ігри. Наприклад, набір інструкцій IntelR Advanced Vector Extensions (IntelR AVX), який розширений до 256 біт [4], приблизно подвоїть продуктивність додатків із плаваючою точкою (наприклад, обробка зображень, відео, 3D-моделювання, наукове моделювання, фінансовий аналіз), а також як мультимедійні програми.

Протягом останніх років Intel випустила нові версії процесорів Intel Core з вісьмома процесорними ядрами. Довгостроковою метою Intel є розміщення великої кількості процесорних ядер на одному чіпі. Таким чином, майбутні комп'ютери могли б зробити цілком нові програмні програми та інтерфейси людина-машина можливими. 48-ядерний дослідницький процесор Intel-Chip

Computer Cloud (SCC) від Intel представляє важливий крок на цьому шляху. SCC охоплює 48 повністю програмованих процесорних ядер з архітектурою Intel - більше, ніж будь-коли раніше, інтегрованих на одному кремнійному чіпі [5]. Крім того, чіп має дуже швидку мережу, що дозволяє обмінюватися даними між обчислювальними ядрами, а також новими технологіями управління живленням для надзвичайно високої енергетичної ефективності. 48 ядер вимагають лише 25 Вт в режимі очікування або 125 Вт при максимальній продуктивності - це порівнянно з енергоспоживанням двох стандартних побутових лампочок.

З метою прискорення розробки додатків та програмного забезпечення наступного покоління для багатоядерних процесорів (паралельне програмування), Intel заснувала ініціативу MARC (Багатоядерне дослідницьке співтовариство додатків) у вересні 2010 року. MARC охоплює понад 80 дослідницьких установ у всьому світі з понад 100 проектів, що використовують 48-ядерний дослідницький процесор Single-Chip Computer Cloud (SCC) від Intel. На відміну від чотирьохядерних процесорів, проблема програмування багатоядерного програмного забезпечення полягає у розподілі різних паралельно виконуваних додатків на потрібну кількість ядер [6]. У той же час повинні бути забезпечені стандартні вимоги, такі як пам'ять, інтерфейси вводу-виводу та ефективна передача даних.

1.3 Огляд основних характеристик новітнього процесора Intel Skylake

Skylake - кодова назва проекту, що реалізував мікроархітектуру Intel Core 6-го покоління [7], забезпечує рекордні рівні продуктивності та часу автономної роботи у багатьох випадках використання персональних обчислень та форм-факторів. Технологія Intel Speed Shift забезпечує вищу сприйнятливості для користувача продуктивність, швидкість реагування та ефективність, з

більшими перевагами, коли форм-фактор менший, а обмеження потужності більш обмежувальне.

Графіка процесора Skylake забезпечує масштабовану продуктивність, більше 1 Терафлопс обчислень [8], вдосконалені медіа-двигуни з низьким енергоспоживанням, гнучке управління живленням та наскрізний 4K-досвід. Сімейство продуктів Skylake дозволяє розробникам платформ вибирати з широкого спектру можливостей платформи, впроваджувати інновації в продукти для широкого спектра теплових огороджувачів та рішень вводу-виводу та оптимізувати продуктивність системи, використовуючи розширені можливості модуля контролю ефективності (PMU) [9]. Skylake також представляє розширення Intel Software Guard Extensions (Intel SGX), нову технологію для розробників додатків, які прагнуть захистити вибраний код та дані від розкриття або модифікації.

1.3.1 Рішення для тканин, кеш-пам'яті та підсистем пам'яті

Тканина Skylake - це подальший розвиток успішного кільцевого топологічного з'єднання на штампах, вперше представленого в Sandy Bridge [1]. Це масштабоване рішення, яке можна налаштувати для різних похідних однієї конструкції. Він підтримує змінну кількість ядер архітектури Intel (IA) та кілька конфігурацій процесорної графіки. Тканина підтримує протоколи когерентності пам'яті між підключеними агентами. Він також має вбудований кеш останнього рівня (LLC). Когерентна тканина Skylake була розроблена для забезпечення високої пропускної здатності пам'яті з декількох джерел пам'яті: LLC, вбудованої DRAM (eDRAM) та системної пам'яті [10].

Рішення пам'яті Skylake складається з гнучкого та ефективного контролера системної пам'яті, що забезпечує можливість використання системи Skylake на мікросхемі (SoC) на декількох платформах з різними типами

технології DDR [11]. Деякі моделі Skylake, які містять розширені графічні можливості, включають сторонній кеш пам'яті на основі eDRAM. На рисунку 1.1 показана блок-схема SoC.

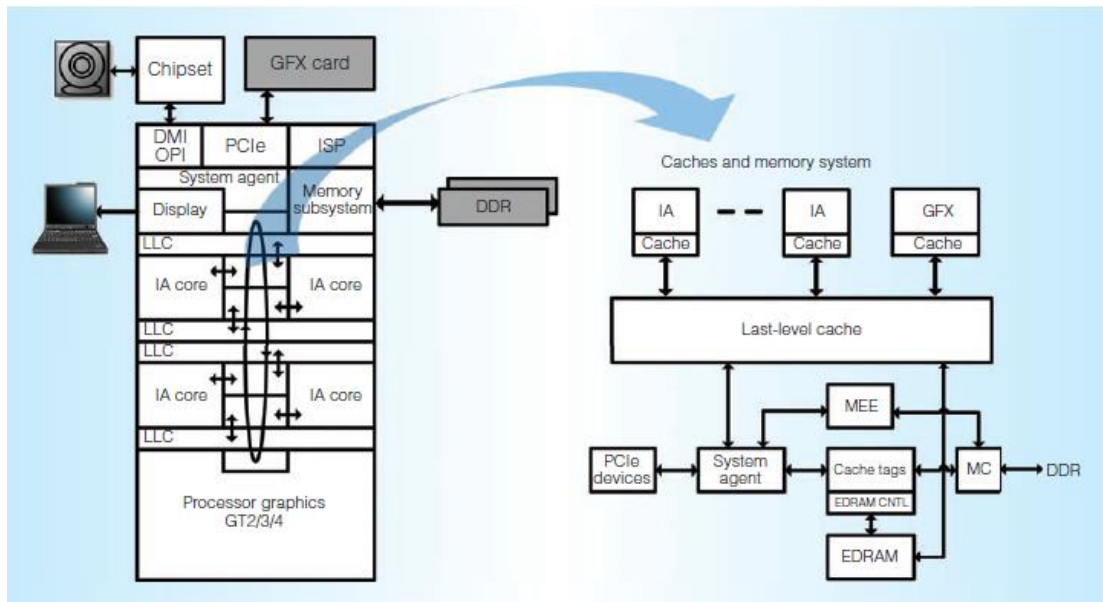


Рисунок 1.1 – Структурна схема Skylake із збільшенням кеш-пам'яті та підсистеми пам'яті. Підсистема пам'яті відображається із стороннім кешем пам'яті на основі eDRAM.

Тканина Skylake визначається в масштабі з фактичною кількістю екземплярів ядер, тобто загальна пропускна здатність кешу пропорційна кількості ядер. Він може передавати повну пропускну здатність пам'яті будь-якої конфігурації пам'яті до IA та графічних ядер [12]. Когерентна тканина була оптимізована для кращого лікування пропусків TOB. Це дозволяє нам передавати більше пропускної здатності від підсистем пам'яті (eDRAM) на тій же частоті або подавати ту ж пропускну здатність, що й міжмережеве з'єднання попереднього покоління на нижчій частоті, тобто для економії енергії. В даний час існує вибір продуктів з двома або чотирма ядрами, з eDRAM або без них, і трьома різними розмірами (і, таким чином, витраченою пропускною здатністю) процесорної графіки. Тканина Skylake може одночасно передавати приблизно

100 Гбайт в секунду (Гбіт / с) пропускної здатності LLC (залежно від частоти) до кожного ядра [13].

Підсистема пам'яті Skylake включає зовнішній контролер пам'яті, механізм шифрування пам'яті та кеш на стороні пам'яті на основі eDRAM.

Контролер пам'яті підтримує DDR3, DDR4 та LPDDR3. Він був розширений до підтримки 2133 МГц для DDR4. Він оптимізований для найкращого використання можливостей пропускної здатності DDR разом із гарантованою якістю обслуговування для ізохронних запитів від вбудованого механізму відображення та вбудованого блоку обробки зображень.

Можливість шифрування пам'яті є важливою частиною технології Intel Software Guard Extensions (SGX).^{2,3} Цей блок є частиною підсистеми пам'яті. Визначені запити на пам'ять направляються на механізм шифрування пам'яті, який забезпечує шифрування даних та функціональність цілісності до або після досягнення системної пам'яті для запису та читання.

Суттєвою зміною в рішенні ієрархії пам'яті Skylake є введення кешу на стороні пам'яті на базі eDRAM. У попередніх поколіннях eDRAM використовувався як кеш-пам'ять L4 і був доступний лише для запитів ІА та графіки.⁴ В результаті архітектурно було видно таким чином, що інструкції, такі як CLFLUSH або WBINVD, бачили його як частину кешу процесора. Це означає, що програмне забезпечення відповідало за змивання модифікованих даних із кешу перед тим, як вони могли отримати доступ до запитів пристрою, які не можна відключити. Завдяки кеш-пам'яті на стороні пам'яті кожен запит основного пристрою чи процесора шукає eDRAM, що гарантує, що всі агенти бачать однакові дані. У разі пропуску адреса, до якої здійснюється доступ, може бути виділена в eDRAM на основі налаштувань CPU, але у випадку потрапляння найновіші дані будуть передані запитувачому. Для оптимальної роботи, графічний драйвер може вибрати кешування певних даних лише в eDRAM, а не в LLC. Зараз у сімействі Skylake є два продукти, які

використовують рішення eDRAM. Один має чотири ядра з графікою GT4 та eDRAM (128 Мбайт), а другий - два ядра з графікою GT3 та eDRAM (64 Мбайт).

1.3.2 Управління живленням

Управління живленням Skylake було сконструйовано та розроблено для забезпечення найбільшого динамічного діапазону потужності серед попередніх процесорів Intel - невеликі системи з пасивним охолодженням 4,5 Вт та високопродуктивні настільні комп'ютери до 95 Вт.

Skylake представив революційний підхід до управління живленням, який називається технологією Intel Speed Shift. Операційні системи традиційно відповідають за управління продуктивністю та енергією, контролюючи напругу та частоту процесора через P-стани [16]. Коли коефіцієнт завантаження процесора високий, операційна система (ОС) припускає, що потрібна висока продуктивність, і наказує центральному процесору працювати в високоефективному P-стані. Коли коефіцієнт використання низький, ОС наказує центральному процесору працювати в низькопродуктивному, більш енергоефективному P-стані, економлячи енергію, не впливаючи на продуктивність. Однак ОС має два основні обмеження щодо здійснення таких оптимізацій:

- Оцінка використання процесора виконується протягом декількох десятків мілісекунд, оскільки все, що швидше, було б занадто нав'язливим.
- ОС має обмежену видимість миттєвої поведінки робочого навантаження та мікроархітектурних характеристик. Наприклад, ОС не знає, чи навантаження обмежена затримкою пам'яті. Запуск на високій тактовій частоті в очікуванні повернення даних витрачає енергію з обмеженим виграшем у продуктивності.

Завдяки технології Intel Speed Shift у Skylake центральний процесор несе повну відповідальність за потужність, продуктивність та енергоефективність, а не за ОС [17]. Повністю автономний алгоритм управління замінює вибір P-стану ОС і досягає на 14 відсотків покращення в порівнянні з попереднім поколінням продуктивності та енергоефективності видимих для користувача тестів сценаріїв.

1.3.3 Алгоритми технології Intel Speed Shift

Традиційний інтерфейс управління живленням складається з перелічення та контролю. Перелік для застарілих ОС містив наступне:

- P1: гарантована частота, яка може бути досягнута в гірших випадках.
- Pn: найбільш енергоефективна частота, яка відповідає мінімальній робочій напрузі.
- P0: опортуністична турбочастота (технологія Turbo boost), яка може бути використана у таких випадках, як додатки з меншим навантаженням та одножилльні.

ОС використовувала використання ядра для визначення та управління запитуваним P-станом у діапазоні від P1 до Pn; коли потрібна була більша продуктивність, ОС запитувала турбочастоту, в якій фактичний контроль передавався процесору [19]. Завдяки новому інтерфейсу Speed Shift Skylake дозволяє ОС визначити мінімальну якість обслуговування (QoS) [20], максимально дозволена частота та уподобання щодо енергоефективності (див. рис. 1.2). Додатковий явний запит про стан P також надається для застарілої роботи.

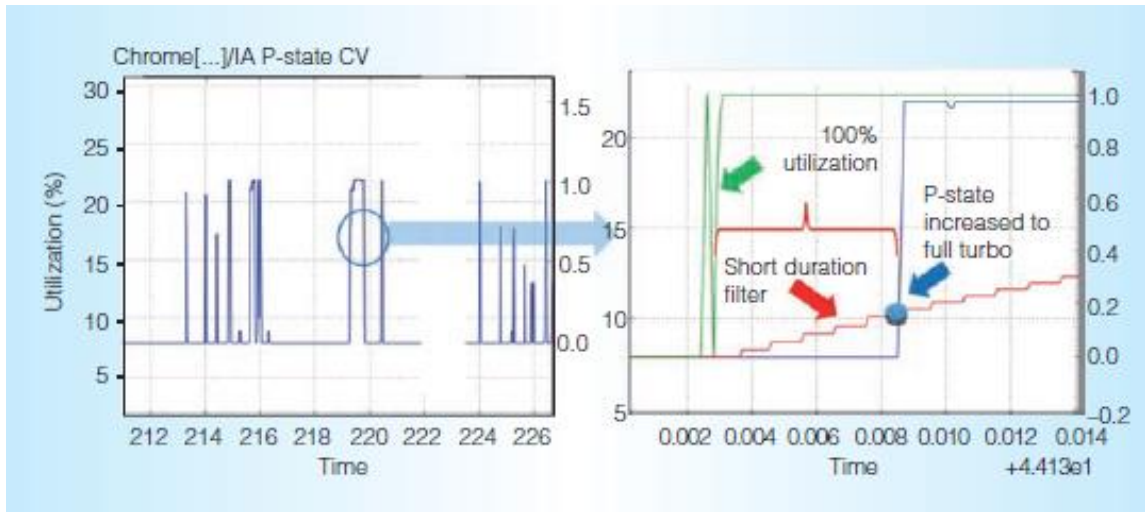


Рисунок 1.2 – Алгоритм чуйності. Цифра ідентифікує дії користувача, спостерігаючи за збільшенням використання після тривалого простою та стрибком до максимальної частоти.

Вибір Р-стану базується на використанні, як і раніше, але зараз спостерігається краща спостережливість характеристик робочого навантаження через короткі проміжки часу з наступними вдосконаленнями [21].

По-перше, залежність потоків від робочих навантажень споживачів-виробників була покращена за рахунок спостереження залежностей потоків. У сценаріях споживчого виробництва CPU може здаватися недостатньо використаним, тоді як насправді потоки чекають завершення іншого потоку: таким чином, зниження Р-стану може призвести до продовження потоку виробника. По-друге, була покращена чуйність користувачів. Інтерактивні робочі навантаження характеризуються високою кількістю завантажень процесора, розділених інтервалами простою. Деякі навантаження на основі кадрів також демонструють велике навантаження через один або кілька інтервалів кадрів [22]. Алгоритм технології Speed Shift виявляє швидкі зміни використання з інтервалом в 1 мс після тривалого простою. Лічильник інтервалів відфільтровує короткочасні дії, такі як процедури обслуговування переривань. Перетин порогового значення лічильника вказує на попит користувача на реакцію, а Р-стан потім починає працювати до повного турбо.

Вимірювання в системі Skylake демонструють 14-відсоткове покращення продуктивності інтерактивних навантажень, представлених WebXPRT. Цей алгоритм виявляє та реагує на дії користувача на порядок швидше, ніж алгоритм, заснований на попиті ОС.

1.3.4 Контроль моніторингу та енергоефективності

Часто користувач захоче продати продуктивність для зниження енергоспоживання для досягнення більш тривалого терміну служби батареї, зменшення шуму вентилятора або зниження температури шкіри. Користувацькими уподобаннями керують інтерфейси ОС, які визначають декілька політик, таких як збалансована та енергоефективна. На рисунку 1.3 описана енергетична ефективність як функція частоти.

Споживання енергії як функція частоти має змінний загальний мінімум PMost Efficient (Pe). Прошивка обчислює цю точку кожні мілісекунди, використовуючи алгоритм, який називається Energy Aware Race to Halt (EARtH). Алгоритм оптимізації енергії використовує P-стан, який обчислюється з використанням алгоритму на основі попиту, описаного раніше, та виконує оптимізацію енергії в двох різних регіонах [18].

Якщо коефіцієнт використання низький і немає необхідності запускати процесор у високоефективному стані, буде обрано найменший (продуктивний) можливий Pstate. Очевидно, що запуск нижче, ніж Pe, є неоптимальним, оскільки це призводить до збільшення споживання енергії. Якщо автономний алгоритм або ОС вимагає P-стану, нижчого від Pe, частота стискається до Pe і слідує за Pe, коли вона змінюється з характеристиками робочого навантаження. Тільки фізичні обмеження, такі як висока температура, можуть змусити частоту нижче, ніж Pe.

Якщо необхідна продуктивність, P-стан збільшується за рахунок енергоефективності. Користувач або ОС можуть надати підказку щодо того, скільки енергії потрібно витратити на певний обсяг продуктивності. Skylake обрав для оптимізації добре відому $\text{Energy} * \text{Delay}$, або EDa.6. ОС забезпечує а, а алгоритми управління живленням постійно контролюють характеристики робочого навантаження, щоб відповідати або перевищувати EDa. Це не тільки економить електроенергію, але й економить мізерний бюджет Turbo для підвищення частоти вище номінальної частоти для фаз, пов'язаних з обчисленнями (див. рис. 1.3).

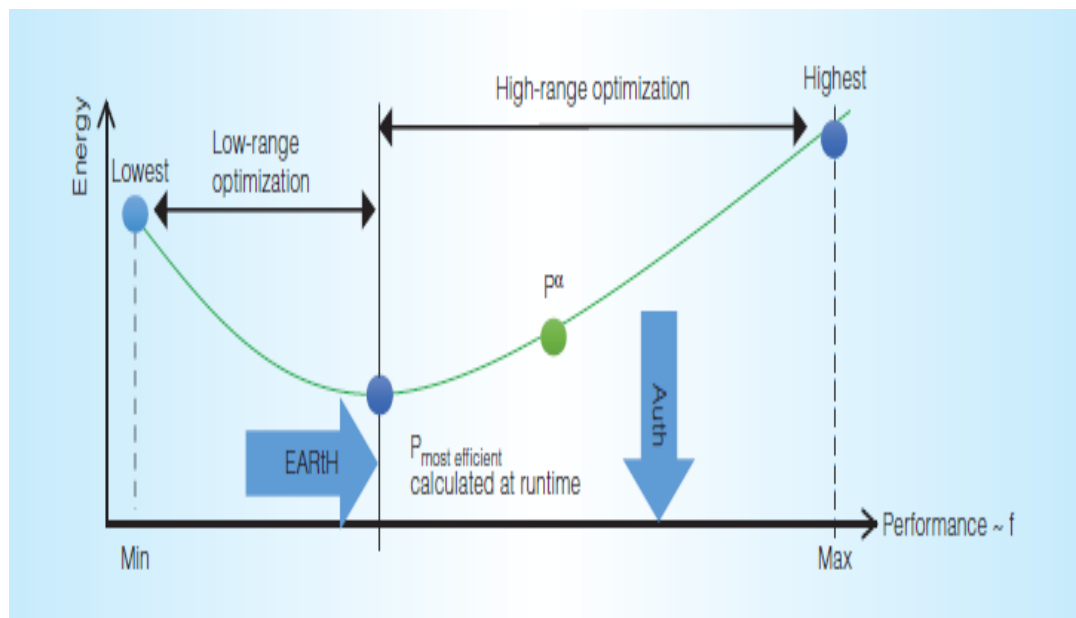


Рисунок 1.3 – Енергія як функція частоти. Гонка до зупинки збільшує енергію процесора, заощаджуючи енергію платформи та чіпа. Існує частота, яка мінімізує загальну енергетичну точку.

Skylake вніс значні вдосконалення в PMU, які в кінцевому підсумку дозволяють розробникам програм витягувати найкращі показники.

Нова архітектурна PerfMon версії 4 представлена з кращою віртуалізацією, інтерфейсом атомності (заморожування) та спільним використанням ресурсів PMU.7 Skylake (див. рис. 1.4) пропонує коротший, але

якісний список подій PMU, що покращує підтримку методу аналізу мікроархітектури зверху вниз - структурований детальний процес для виявлення вузьких місць у роботі 8 - як приклад використання. Також було вдосконалено можливості точного відбору проб на основі подій (PEBS), а також останню філіальну фіксацію (LBR). Оснащення LBR часом є ключовим фактором, що сприяє новому класу звичаїв. У нашій попередній роботі є додаткова інформація про ці вдосконалення та увімкнене використання.

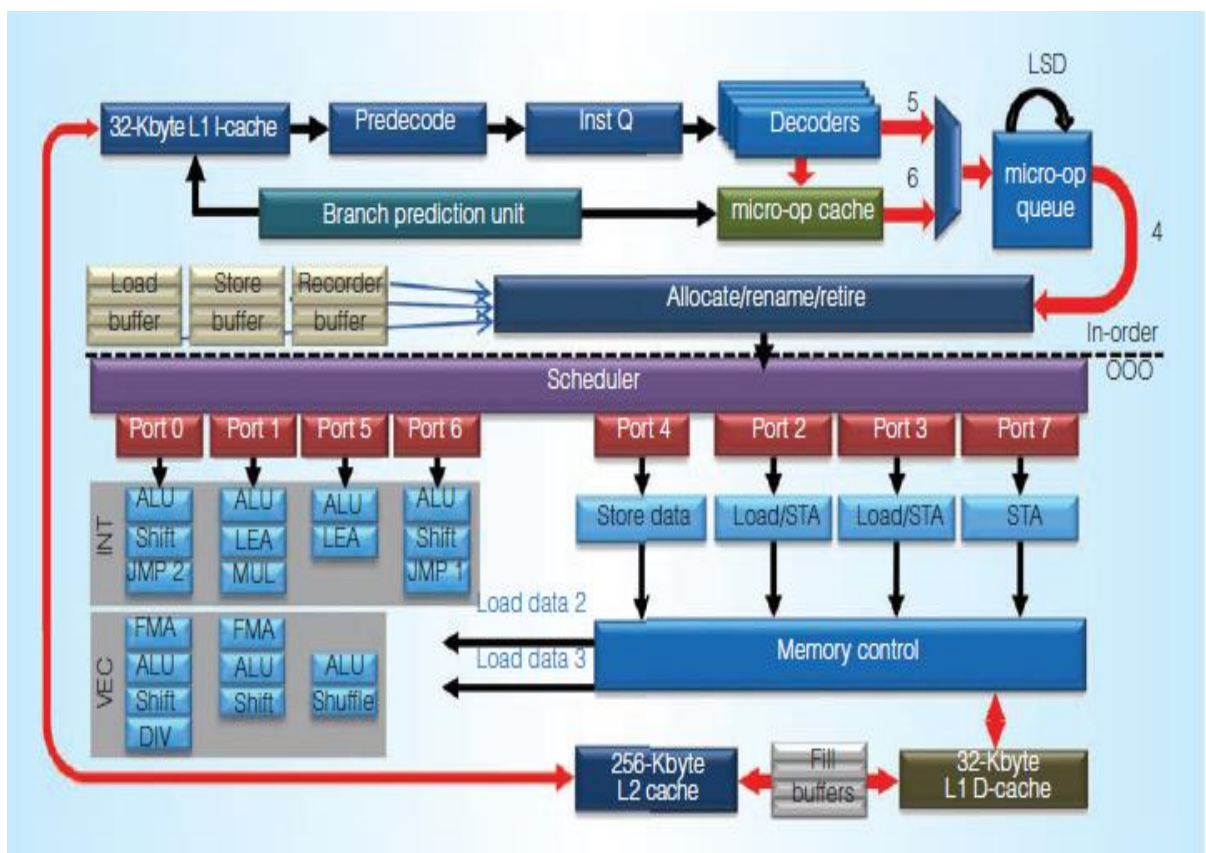


Рисунок 1.4 – Структурна схема ядра Skylake.

1.3.5 Основна мікроархітектура

Ядро Skylake розширює мікроархітектуру Бродвелла, забезпечуючи вищі інструкції за цикл, більшу частоту та ширший динамічний діапазон потужності. Ядро стає ширшим і глибшим за допомогою енергоефективного способу, привносячи більше продуктивності в конверти з нижчою тепловою потужністю.

На рисунку 1.4 показана основна блок-схема, включаючи інтерфейс, невпорядковані структури, модулі виконання та підсистему пам'яті.

Skylake додає багатократні вдосконалення в інтерфейсі ядра для підтримки подачі інструкцій з більшою пропускну здатністю, зменшення покарань за непередбачення гілок та зменшення покарань за пропуск кешу інструкцій. Покращено точність прогнозування гілок Skylake та збільшено його потужність. Крім того, зменшується покарання за неправильно передбачені цілі прямого стрибка. Skylake підтримує більш агресивне попереднє завантаження інструкцій, яке зменшує штраф за пропуски кешу інструкцій. Збільшено як пропускну здатність конвеєра застарілого декодування, так і пропускну здатність кеш-пам'яті мікро-оператора: пікова пропускну здатність застарілого декодування конвеєра збільшена з 4 до 5 мікро-операцій за цикл, а пропускну здатність піку кешу мікро-операції збільшена з 4 до 6 мікро- операцій за цикл. Skylake покращує режим LSD (Loop Stream Detector), який відтворює цикли з невеликим тілом циклу безпосередньо з черги мікро-операції, тим самим вимикаючи решту годинників переднього кінця. Збільшуючи розмір черги мікро-операцій з 28 до 64 мікро-операцій на потік, Skylake збільшує покриття LSD, заощаджуючи більше енергії.

Неповноцінні буфери двигуна Skylake є глибшими, що дозволяє отримати більше паралельності на рівні інструкцій. Skylake виділяє 4 мікрооперації за цикл у планувальник інструкцій (який відповідає за відправлення мікрооперацій до виконавчих підрозділів [ЄС]) та в буфер переупорядкування (який відповідає за обробку несправностей та виведення з експлуатації). Планувальник інструкцій збільшено з 60 до 97 мікрооп, а розмір буфера переупорядкування збільшений з 192 до 224 мікро-операцій [15]. Записи планувальника інструкцій активуються за запитом за допомогою годинникового механізму, тим самим заощаджуючи енергію, коли вона не

використовується. Файл цілочисельного реєстру збільшується зі 168 до 180 записів.

Skylake покращує пропускну здатність та / або зменшує затримку багатьох арифметичних ЄС. Пропускна здатність операцій поділу збільшується в 1,67-2,33 рази, залежно від типу даних та розміру. Затримка більшості поділів із плаваючою точкою та операцій SQR зменшується. Пропускна здатність та затримка ADD, MUL та FMA з плаваючою комою збалансовані та зроблені більш рівномірними. Латентність інструкцій AES зменшена з 7 до 4 циклів.

Основна підсистема пам'яті Skylake покращує продуктивність операцій завантаження та зберігання. Для операцій завантаження Skylake зменшує затримку пересилання магазину до завантаження та значно зменшує покарання за завантаження, розділене сторінками. Для магазинів Skylake використовує глибші буфери магазинів, щоб збільшити пропускну здатність магазину і видає запити в кеш-пам'ять L2 для магазинів, які раніше пропускали кеш-пам'ять L1, зменшуючи таким чином штраф за пропуск магазину. Skylake також збільшує пропускну здатність від вбудованого кешу L2 до спільного кешу L3, дозволяючи збільшити пропускну здатність магазинів потокового передавання. Skylake підтримує нову інструкцію змити рядки кешу CLFLUSHOPT, 2, яку можна використовувати, наприклад, для ефективного змивання сторінки з кешу до дев'яти разів швидше порівняно із застарілою інструкцією CLFLUSH.

Skylake використовує новий вбудований механізм захисту вірусів живлення, який зменшує потужність вірусу Cдуп, запобігаючи типовим сценаріям вірусного живлення (інструкції високої потужності). Це зменшує необхідний запас напруги, що зменшує потужність сердечника приблизно на 3 відсотки і покращує потужність і продуктивність сердечника. Це також покращує ефективність серійного режиму SMT до 11 відсотків.

1.4 Постановка задачі

При проведенні аналітичного огляду публікацій можна сформулювати задачі кваліфікаційної роботи магістра:

1. Підібрати потрібні інформаційні параметри – дані, характеристики та механізми.
2. Провести аналітичне тестування системи.
3. Необхідно визначити вплив обмеження потужності, максимізуючи споживання енергії тестової системи.
4. Потрібно використати лінійну регресію для того, щоб з'ясувати чи відбудеться збільшення споживання енергії при наборі необхідної кількості бітів.
5. Слід з'ясувати різницю при порівнянні частки витрат енергії, що залежать від даних та енергоспоживання базової системи форм використаних даних.
6. Розібратися у впливі випуску переходів частоти AVX.

1.5 Висновки до першого розділу

Skylake забезпечує рекордні рівні продуктивності та часу автономної роботи у багатьох випадках використання персональних обчислень та форм-факторів. Технологія Intel Speed Shift забезпечує вищу сприйнятливості для користувачів продуктивність, швидкість реагування та ефективність. Сімейство продуктів Skylake дозволяє розробникам платформ вибирати з широкого спектру можливостей платформи, впроваджувати інновації в продукти для широкого спектра теплових охолоджувачів та рішень вводу-виводу та оптимізувати роботу системи, використовуючи розширені можливості PMU. Skylake також представляє розширення Intel Software Guard Extensions, які допомагають розробникам додатків, які прагнуть захистити вибраний код та дані від розкриття або модифікації.

2 ОСОБЛИВОСТІ ЕНЕРГОЕФЕКТИВНОСТІ ПРОЦЕСОРА INTEL ТА ВПЛИВ НА ПРОДУКТИВНІСТЬ

2.1 Функції для максимізації енергоефективності та графіка процесора

Графіка Skylake Gen9 надає безліч нових функцій, розроблених для максимізації енергоефективності та виведення найкращого візуального досвіду для ігор та медіа. Щоб зрозуміти, як функції управління живленням у Skylake досягають кращої енергоефективності, спочатку ми розглядаємо високорівневу графічну архітектуру (див. рис. 2.1).

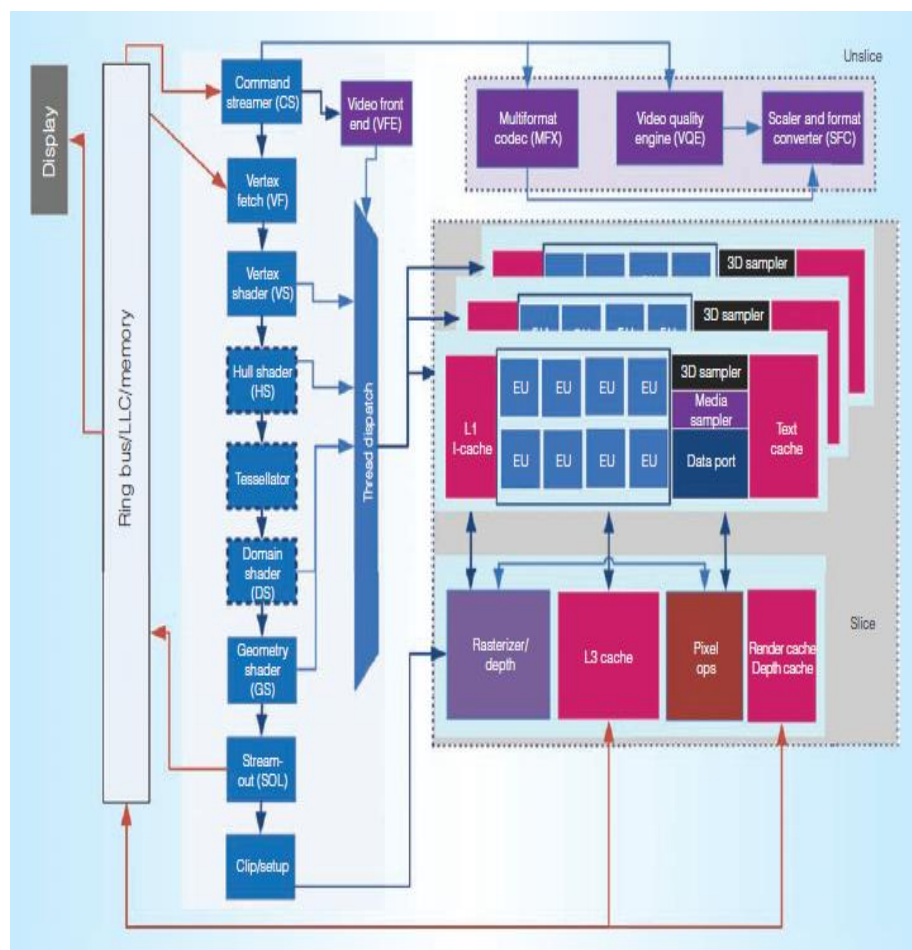


Рисунок 2.1 – Блок-схема графічного процесора Gen9. SKU GT2 з фіксованими функціями на Unslice та спільними функціями та 24 модулями виконання (EU) для візуалізації та обчислень на Slice.

Архітектура розділена на два основні домени: Unslice та Slice. Виправлені функції знаходяться в Unslice. Функції візуалізації, обчислення та програмованого носія знаходяться на фрагменті. Кожен фрагмент складається з трьох підслон і загального фрагмента. Субліс має вісім ЄС, 3D-диск та дискретизатор мультимедіа та кеші першого рівня. Додаткові операції кешування та пікселів L3 є загальними для фрагмента. SKU HD Graphics має один фрагмент, а Iris та Iris Pro Graphics - два та три фрагменти відповідно з додатковим eDRAM.

Таблиця 2.1 – Порівняння блоку моніторингу продуктивності Skylake та попередника

Особливість		Haswell	Skylake
PerfMon	Версія Arch PerfMon	3	4
	Висвітлення подій (мікроархітектури)		Багатше
	Якість подій		Краще
	Аналіз мікроархітектури зверху вниз	Базовий (SMT вимкнено)	Точний (SMT увімкнено)
PEBS	Висвітлення зовнішніх подій	Ні	Так
	Включений лічильник часу	Ні	Так
LBR	Інформація про час	Ні	Так
	Кількість записів	16	32

Масштабованість від 24 до 72 EU може легко забезпечити більше 1 Tflops 32-бітової обчислювальної потужності (2 Tflops 16-бітної), яка працює в межах 45 Вт від теплової проектної потужності. Пропускна здатність конвеєра графічного візуалізації збільшена для кращої підтримки вимогливого 3D-

рендеринга. Стиснення візуалізації без втрат додатково зменшує пропускну здатність пам'яті і може зменшити споживання енергії.

Кілька медіа-двигунів було перепрофільовано для кращої підтримки малопотужних медіа. Багатоформатний механізм кодеків не тільки додає нові функції кодеків, такі як декодування та кодування H.265 / HEVC (високоєфективне кодування відео), але також включає спеціальний низькопотужний, H.264 / AVC (розширене кодування відео) низький кодер затримки під назвою режим швидкої синхронізації відео FF (фіксована функція), який підтримує програми в режимі реального часу без використання основного конвеєра візуалізації. Це особливо корисно для бездротового дисплея, відео-чату або запису на камеру. Механізм якості відео покращив енергоефективність, забезпечуючи високоякісні функції обробки відео при невеликому бюджеті енергії. В додаток, до Unslice додано абсолютно новий механізм, який називається Scaler and Format Converter, для зміни розміру зображення та перетворення формату, який можна використовувати під час відтворення відео та інших сценаріїв, також не використовуючи конвеєр візуалізації. Медіа-операції також використовують стиснення пам'яті без втрат, щоб зменшити проміжний трафік двигуна для кращої продуктивності та потужності.

Управління графічним живленням збільшило гнучкість порівняно з попередніми поколіннями. Серед багатьох удосконалень управління енергоспоживанням ми виділяємо кілька важливих змін, які безпосередньо забезпечують переваги продуктивності.

- Зрізання / розрізання зрізів. Slice та Unslice тепер можуть працювати в різних доменах тактової частоти, і їх можна самостійно регулювати. Основний механізм візуалізації у фрагменті може бути повністю вимкнений під час роботи з фіксованою функцією носія в режимі розрізання.

Таким чином, Skylake може досягти цілоденного відтворення відео Ultra-HD 4K на типовому мобільному ПК.

- Більш точне управління енергоспоживанням. Кожен зріз або пару ЄС також можна вмикати та вимикати, щоб збалансувати продуктивність та потужність. Кожна підрізка може бути заблокована годинником, якщо вона не використовується активно. Програмоване кодування - це варіант використання, який може допомогти цій функції. Він використовує програмовані пробовідбірники носіїв та ЄС для завершення пошуку руху, прийняття рішень та контролю швидкості. У високоякісному режимі кодування, який є обчислювально інтенсивним, ми можемо вмикати всі фрагменти. У високошвидкісному режимі кодування, який має обмежений паралелізм, ми можемо тримати один фрагмент і навіть вимикати невикористані ЄС для кращої продуктивності та енергоефективності.

- Кілька кривих напруги та частоти (VF) та вибір стану C. Оскільки графічний процесор може працювати в різних конфігураціях, що визначаються тим, скільки фрагментів вмикаються та вимикаються, ідеальна крива VF змінюється для кожного з них. Skylake підтримує кілька кривих, дозволяючи підвищити максимальну частоту графічного турбо, коли графічний процесор у меншій конфігурації, що дозволяє збільшити продуктивність. Крім того, алгоритм вибору, в який C-стан входить і виходить, є більш агресивним і може швидко розпізнати активний стан та режим очікування машини та перевести GPU в оптимальний стан.

2.2 Покращення продуктивності процесора в порівнянні з попередніми поколіннями

Різновидність процесорів Intel Core можна визначити за декількома критеріями: їх кількість ядер, тактову частоту (у ГГц) та розмір кешу. Кількість

інтегрованих технологій Intel також відіграє велику роль. Набагато рідше можна знайти такі речі, як TurboBoost та Hyper-Threading у процесорах i3 порівняно з процесорами i5 або i7 [14].

На найпростішому рівні ці цифри відображають місце розташування кожного класу процесорів Intel Core відносно один одного і покликані дати користувачам уявлення про те, яку продуктивність вони повинні очікувати від кожного.

За допомогою цієї системи класифікації процесорів, полягає в тому, що розробники комп'ютерів повинні очікувати:

- Intel Core i3 для забезпечення адекватної продуктивності основних завдань;
- Intel Core i5 для забезпечення високої продуктивності більшості завдань;
- Intel Core i7 для забезпечення чудової продуктивності для найскладніших завдань.

Оскільки деякі старі процесори i7 можуть не перевершувати новітні процесори i5, ці позначення не завжди слід сприймати щось основне, але якщо потрібен короткий і простий спосіб зрозуміти, який процесор кращий, до кожного Intel Core прикріплені ідентифікуючі цифри.

Процесори Intel i3, i5 та i7 від Intel також можна згрупувати за цільовими пристроями, які призначені для ноутбуків та настільних комп'ютерів. Потужність тут є великим диференціатором, оскільки процесори всередині мобільних пристроїв, як правило, повинні задовольнятися меншою витратою енергії.

Чим більше ядер всередині процесора Intel Core, тим більше потоків можна одночасно використовувати. Комп'ютер з більшим числом ядер буде

кращим для багато потокових завдань, таких як веб-сервери, веб-браузери та деякі відеоігри.

Хоча навколо цього не існує жорсткого правила, також швидше можна знайти менше ядер в Core i3, ніж у Core i5 або i7. За деякими винятками, наприклад, процесори Intel Core i3 8-го покоління “Coffee Lake”, мають лише два ядра. Причиною цього є те, що процесори i3 розроблені таким чином, щоб досягти нижчої ціни, ніж для великої продуктивності. Вони знаходяться всередині комп’ютера, орієнтованих на більш бюджетний сегмент ринку, де потреба в доступному пристрої переважає попит на більш високу продуктивність.

Процесори Intel Core i5 потужніші, ніж їх аналоги i3. У них більша швидкість середніх тактових частот, тому вони можуть виконувати завдання ефективніше. При великій кількості ядер, процесори можуть обробляти більше потоків одночасно.

У минулі роки лінійка процесорів Intel Core i5 будувалася навколо процесорів з чотирма ядрами. В останньому поколінні Intel Coffee Lake, виробник збільшив рівень до шести ядер для багатьох своїх процесорів i5.

Процесори Intel Core i7 мають більше ядер та вищі середні тактові частоти. Основні центральні процесори Intel Kaby Lake i7 включали лише чотири ядра, але більш сучасне сімейство процесорів i7 має до восьми ядер і стандартну тактову частоту до 3,6 ГГц.

Для таких повсякденних речей, процесор i5 з вищою тактовою частотою буде вартувати більше грошей, ніж кращий i7. Часто вибір між одним процесором Intel Core та іншим зводиться до того, чи хочете ви мати центральний процесор з більшою кількістю ядер або той, що має кращі такти швидкості. Тут потрібно врахувати те, що існує важлива різниця між стандартною тактовою частотою процесора та турбо тактовою частотою.

Перший - це нормальна тактова частота, яку може забезпечити процесор Intel. Останній стосується найшвидших швидкостей, яких він може досягти за допомогою функцій Intel Turbo Boost.

Такі види технологій, що знаходяться виключно в процесорах Intel, є однією з ключових речей, що розділяють процесори i3, i5 та i7, оскільки більш доступні процесори i3 та деякі процесори i5 часто не використовують їх.

Функція Intel Turbo Boost дозволяє процесору динамічно збільшувати тактову частоту, коли виникає потреба. Максимальна частота, яку Turbo Boost може збільшити в будь-який момент, залежить від ряду факторів. Сюди входить кількість активних ядер, споживання струму, споживання енергії та температура процесора.

Наприклад використання Core i5-4570T з максимально допустимою частотою процесора – 3,6 ГГц, тоді як основна тактова частота – 2,9 ГГц. Процесор Haswell i3 4-го покоління, такий як Core i3-4330 має вищу базову тактову частоту 3,1 ГГц. Оскільки жоден з процесорів Haswell Core i3 від Intel не має TurboBoost, i5-4570T може випередити їх, коли це потрібно.

Всі процесори останнього покоління Intel i5 та i7 оснащені найновішою версією технології Turbo Boost Max Technology та випереджають будь-який Core i3.

Інша річ, яка відрізняє Intel i3, i5 та i7 – це розмір кешу. Як оперативна пам'ять комп'ютера, так і кеш процесора служать місцями для часто використовуваних даних. Без них центральний процесор покладається у всьому на жорсткий диск.

Коли центральний процесор виявляє, що він продовжує використовувати ті самі дані знову і знову, він зберігає їх у своєму кеші.

Кеш процесора схожий на оперативну пам'ять, тільки швидший – оскільки він вбудований в сам процесор. Цінність компонента вираховується

навколо його здатності мінімізувати взаємодію з жорстким диском комп'ютера, а значення кеша процесора полягає в тому, що він мінімізує взаємодію з оперативною пам'яттю комп'ютера.

Розміри кешу значно зросли за останні покоління. Процесор із більшим кешем дозволяє швидше отримати доступ до більшої кількості даних. Це одна з основних причин, чому i7 кращий за i5 та чому i5 значно випереджає i3.

Процесори Intel 4-го покоління Haswell Core i3 мали 3 МБ або 4 МБ кеш-пам'яті, Haswell Core i5 - 4 МБ або 6 МБ кеш-пам'яті, а процесори Haswell Core i7 мали значні 8 МБ кешу, за винятком i7-4770R, який мав лише 6 МБ. На відміну від цього, більш сучасний процесор 8-го покоління Coffee Lake i3 має 6 МБ або 8 МБ. Тим часом, процесори 8-го покоління Coffee Lake i5 та i7 мають вдвічі більше, ніж аналоги четвертого покоління, на 12 МБ та 16 МБ.

Hyper-Threading в основному є еквівалентом чогось типу турбо-підсилення, коли мова йде про збільшення потужності ядер процесора.

За звичайних обставин одне ядро центрального процесора може обслуговувати лише один потік одночасно. Якщо центральний процесор є двоядерним, то одночасно можуть обслуговуватися лише два потоки. Якщо процесор має чотири ядра, він може обробляти чотири потоки одночасно. Hyper-Threading досить істотно змінює цю динаміку, оскільки дозволяє одному ядру обслуговувати декілька потоків одночасно за допомогою віртуалізації.

Це одна з багатьох причин ядер процесорів вважати кремем, де йдеться про звичайні настільні процесори. Вони не тільки мають найбільшу кількість ядер, вони також підтримують Hyper-Threading і здатні на більшу кількість потоків, ніж вони спочатку пропонують.

Якщо центральні процесори i5 пропонують настільки чудовий підрахунок ядер і тактову частоту, а також деякі найкращі технології, що підвищують продуктивність. Ацентральні процесори Intel i7 пропонують майже всі самі

кращі технології, які компанія має у своєму розпорядженні. Процесори Intel Core i9 просувають це ще далі, збільшуючи кількість ядер до двозначних цифр. Новітні процесори Intel i9 досягають 18 ядер та 36 потоків.

Таблиця 2.2 – Продуктивність та час автономної роботи Skylake порівняно з попередниками

Продуктивність процесора 6 покоління Skylake порівняно з попередниками	Теплова розрахункова потужність (TDP)	Обчислювальна продуктивність	Продуктивність 3D-ігор	Час роботи акумулятора
Intel Core m7, мобільний Y-процесор, Intel HD graphics	4.5 W	До 1.25 проти Broadwell	До 1.45 проти Broadwell	Додаткових 1,2 години проти Broadwell
Intel Core i7, мобільний U-процесор, Intel Iris graphics	15 W	До 1.28 проти Broadwell	До 1.71 проти Broadwell	Додаткових 1,1 години проти Broadwell
Intel Core, сокет 1151, низька потужність	35 W	До 1.51 проти Haswell	До 1.26 проти Haswell	Не застосовується
Intel Core, сокет 1151, стандартна потужність	65 W	До 1.36 проти Haswell	До 1.30 проти Haswell	Не застосовується
Intel Core, сокет 1151, 91 W	91 W	До 1.30 проти Haswell	До 1.26 проти Haswell	Не застосовується

Skylake забезпечує значне покращення продуктивності процесора та 3D-ігор порівняно з архітектурою попереднього покоління, Broadwell, в конвертах потужності 4,5 та 15 Вт (див. таблицю 2.2). Вперше процесори Intel Core U (15 і 28 Вт) з графікою Iris Graphics включають eDRAM, який може збільшити продуктивність 3D-ігор на 40 відсотків у сценаріях, обмежених пропускнуою здатністю.

На іншому кінці спектра, зменшення потужності під час відтворення відео та перегляду веб-сторінок дозволяють Skylake забезпечити до 1 години додаткового часу автономної роботи над Broadwell, припускаючи, що всі інші компоненти платформи (такі як панель, сховище та пам'ять) однакові.

На рисунку 2.2 показано, що процесори Skylake, спрямовані на безвентиляторні форм-фактори 2-в-1 та активно охолоджувані ультрабуки, є найбільш масштабованими процесорами Intel на сьогодні. Обчислювальна продуктивність може масштабуватися в 2,6 рази, а продуктивність 3D-ігор - у 4,4 рази - від 3,5 Вт до 28 Вт охолодження.

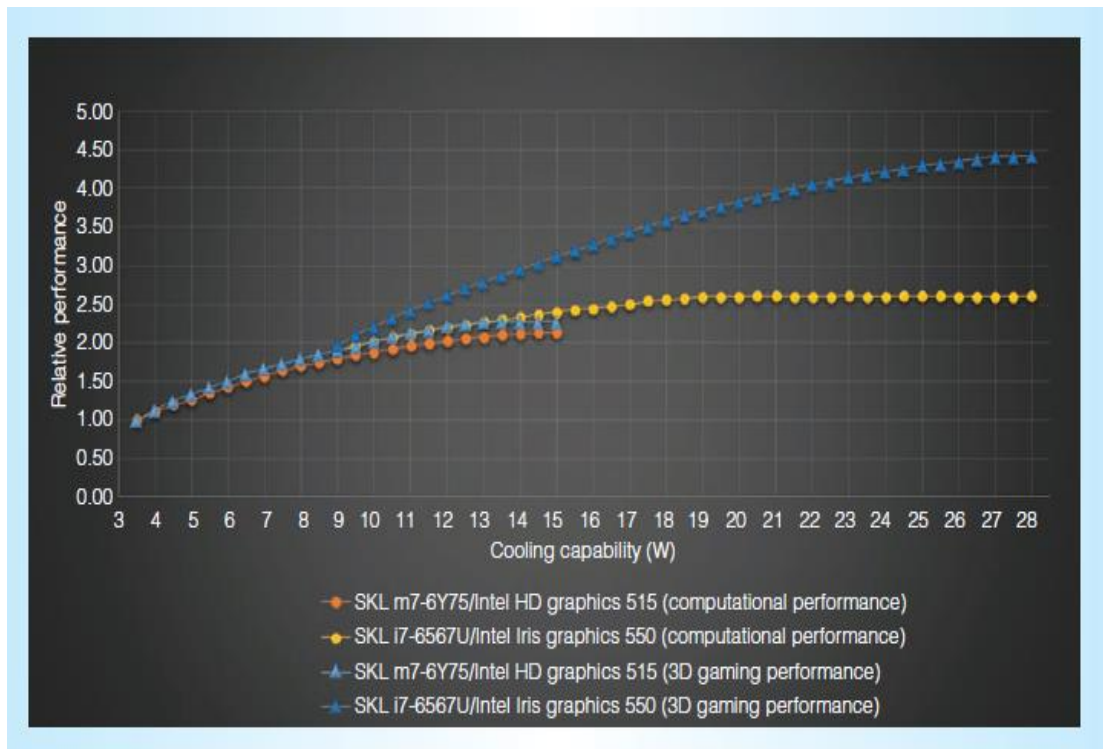


Рисунок 2.2 – Платформа Skylake mobile має масштаб з охолоджувальною здатністю, що в чотири рази перевищує продуктивність від 3,5 до 28 Вт.

Отже додаткові ядра процесора і вища турбочастота на 91-Вт настільному процесорі Skylake можуть ще більше збільшити обчислювальну продуктивність до шести разів. Цей широкий динамічний діапазон продуктивності завдяки одному SoC дозволяє виробникам оригінального обладнання вибрати цільовий

рівень продуктивності та розробити найтонший форм-фактор, який може його забезпечити.

2.3 Архітектура та енергоефективність покоління процесорів Intel Skylake-SP

Процесори Skylake представляють кілька нових мікроархітектурних функцій, які підвищують продуктивність, масштабованість та ефективність. Крім того, вони підтримують особливості енергоефективності старих архітектур та впроваджують нові.

2.3.1 Мікроархітектура та механізми енергоефективності

На базовому рівні AVX-512 (або AVX512F, якщо бути точнішим) є найбільш очікуваною функцією для HPC. З AVX-512 тепер цілий рядок кешу (64 В, один регістр ZMM) тепер може бути використаний як вхід для векторних інструкцій. Крім того, з новим префіксом EVEX кількість адресних SIMD-регістрів подвоїлася до 32. Отже, 2 кіБа даних тепер може міститися у векторних регістрах, порівняно з 512В в архітектурах Haswell та Broadwell. Пропускна здатність кеш-пам'яті L1D була подвоєна, тоді як пропускна здатність кеш-пам'яті L2 все ще обмежена 64 Б / цикл. Розмір кешу L2 збільшився з 256 кілобайт до 1 МіБ, тоді як розміри зрізів LLC зменшились з 2,5 до 1,375 МіБ. Збільшена кількість буферів магазину може призвести до швидшої потокової пропускної здатності магазину. Крім того, усі коди мають переваги розширених функцій, що не працюють.

Uncore також зіткнувся з великим реконструкцією. У попередніх архітектурах (починаючи з Nehalem-EX) ядра були з'єднані кільцевою мережею. Збільшення кількості ядер в архітектурах Haswell та Broadwell

призвело до введення другого кільця із зв'язками між ними. Тепер Skylake представляє архітектуру сітки, де кожне ядро, включаючи його зріз LLC, підключається до 2D-сітки (див. рис. 2.3). Зовнішній зв'язок (PCIe, UPI) розміщений з одного боку сітки. Крім того, два ядра в решті сітки замінюються вбудованими контролерами пам'яті (iMC), кожен з яких може розміщувати до трьох каналів DRAM. Процесори на базі Skylake-SP мають різноманітні варіанти з різними зовнішніми зв'язками та кількістю ядер.

Функція кластера на штампі (CoD) тепер називається кластеризацією NUMA і дозволяє розділити ядра на два домени NUMA. Узгодженість кеш-пам'яті реалізована за допомогою MESIF та домашнього протоколу snoop на основі каталогів.

Як і його попередники, процесори Skylake-SP підтримують Per-Core P-States (PCP) і Uncore Frequency Scaling (UFS). Це дозволяє чітко контролювати ефективність та енергоефективність. Похибка енергоефективності (EPB) вказує, чи слід збалансувати профіль на час роботи або споживання енергії, або щось середнє. Механізм енергоефективного турбо (EET) вже був доступний на платформі Haswell. Усі ці особливості докладно описані в [23].

Функція Turbo Boost Max 3.0 (TBM3) була представлена з процесорами Broadwell-E. Його основна ідея - покращити продуктивність одного потоку, виконуючи робоче навантаження на ядрі процесора, що забезпечує найкращу потужність та продуктивність. Через різницю у виробничому процесі одиночні процесори та ядра можуть мати різні ефективні характеристики. Це сприяє вищим турбочастотам на одних ядрах і менших на інших, що, в свою чергу, впливає на продуктивність одного потоку залежно від апаратного ядра, яке його виконує. Однак в даний час жоден із доступних на даний момент масштабованих процесорів Xeon не підтримує цю функцію. Очікуваною особливістю процесорів Skylake є апаратний режим роботи (HDC) [38, розділ 14.5], також відомий як SoC Duty Cycling. HDC впроваджує більш

грубозернистий циклічний цикл порівняно з T-станами. На відміну від синхронізації годинника, HDC використовує C-стани з регулюванням потужності. Однак ця функція орієнтована на мобільні та настільні процесори і не описується більш детально в цьому документі.

2.3.2 Апаратно керовані P-стани (HWP)

Представлений із процесорами Intel процесорів Broadwell, апаратно керованими P-станами (псевдонім Hardware Power Management (HWPM) або SpeedShift) переміщують рішення щодо використання частоти та стану C з операційної системи на процесор [38, розділ 14.4]. Це усуває збурення циклу управління ОС, який регулярно перериває навантаження. Крім того, це підвищує швидкість реагування, оскільки апаратний цикл управління може виконуватися частіше без збурень. Хоча апаратне забезпечення процесорів Broadwell діє переважно автономно, процесори Skylake-SP забезпечують інтерфейси для співпраці з ОС за допомогою переривань [38, Розділ 14.4.6]. За допомогою інтерфейсу HWP ОС може визначити продуктивність та профіль потужності, а також встановити мінімальну, ефективну та максимальну частоту. Під Linux, засіб `x86_energy_policy` можна використовувати для безпосередньої взаємодії з апаратним інтерфейсом. HWP супроводжується додатковим лічильником лічильника `MSR_PPERF`, який містить підрахунок продуктивних показників (PCNT), який повинен збільшуватися лише у тому випадку, якщо цикл використовувався ефективно.

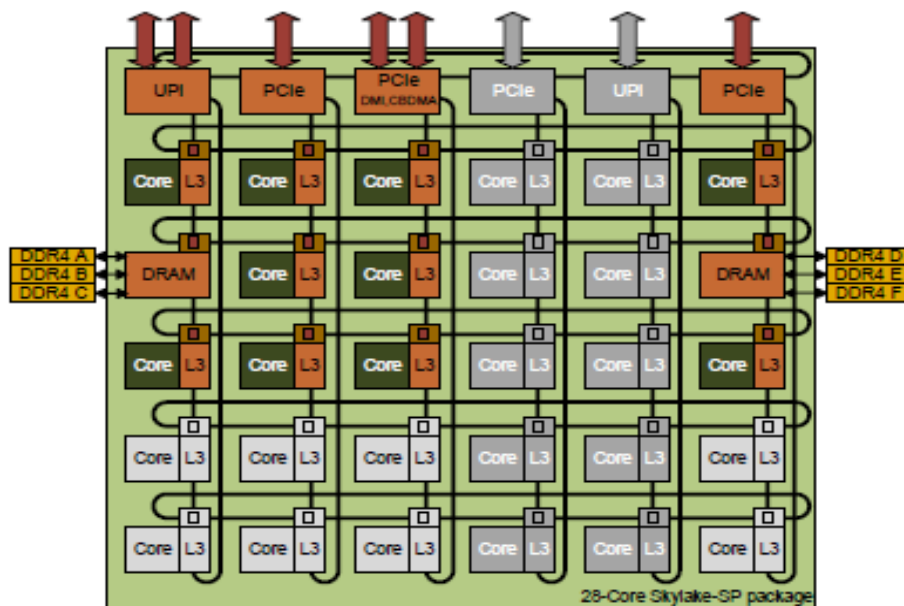


Рисунок 2.3 – 28-ядерний пакет Skylake-SP, темно-сірі компоненти видалено в 18-ядерних процесорах, світло-і темно-сірі компоненти видалено для 10 основних пакетів

2.3.3 Частота AVX-512

Сучасні процесори Intel не можуть одночасно використовувати всі їх компоненти на контрольній частоті. З подвоєнням ширини SIMD до 512 біт споживання енергії виконавчими блоками SIMD [27] тепер змінюється ще більше. Це стосується як їх статичного, так і динамічного енергоспоживання. Перший зменшується за рахунок відключення тих компонентів виконавчих блоків, які обчислюють верхні частини реєстру. Отже, можливе динамічне споживання енергії зростатиме з (а) шириною вектора, (b) формою оброблених даних, (c) складністю операції та (d) частотою та напругою, яку виконує блок використання. Тим не менше, середнє споживання електроенергії повинно залишатися в межах заданого ліміту TDP в довгостроковій перспективі. Оскільки ядро процесора використовуватиме повну ширину SIMD, задану програмою, і не може змінити оброблені дані або операцію, єдиним варіантом

зниження споживання енергії є динамічне масштабування напруги та частоти (DVFS) через PCPs та UFS [28]. Це призводить до трьох різних діапазонів частот, які слід враховувати: нормальних частот, частот AVX та частот AVX-512 [29]. Кожен варіюється від гарантованого посилення до можливої турбочастоти, яка залежить від кількості активних ядер. Однак ці назви можуть ввести в оману, оскільки інструкції AVX можна розрізнити на важкі та легкі інструкції. Наприклад, частоти AVX застосовуються до робочих навантажень, що використовують множення з плаваючою точкою (FP) та цілим числом із 256-бітовою векторною шириною, але також до робочих навантажень, які використовують легкі інструкції AVX-512 (тобто без FP та INT MUL). Аналогічно частоти AVX-512 використовуються для навантажень із важкими інструкціями AVX-512.

Однак зміни частоти не обробляються миттєво, як описано Мазузом та співавторами в [36]. Тому для зменшення споживання енергії перед зміною частоти повинен бути застосований інший механізм. За словами Агнера [30], початкові інструкції AVX або AVX-512 видаватимуться повільніше, якщо вони не використовувались нещодавно.

2.4 Висновки до другого розділу

У даному розділі розглянуті особливості енергоефективності процесора IntelSkylakeпри продуктивному навантаженні системи. Дані процесори представляють нові мікроархітектурні функції, впроваджують їх та підтримують особливості енергоефективності старих архітектур.

3 ОБҐРУНТУВАННЯ ЕНЕРГОЕФЕКТИВНОСТІ КОМП'ЮТЕРНИХ СИСТЕМ ПОБУДОВАНИХ НА ОСНОВІ НОВІТНІХ ПРОЦЕСОРІВ INTEL

3.1 Налаштування системи тестування новітніх процесорів

Для нашого аналізу ми використовуємо систему, оснащену двома 18-ядерними процесорами Intel Xeon-SP 6154 Gold з підтримкою Hyper Threading під управлінням Ubuntu 18.04.1 з ядром Linux 4.17.0-3. Огляд системи наведено в Таблиці 3.1.

Якщо ввімкнено HWP, навіть навантаження, пов'язане з пам'яттю, працює на максимально дозволений частоті, чого не очікуємо. Згідно з вимірами, регістр PCNT MSR_PPERF збільшується з кожним циклом навіть для робочого навантаження, яке більшу частину часу зупиняється (наприклад, вказівки або доступ до потокових даних у DRAM). Тому ми не використовували HWP. ЕЕТ також, схоже, не впливає на обчислювані / пов'язані з пам'яттю робочі навантаження і тому залишається за замовчуванням (увімкнено). Ми використовуємо драйвер `acpi_cpufreq` та регулятор користувацького простору для управління основними частотами, а модуль ядра `msr` для зміни нерекордних частот. Єдиними доступними C-станами в нашій системі є C1 (HLT), C1E (HLT + DVFS) та C6 (регулювання потужності). Обмеження потужності, надані RAPL, становлять 240 Вт протягом 1 секунди та 200 Вт протягом 100 секунд.

Таблиця 3.1 – Деталі тестової системи

Процесор	2x Intel Xeon SP 6154 Gold
Діапазон частот (вибір P-станів)	1.2 – 3.0 GHz
Турбочастота	до 3.7 GHz

Продовження таблиці 3.1

Діапазон частот AVX	2.6 – 3.6 GHz
Діапазон частот AVX-512	2.1 – 3.5 GHz
Енергетичний перф. упередженість	збалансований
Енергоефективний турбо (EET)	увімкнено
Uncore масштабування частоти (UFS)	1.2 – 2.4 GHz
Стани продуктивності обладнання (HWP)	відхилено
Поядерні р-стани (PCPs)	увімкнено
Оперативна пам'ять	12x 32GB DDR4-2666
Материнська плата	Tyan S7106
Потужність холостого ходу (швидкість вентилятора встановлена на максимальну)	78W
Лічильник потужності	ZES LMG 450
Точність	0.07% + 0.5W

3.2 Час очікування переміщення та поставлена поведінка ACPI

Традиційні механізми енергоефективності визначені в Розширеному інтерфейсі конфігурації та живлення (ACPI) [37]. Сюди входять набори P-, C- і T-станів, які можна використовувати для зниження енергоспоживання.

3.2.1 P-стани ефективності (PCR)

Однією з традиційних стратегій енергозбереження є зменшення частоти основних процесорів. Попередня робота ілюструє, що зовнішній механізм відповідає за встановлення частот ядра в процесорах Haswell-EP [23]. Механізм застосовує зміни до стану P через регулярний інтервал. Тривалість зміни

частоти залежить від часу запиту на зміну порівняно з внутрішнім інтервалом оновлення механізму. Процесор Skylake-SP демонструє подібну поведінку (див. рис. 3.1).

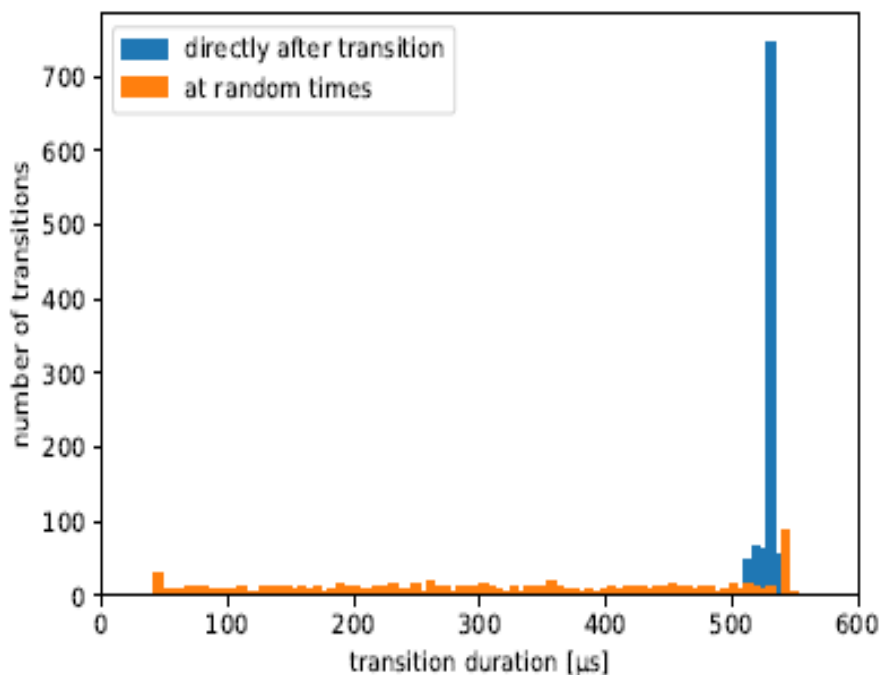


Рисунок 3.1 – Зразкова гістограма часу переходу Р-стану (1,5 до 2,6 ГГц). Перехід частоти ініціюється або у випадковий час, або безпосередньо після того, як наше вимірювання РМС виявляє, що було застосовано попередню зміну частоти. Розподіл для останнього випадку показує, що інтервал оновлення 500 мкс застосовується і до Skylake-SP

3.2.2 С-стани

Корпорація Intel змінила кілька деталей у реалізації стану С. З п'яти доступних С-станів у системах Haswell лише чотири залишаються на процесорах Skylake-SP, оскільки С3 не визначений у джерелах ядра. Решта основних С-станів - С0, С1 та С6. Крім того, операційна система може запитувати С1Е.

Один процесор (абонент) викликає інший процесор (абонент). Ми визначаємо латентність переходу С-стану як час між ініціюванням пробудження у абонента та активізацією абонента. Щоб виміряти позначку часу запуску, ми реєструємо точку трасування ядра sched: sched_wake_idle_without_ipi на ЦП абонента, який є найближчим до події пробудження, згенерованої у функції set_nr_and_not_polling. Повернення до активного стану контролюється за допомогою події power: cru_idle на ЦП, що викликається. Для генерації подій пробудження ми використовуємо сигнал потоку, як показано в лістингу 3.1. Для підвищення точності вимірювання повторюється 100 разів для кожної комбінації С-стану та Р-стану.

```

*callee_work*:
for (i=0;i<ntimes;++i) {
    pthread_mutex_lock(&lock);
    pthread_cond_wait(&cv, &lock);
    pthread_mutex_unlock(&lock);
}

*caller_work*:
for (i=0;i<ntimes;++i) {
    sleep(1);
    pthread_cond_signal(&cv);
}

```

Лістинг 3.1 – програма cond_wait для активації пробудження С-стану

На рисунку 3.2 показано, що локальний сигнал пробудження до сердечника в С6 призводить до затримки 42 мкс для найнижчої частоти ядра та близько 33 мкс для номінальної частоти. Те саме стосується віддаленого активного стану (не зображено). Якщо другий роз'єм працює на холостому ході, затримка пробудження в основному становить від 46 до 48 мкс. Однак іноді латентність досягає 55 мкс. Порівняно з платформою Haswell EP, затримки значно зросли.

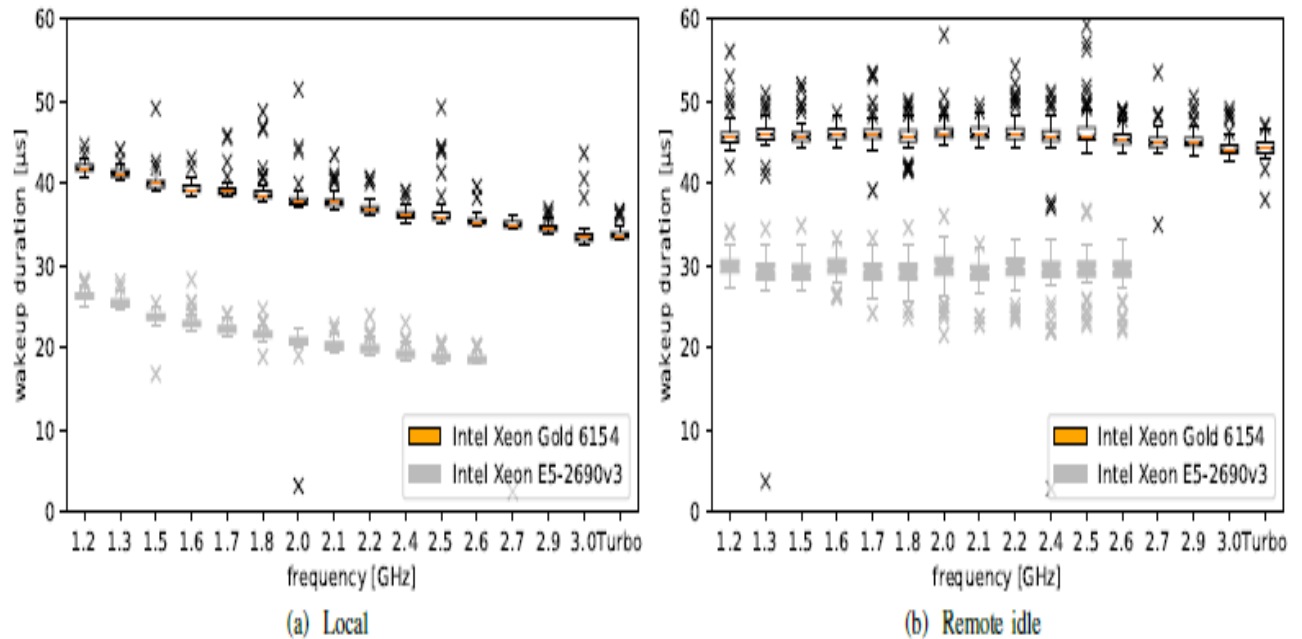


Рисунок 3.2 – Інформація про стан С для процесора Skylake-SP у порівнянні з Haswell-EP (Intel Xeon E5-2690 v3, сірий). Випадки, що передбачають швидкий перехід, можна пояснити різницею між запитуваним С-станом та фактичним С-станом, який прозоро вибирається апаратним механізмом.

3.2.3 Регулювання Т-станів

Процесори Intel Skylake підтримують тактову модуляцію як механізм зниження енергоспоживання та запобігання термічним пошкодженням. Інтерфейс для управління цими механізмами за допомогою програмного забезпечення залишався незмінним. Використовуючи раніше встановлену методологію [25], ми робимо висновок, що характеристики продуктивності подібні до архітектури Haswell-EP [23]: Кожне ядро незалежно контролює свою власну стан. На відміну від архітектури Піщаного мосту, DVFS не застосовується. Найвищий Т-стан (при цьому пропускається найбільша кількість циклів) не реалізований. Нижні Т-стани пропускають більше циклів, ніж визначено.

3.3 Неосновний частотний масштаб (UFS)

Функція UFS дозволяє процесорам змінювати частоту непрофільних компонентів під час виконання роботи незалежно від частот ядра [23]. За замовчуванням частота нерівномірного керування керується апаратним циклом управління. Також ним можна керувати за допомогою інтерфейсу через реєстр для конкретної моделі (MSR) `UNCORE_RATIO_LIMIT` [39]. Після завантаження цей реєстр містить описи мінімальної та максимальної доступної частоти нерегулювання. Запис до реєстру під час виконання може звузити простір конфігурації до підмножини або лише одного налаштування частоти, надаючи однакове значення для обох записів.

Ми досліджуємо кілька характеристик продуктивності (див. рис. 3.3): По-перше, затримка затримки між ініціацією та виконанням зміни частоти. По-друге, період t_{gap} , в якому процесор недоступний через комутаційну напругу та частоту. По-третє, затримка $t_{controlloop}$, доки внутрішній механізм масштабування не розпізнає зміну робочого навантаження.

Ми розширюємо методологію FTaLaT для визначення затримки переходу [36]. Спочатку продуктивність робочого навантаження, пов'язаного з процесором, вимірюється після зміни частоти основного процесора, поки вона не відображає продуктивність, очікувану для цільової частоти. У нашому налаштуванні ми використовуємо алгоритм переслідування показників, який отримує доступ до даних у кеші останнього рівня (LLC) та зчитує лічильник позначок часу (TSC) після кожного доступу. Як тільки одна ітерація займає більше 20 000 циклів, ми припускаємо зміну частоти. Ми вимірюємо t_{delay} і t_{gap} , використовуючи інформацію TSC, і обчислюємо середню затримку доступу до LLC до та після перемикача частоти.

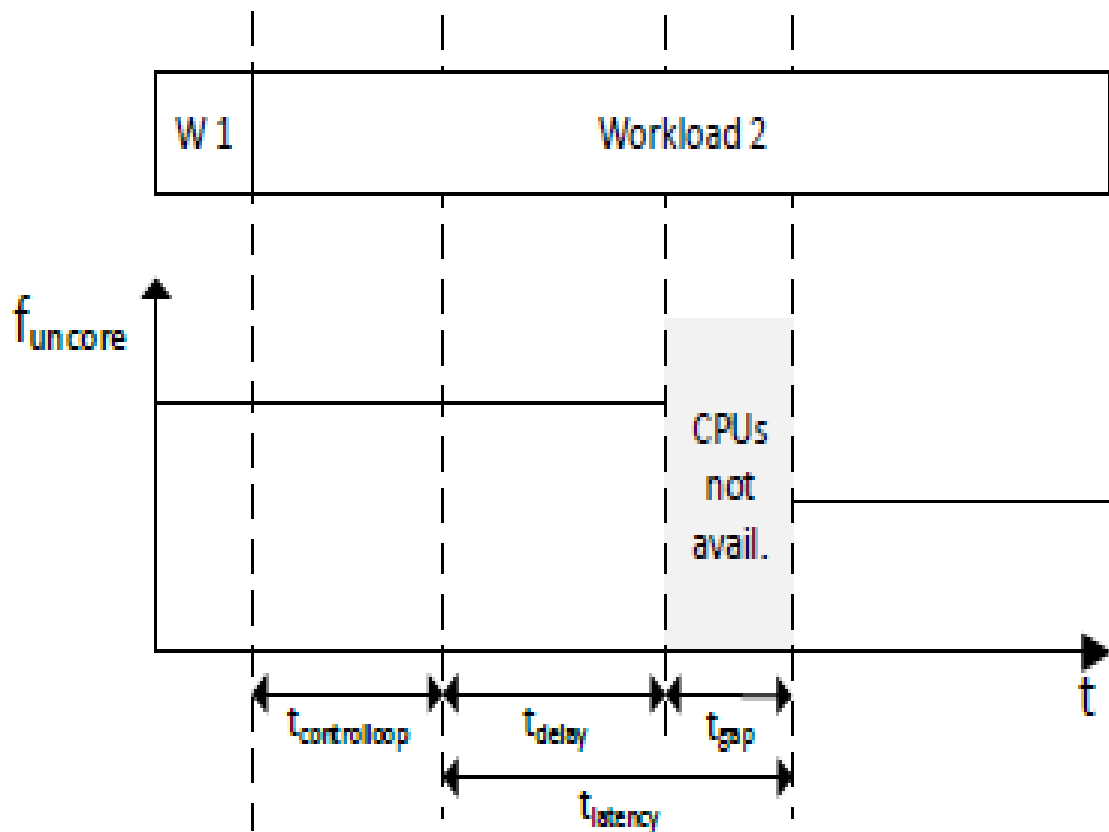


Рисунок 3.3 – Важливі затримки для вимикачів частоти - $t_{controlloop}$: час, який внутрішній механізм повинен виявити змінене навантаження; t_{delay} : Час до початку переходу частоти; t_{gap} : Час роботи процесора недоступний

Для вимірювання $t_{controlloop}$ ми запускаємо алгоритм переслідування показників, який кілька разів отримує доступ до рядків кешу з кешу 1-го рівня, щоб навчити центральний процесор низькому використанню нерекордних значень i , отже, низькій частоті невикористання. Потім ми запускаємо цей алгоритм у наборі даних LLC та вимірюємо ті самі дані про ефективність, що й раніше. Ми припускаємо, що запуск алгоритму в LLC веде до вищої частоти i , отже, вимагає необоротного переходу частоти. Нарешті, ми використовуємо зареєстровані середні затримки, щоб перевірити, чи були застосовані

передбачувані низькі та високі частоти. Всі робочі навантаження виконуються на частоті 2,4 ГГц.

На рисунку 3.3 впливає, що приблизно 20% вибірки для кожної пари частот джерело / ціль матимуть короткий t_{gar} від 3 до 4 мкс. Однак ці 20% також співвідносяться з викидами у досягнутій цільовій продуктивності з точки зору циклів за доступ. Для цих зразків виявлення зазорів не спрацювало. Тому вони вважаються вигідними і не використовуються в подальшому аналізі. Решта результатів для t_{gar} знаходяться в діапазоні від 14,5 до 16 мкс без чіткої закономірності для різних частот джерела та цілі. t_{delay} показує широкий діапазон вимірюваних значень, які коливаються від 0 до 1,5 мс (Рисунок 5b). Ми припускаємо, що застосовується той самий механізм, що і для змін стану P, але роздільна здатність механізму `uncore` приблизно в 3 рази нижче. Малюнок 5c показує, що контур керування за замовчуванням для встановлення частоти невикористання додає ще 9,8 мс до затримки. Отже, частота зняття частоти буде адаптована лише через 10 мс після зміни режиму робочого навантаження, що може мати значний вплив на регулярні зміни робочих навантажень. Відповідно до вимірюваних часів доступу до та після перемикача частоти, контур управління змінив частоту невикористання з 1,4 до 2,4 ГГц, що відповідає часу доступу 119 та 83 циклів відповідно. Можливою оптимізацією, щоб запобігти збиттю `Uncore` без доступу MSR, було б використання других апаратних потоків для доступу до LLC. відповідно. Можливою оптимізацією, щоб запобігти збиттю `Uncore` без доступу MSR, було б використання других апаратних потоків для доступу до LLC. відповідно. Можливою оптимізацією, щоб запобігти збиттю `Uncore` без доступу MSR, було б використання других апаратних потоків для доступу до LLC.

3.4 Механізми обмеження потужності

Вплив обмеження потужності можна проаналізувати, максимізуючи споживання енергії тестової системи. FIRESTARTER [40] - це повносистемний стрес-тест, який націлений на високе енергоспоживання пам'яті, процесора та прискорювачів графічного процесора. Щоб пристосуватись до архітектури Skylake, ми представили інструкції AVX-512 для FIRESTARTER, додали 512-бітові інструкції широкої трансляції та змінили параметри доступу до пам'яті. Для порівняння ми використовуємо Linpack та стрес-тест mprime1. Для всіх трьох робочих навантажень ми порівнюємо частоту основного циклу та споживання електроенергії змінного струму, а також їхні зміни в порівнянні з повним виконанням, і все це було записано з \log_2 s [41]. Турбочастота ввімкнена, для всіх інших параметрів встановлено значення за замовчуванням. Згідно з інтерфейсом RAPL, всі робочі навантаження досягають максимального TDP 200 Вт на процесор. Однак динамічна поведінка відрізняється між трьома робочими навантаженнями.

Linpack складається з змінних фаз обчислень та синхронізації [40]. Стабільне пікове споживання енергії досягається лише на етапах обчислення, тоді як споживання енергії під час синхронізації зменшується до <430 Вт. Кожного разу, коли починається фаза обчислень, спостерігається стрибок від 1 до 665 Вт, використовуючи запас турбонаддуву з попереднього недостатнього використання. Під час обчислювальних фаз споживання енергії в середньому становить 620 Вт з деяким шумом від 573 Вт до 664 Вт з вимірними інтервалами 50 мс. Ефективні частоти ядра варіюються між потоками та часом в межах обчислювальних фаз від 2,6 ГГц до 3,2 ГГц, залишаючись стабільними на рівні 3,7 ГГц протягом фаз синхронізації.

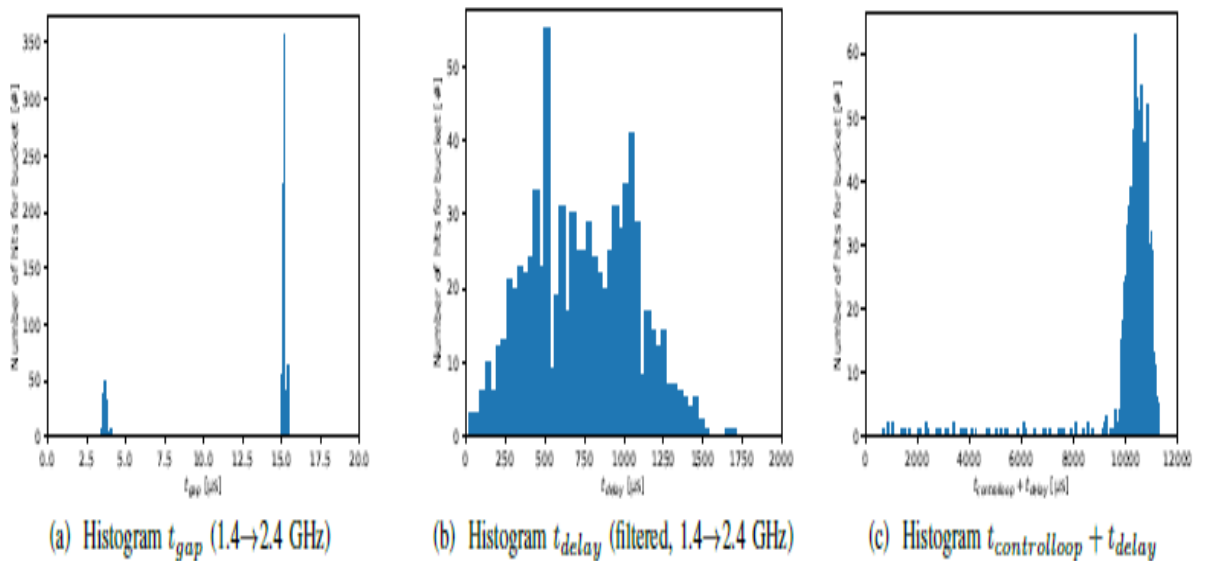


Рисунок 3.4 – Результати вимірювання частоти без оцінки

Тести з використанням `mprieme` використовують великі БПФ, які є найбільш енергоємними в нашій системі. `mprieme` виконує різні специфічні функції ШПФ, які трохи відрізняються між собою енергоспоживанням та частотою ядра. Загальна потужність коливається від 619 Вт до 645 Вт із середнім значенням 634 Вт, а частота ядра варіюється від 2,7 ГГц до 3,1 ГГц, в основному залежно від виконуваних в даний час функцій (див. рис. 3.4).

`FIRESTARTER` виконує постійне навантаження, специфічне для архітектури, що призводить до великого енергоспоживання та низької частоти ядра. Спостерігається тенденція збільшення споживання енергії з 625 Вт до 629 Вт протягом перших 7 хвилин, ймовірно, спричинене вирівнюванням температури. Пізніше потужність залишається від 627 Вт до 631 Вт, тоді як частота різниться між двома пакетами на рівні 2,55 ГГц / 2,67 ГГц. `FIRESTARTER` не досягає середнього рівня потужності `mprieme`, але запускає значно нижчу частоту. Як майбутня робота, `FIRESTARTER` слід розширити для використання як AVX-512, так і 256-бітового AVX для використання портів 0 і 1 для обчислення 256 бітів за цикл.

Механізми енергоефективності суттєво впливають на стрес-тести процесорів. `FIRESTARTER` використовує повну потужність пакета для

основних частот на частоті 2,4 ГГц або вище. Залежно від основної частоти, наявні бюджети зміщуються до неточних. Mprime досягає заданого TDP на більш високих частотах, як правило, близько номінальних 3,0 ГГц. Навіть якщо частота нечітких частот фіксується за допомогою MSR 0x620, а специфікації дозволять натомість знизити частоти ядра: досягнуто обмеження потужності, процесор знижує частоту частоти. Отже, зазначена частота частот повинна розглядатися як рекомендація в умовах обмеженої потужності. На процесорах Haswell-EP [31] відключення турбомеханізму під час обмежених робочих навантажень може збільшити частоти ядра [23]. Згідно з нашими вимірами на платформі Skylake-SP, цей ефект виникає зараз при запиті частоти, яка нижча від номінальної частоти (наприклад, 2,9 ГГц), і не може спостерігатися, якщо EPB встановлено на продуктивність. Хоча вплив збільшення частоти (в даному випадку 20 МГц) обмежений, сам ефект є протиінтуїтивним. Тому він служить прикладом для складних взаємодій у мікроархітектурі, що мають несподівані побічні ефекти.

3.5 Вплив випуску переходів частоти AVX

Процесори Intel Skylake-SP працюють у трьох частотних діапазонах: стандартному, AVX і AVX-512. Перемикання між ними апаратно контролюється і впливає на продуктивність виконуваного робочого навантаження:

- При переході з однієї категорії інструкцій (тобто звичайної або AVX) на більш вимогливі інструкції (тобто AVX або AVX-512), непрацюючий (OoO) [32] двигун регулюється, щоб запобігти тепловому пошкодженню під час переходу частоти.

- При переході з однієї категорії команд (тобто AVX, AVX-512) на менш вимогливі інструкції процесор залишається в межах зменшеного

діапазону частот протягом короткого періоду часу, щоб уникнути непотрібних змін частоти.

Для збору інформації про ці зміни стану ми використовуємо модифіковану версію FIRESTARTER, яка періодично перемикається між великими (потужність) та низькими (потужність) робочими навантаженнями через визначені інтервали. High виконує стандартне навантаження FIRESTARTER. На противагу цьому, низька фаза використовує тривалі інструкції, такі як `mfence` та `cruid`. Рисунок 6 ілюструє ці переходи як `tlvl` високий і `tlvl` низький, відповідно. Ручний прилад Score-P [33] виявляє зміни між низьким і високим і дозволяє нам записати два додаткові лічильники:

- Подія `CORE_POWER.THROTTLE` представляє цикли, в яких регулюється механізм, що не працює.
- Подія `CORE_POWER.LVL2_TURBO_LICENSE` представляє цикли, проведені на частотах AVX-512.

Спочатку ми використовуємо номінальну частоту процесора і запускаємо один потік на ядро з періодом 2 с (50% низький) протягом п'яти хвилин (150 ітерацій) [26]. Вимірювання показують, що загальна кількість циклів, проведених з дросельованим OoO-двигуном, коливається між потоками і становить від 28 до 34 мільйонів. Це означає 62 мкс і 75 мкс для кожної з 150 ітерацій.

Також кількість циклів, які проводяться на частоті AVX-512 під час низького, коливається від 1,5 до 1,9 мільйона (від 555 мкс до 704 мкс при частоті AVX-512 2,7 ГГц). Зі скороченим періодом у 2 мс смуга звужується до 1,8-1,9 млн циклів діапазону частот AVX під час кожної низької фази. При незбалансованому робочому навантаженні (наприклад, період 1 мс із 80% часу, проведеного в режимі Low), можна створити найгірший сценарій (див. Рис. 7). Подібна ситуація може статися, якщо програма викликає високооптимізовану математичну процедуру в циклі, виконуючи між цими викликами додаткові інструкції, не пов'язані з AVX [34].

Це показує, що частотні механізми AVX (див. рис. 3.5) можуть мати значний і неочевидний вплив на продуктивність додатків, зокрема під час переходів. Потрібно враховувати регулювання інструкцій AVX і затримку в кілька сотень мікросекунд для відновлення частоти, що не є AVX. Щоб уникнути неправильного регулювання, ми зменшили частоту системи до 1,2 ГГц, що нижче будь-якої задокументованої частоти AVX (див. рис. 3.6). Навіть у цій ситуації проблема з інструкціями регулюється відповідно до вимірювань RMS. Однак виміряні цикли дроселювання ОоО мають меншу дисперсію порівняно з вимірами на більш високих частотах ядра [35].

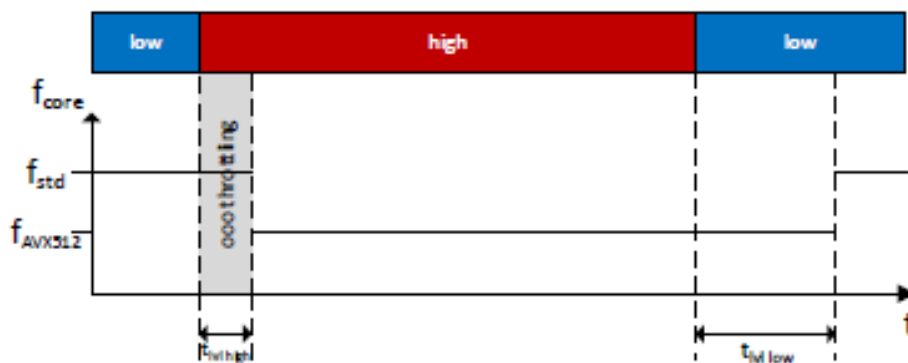


Рисунок 3.5 – Переходи частоти AVX

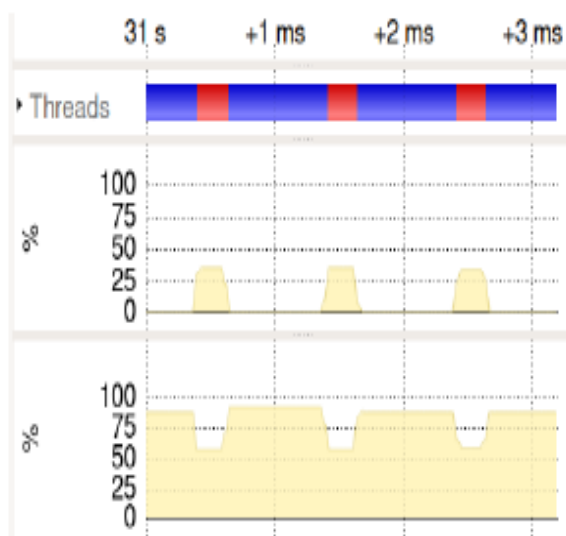


Рисунок 3.6 – Візуалізація найгіршого сценарію зміни частоти AVX

3.6 Висновок до третього розділу

У цьому розділі були описані деталі механізмів енергоефективності Skylake-SP, їх вплив на продуктивність та споживання енергії. Продемонстровано, що ні Р-стан, ні Т-стан механізму не були вдосконалені в порівнянні з платформою Haswell-EP. Крім того, збільшились затримки в С-стані. Частота нечіткості також має значний вплив на продуктивність, оскільки механізму за замовчуванням потрібно близько 10 мілісекунд для адаптації до змін поведінки програми. Ще один прозорий механізм, частоти AVX-512, зупинить роботу непрацездатного двигуна приблизно на 70 мкс після видачі першої інструкції AVX-512. Більше того, частоти AVX-512 застосовуватимуться понад 600 мкс після видачі останньої інструкції. Це може призвести до патологічних випадків, коли процесор постійно перемикається між двома неоптимальними конфігураціями. Інший ефект стосується більш широких регістрів AVX-512: динамічна частина енергоспоживання значно зросла. Продемонстровано, що залежно від вхідних даних споживання енергії робочого навантаження може відрізнитися більш ніж на 18% для всієї системи. Це є основною проблемою і може суттєво обмежити корисність будь-якої енергетичної моделі на основі інструкцій, яка не знає про вхідні дані.

4 ОХОРОНА ПРАЦІ ТА БЕЗПЕКА В НАДЗВИЧАЙНИХ СИТУАЦІЯХ

4.1 Охорона праці. Вимоги електробезпеки до приміщень з ЕОМ

Приміщення із робочими місцями користувачів комп'ютерів для забезпечення захисту від ураження електричним струмом обладнання та самих користувачів ПК повинні мати достатні технічні засоби захисту.

При монтажі та експлуатації ліній електромережі потрібно врахувати можливе виникнення короткого замикання та перевантаження проводів з легкозаймистою ізоляцією, тому необхідно використовувати в роботі негорючу ізоляцію.

Периферійні пристрої, устаткування для обслуговування, ремонту та налагодження ЕОМ, лінії електромереж для живлення ЕОМ виконуються як окрема група мереж, шляхом прокладання фазового, нульового робочого провідника та нульового захисного провідника, який в свою чергу використовується для заземлення електроприймачів.

Нульовий захисний провід прокладається від стійки розподільчого щита до розеток живлення. Використання нульового робочого провідника як нульового захисного провідника заборонено. На щиті не допустиме підключення контактного затискача нульового робочого та нульового захисного провідників і їх площа перерізу в груповій трипровідній мережі має бути не менше площі перерізу фазового провідника.

Згідно вимог Правил налаштування електроустанов [42] усі провідники повинні відповідати номінальним параметрам мережі та навантаження, умовам навколишнього середовища, умовам розподілу провідників, температурному режиму та типам пристроїв захисту.

Аварійний резервний вимикач, який при необхідності може повністю вимкнути електричне живлення приміщення (окрім освітлення), де водночас

експлуатується більше п'яти персональних ЕОМ, встановлюють на помітному та доступному місці [43].

Комп'ютери, периферійні пристрої та устаткування для обслуговування, ремонту та налагодження підключають до електромережі за допомогою справних електророзеток і штепсельних з'єднань, які повинні мати спеціальні контакти для підключення нульового захисного провідника. Першим приєднують нульовий захисний провідник, а далі фазовий та нульовий робочий провідник. А роз'єднання при відключенні потрібно робити у зворотному порядку. Забороняється з'єднання контактів фазових провідників з контактами нульового захисного провідника [44].

Використання перехідних пристроїв при підключенні ЕОМ та периферійних пристроїв до звичайної двопровідної електромережі – неприпустиме.

Для живлення ЕОМ, периферійних пристроїв електророзетки та електромережі штепсельних з'єднань виконують за магістральною схемою по 3...6 з'єднань або електророзеток в одному колі. За своєю конструкцією штепсельні з'єднання та електророзетки для напруги 12В та 36В повинні відрізнятися від тих же з'єднань для напруги 127В та 220В. Їх фарбують в колір відмінний від кольору штепсельних з'єднань, які розраховані на напругу 127В та 220В.

Згідно вимог Правил пожежної безпеки в Україні [45] та Правил налаштування електроустанов [42] електророзетки, групові та індивідуальні штепсельні з'єднання монтують на негорючих або важкогорючих пластинах.

Відповідно до затвердженого плану розміщення обладнання та технічних характеристик електромережу штепсельних розеток, периферійних пристроїв для живлення комп'ютерів розташованих вздовж стін, прокладають по краю підлоги приміщення, як правило, в металевих трубах і гнучких металевих рукавах з відводами.

Якщо за периметром приміщення розташовано до п'яти комп'ютерів, то дозволяється прокладання трипровідникового захищеного проводу або кабелю в оболонці з негорючого або важкогорючого матеріалу без металевих труб та гнучких металевих рукавів.

При розташуванні комп'ютерів у центрі приміщення електромережу штепсельних розеток для живлення прокладають у каналах чи під знімною підлогою в металевих трубах або гнучких металевих рукавах. Забороняється застосовувати провід і кабель в ізоляції з вулканізованої гуми та інші матеріали, що містять сірку. Прокладання відкритих кабелів під підлогою заборонено. Відповідно до вимог НПАОП 40.1-1.21-98 [42] металеві труби і гнучкі металеві рукави заземляють.

Гнучкі проводи в надійній ізоляції використовують для підключення переносної електроапаратури. У цьому випадку тимчасова електропроводка виконується найкоротшим шляхом без заплутування проводів у конструкціях. Якщо не достатньо метражу проводу, то доточити його можна тільки шляхом паяння з наступним ізолюванням місць з'єднань.

Забороняється:

- експлуатація проводів та кабелів з пошкодженою ізоляцією, залишення під напругою неізольованих провідників;
- використання саморобних подовжувачів, які не підходять під вимоги Правил влаштування електроустанов [42] до переносних електропроводок;
- опалення приміщень саморобним електронагрівальним обладнанням або лампами розжарювання;
- використання пошкоджених розеток, розгалужувальних та з'єднувальних коробок, вимикач та інших електровиробів, а також ламп з затемненням або випинанням;

- встановлення світильників на струмопровідних проводах, обгортання горючими матеріалами електроламп і світильників, експлуатація їх зі знятими розсіювачами;
- використання приладів та електроапаратури в умовах, що не відповідають рекомендаціям виробника.

4.2 Безпека в надзвичайних ситуаціях. Вплив виробничого середовища на працездатність та здоров'я користувачів комп'ютерів

Повсякденна праця людини за комп'ютером зумовлюється технікою, технологією, організацією виробництва і виробничим середовищем, що викликає певне трудове напруження організму працівника. Принцип системного підходу до виробництва включає організацію з різними елементами управління, серед яких провідним є вдосконалення охорони праці, з використанням економічних стимулів. Умови виробничого середовища викликають трудове напруження організму [46]. Виділяють такі чинники важкості праці: особливості трудового процесу (навантаження на м'язову та нервову системи, співвідношення між динамічними і статистичними навантаженнями, ритм і темп, монотонність, робоча поза, кількість інформації) та умови виробничого середовища (фізичне зусилля, нервове напруження, температура, вологість, теплове випромінювання, забруднення повітря, виробничий шум, вібрація, обертання, освітленість у робочій зоні).

Недотримання вимог санітарії та режиму може призвести до "ергономічних" захворювань. Медичні дослідження Всесвітньої організації охорони здоров'я (ВООЗ) показали, що у користувачів ПК виявлено нові види захворювань: травми повторних навантажень (накопичування й акумулювання нездужання), синдром "комп'ютерного стресу оператора", фотоепілептичні приступи [47].

Виконуючи виробничі завдання при дотриманні вимог Державних санітарних правил [48], Правил охорони праці [49] та норм роботи з дисплейними терміналами ЕОМ, робота за комп'ютером не буде належати до категорії шкідливих і важких. За не дотриманням правил, робота буде супроводжуватися зоровим та нервово-емоційним напруженням, обмеженням загально-м'язової активності (гіподинамії) під впливом шуму електростатичного поля, неіонізуючих та іонізуючих електромагнітних випромінювань.

При роботі з комп'ютером в організмі людини найбільш вразливими є зір, кістково-м'язова і нервова системи організму, про це стверджують експерти ВООЗ. Їх сукупність викликає помітну шкідливу дію на організм людини в цілому.

У навчально-виховному процесі потрібно відповідально підходити до питання безпеки учнів (студентів) та педагогічного персоналу при використанні комп'ютерних засобів. Розробити відповідні рекомендації та правила, які дозволять захистити психічне і фізичне здоров'я людей від негативного впливу чинників виробничого середовища [50].

При безперервній роботі з комп'ютером зростає зорове навантаження, концентрація уваги, нервово-емоційне збудження і мінімальна м'язова активність користувача. В комп'ютерних класах підвищується температура повітря, знижується вологість, підвищується рівень шуму, виникають різні рівні електромагнітного, магнітного і статичного полів низької та наднизької частоти.

Комплекс об'єктивних і суб'єктивних чинників, які впливають на стан людини під час навчання в комп'ютерному класі:

- зміст і обсяг навчальної інформації;
- складність навчального предмета;
- інтенсивність і тривалість роботи за комп'ютером;

- показники мікроклімату;
- внутрішнє середовище навчального приміщення;
- якість і досконалість використовуваних програмних продуктів їхні ергономічні, педагогічні, психогігієнічні властивості;
- освітленість, яскравість, контрастність і колір зображення екрана дисплея, шум;
- іонізуюче та неіонізуюче опромінення.

Суб'єктивні фактори, для здоров'я учня (студента) в процесі навчання:

- психологічний контакт з викладачем;
- методика викладання і структура заняття;
- підготовленість, інтерес і готовність до певного виду діяльності;
- загальний стан здоров'я.

Виділяють чотири основні групи об'єктивних факторів, які негативно впливають на здоров'я користувача комп'ютера:

- візуальні параметри дисплеїв у сполученні зі світловим кліматом робочого приміщення;
- ергономічні параметри робочого місця та приміщення;
- режим праці й відпочинку;
- електростатичне і електромагнітне поля комп'ютера, дисплея та інших периферійних пристроїв.

Основні заходи профілактики захворювань, пов'язаних з використанням комп'ютера: раціональна організація робочого місця, дотримання норм освітлення та мікроклімату приміщення, наявність спеціалізованих комп'ютерних меблів, правильне розміщення комп'ютерів, відповідний технічний стан електронно-обчислювальних засобів, додержання режиму роботи [51].

Загальний час роботи викладача у комп'ютерному класі протягом дня не повинен перевищувати шести годин. Безупинна робота за комп'ютером – не більше двох годин, перерва 15-20 хвилин.

Рекомендований час роботи за комп'ютером для студентів 2-3 години на день. Через кожні 20-25 хвилин пауза для виконання вправ на очі. Через 40-50 хвилин влаштовувати перерву з фізкультурними вправами за межами приміщення. Забороняється витратити перерву на комп'ютерні ігри.

4.3 Висновки до четвертого розділу

Облаштовуючи комп'ютерні кабінети, необхідно неухильно дотримуватися санітарних, ергономічних, гігієнічних норм та проводити певні фізкультурно-оздоровчі заходи. Знаходити оптимальні співвідношення між різними факторами виробничого середовища, визначення ступенів шкідливості та небезпеки праці. Це дозволить усім працюючим за комп'ютерами значно зменшити вплив технічних засобів на здоров'я, фізичний стан та психіку.

ВИСНОВКИ

В даній кваліфікаційній роботі магістра проведено аналіз механізмів енергоефективності та їх вплив на продуктивність та споживання енергії. Крім того, був здійснений огляд і опис продуктивності новітнього процесора Intel, відносно його попередників.

Підвівши підсумки, якщо людина робить багато речей одночасно на своєму комп'ютері, варто витратити додаткові гроші на i5 або i7 останнього покоління. Геймери захочуть обрати останнє, оскільки завжди краще сидіти ближче до рекомендованих системних вимог, ніж до мінімальних системних параметрів. Однак, якщо використовувати свій комп'ютер лише для перевірки електронної пошти, деяких банківських операцій, читання новин та завантаження музики, мабуть варто взяти бюджетний i3.

Іншим вирішальним фактором повинно бути те, що людина робить на комп'ютері, можуть використовуватися така технологія, як Hyper-Threading. Потрібно дізнатись, чи використовувані програми мають якісь багатопотокові можливості. Багато сучасних фото та відео редакторів та програм для редагування відео багатопотокові.

Основні процесори Intel Skylake орієнтовані на геймерів. Intel стверджує, що його мобільні чіпи Skylake працюють на 60 відсотків швидше і використовують на 60 відсотків менше активної потужності ніж попередні процесори.

Процесорна графіка та система чіпу були розроблені для відповіді споживчого набору вимог для різних пунктів енергетичності. Поверхність ядра надає високопам'ятну пропозицію з багатьох джерел, а її управління енергетикою визначає найбільший динамічний діапазон можливості перед першими Intel процесорами. Архітектура Intel поставляє вищу ефективність, високу частоту і ширший динамічний діапазон енергетики, підтримуючи малі форм фактори.

ПЕРЕЛІК ВИКОРИСТАНИХ ДЖЕРЕЛ

1. M. Yuffe et al., “A Fully Integrated Multi-CPU, GPU and Memory Controller 32nm Processor,” Proc. IEEE Int’l Solid-State Circuits Conf., 2011; doi:10.1109/ISSCC.2011.5746311.
2. Intel 64 and IA-32 Architectures Software Developer’s Manual, Intel, 2016.
3. F. McKeen et al., “Innovative Instructions and Software Model for Isolated Execution,” Proc. 2nd Int’l Workshop Hardware and Architectural Support for Security and Privacy, 2013; doi:10.1145/2487726.2488368.
4. P. Hammarlund et al., “Haswell: The Fourth-Generation Intel Core Processor, IEEE Micro, vol. 34, no. 2, 2014, pp. 6–20.
5. E. Rotem, “Intel Architecture, Code Name Skylake Deep Dive: A New Architecture to Manage Power Performance and Energy Efficiency,” Intel Developer Forum, 2015.
6. E. Rotem et al., “Energy Aware Race to Halt: A Down to EARTH Approach for Platform Energy Management,” IEEE Computer Architecture Letters, vol. 13, no. 1, 2014, pp. 25–28.
7. A. Yasin, “Software Optimizations Become Simple with Top-Down Analysis Methodology on Intel Microarchitecture, Code Name Skylake,” Intel Developer Forum, 2015.
8. A. Yasin, “A Top-Down Method for Performance Analysis and Counters Architecture,” Proc. IEEE Int’l Symp. Performance Analysis of Systems and Software, 2014; doi:10.1109/ISPASS.2014.6844459.
9. “Here’s How Much Energy All US Data Centers Consume,” *DataCenter Knowledge*, 27-Jun-2016. [Online]. Available: <https://tinyurl.com/y96cy9rb>. [Accessed: 03-Oct-2018].
10. “Intel® 64 and IA-32 Architecture’s Software Developer’s Manual:Vol. 3B,” *Intel*. [Online]. Available: <https://tinyurl.com/y9rcq29c>. [Accessed: 19-Mar-2018].

11. R. Hebbar Seethur Raviraj, "Spec CPU2017: Performance, Energy and Event Characterization on Modern Processors," M.S.E., The University of Alabama in Huntsville, United States -- Alabama, 2018.
12. R. Hebbar S R and A. Milenković, "SPEC CPU2017: Performance, Event, and Energy Characterization on the Core i7-8700K," in *10th ACM/SPEC International Conference on Performance Engineering*, Mumbai, India, 2019.
13. J. Bucek, K.-D. Lange, and J. v. Kistowski, "SPEC CPU2017: Next-Generation Compute Benchmark," in *Companion of the 2018 ACM/SPEC International Conference on Performance Engineering -ICPE '18*, Berlin, Germany, 2018, pp. 41–42.
14. "Intel® Core™ i7-8700K Processor Product Specifications," *Intel® ARK (Product Specs)*. [Online]. Available: <https://tinyurl.com/ybcw5vc8>. [Accessed: 24-Mar-2018].
15. "SPEC CPU® 2017." [Online]. Available: <https://www.spec.org/cpu2017/>. [Accessed: 19-Mar-2018].
16. G. Papadimitriou, M. Kaliorakis, A. Chatzidimitriou, D. Gizopoulos, P. Lawthers, and S. Das, "Harnessing voltage margins for energy efficiency in multicore CPUs," in *Proc. 50th Annu. IEEE/ ACM Int. Symp. Microarchit.*, 2017, pp. 503–516.
17. A. Tang, S. Sethumadhavan, and S. Stolfo, "CLKSCREW: Exposing the perils of security-oblivious energy management," in *Proc. 26th Secur. Symp.*, 2017, pp. 1057–1074.
18. T. Singh et al., "Zen: An energy-efficient high-performance 86 core," *IEEE J. Solid-State Circuits*, vol. 53, no. 1, pp. 102–114, Jan. 2018.
19. G. Papadimitriou, A. Chatzidimitriou, and D. Gizopoulos, "Adaptive voltage/frequency scaling and core allocation for balanced energy and performance on multicore CPUs," in *Proc. IEEE Int. Symp. High Perform. Comput. Archit.*, 2019, pp. 133–146.
20. M. Kaliorakis, A. Chatzidimitriou, G. Papadimitriou, and D. Gizopoulos, "Statistical analysis of multicore CPUs operation in scaled voltage conditions," *J. IEEE Comput. Archit. Lett.*, vol. 17, no. 2, pp. 109–112, Jul.-Dec. 2018.

21. G. Papadimitriou, M. Kaliorakis, A. Chatzidimitriou, C. Magdalinos, and D. Gizopoulos, "Voltage margins identification on commercial x86-64 multicore microprocessors," in Proc. 23rd Int. Symp. On-Line Testing Robust Syst. Des., 2017, pp. 51-56.
22. N. Kim, "Resource and core scaling for improving performance of power-constrained multicore processors," Mar. 28 2017, US Patent 9,606,842. [Online]. Available: <https://www.google.com/patents/US960684>
23. D. Hackenberg, R. Schöne, T. Ilsche, D. Molka, J. Schuchart, and R. Geyer, "An Energy Efficiency Feature Survey of the Intel Haswell Processor," in IEEE International Parallel and Distributed Processing Symposium Workshop (IPDPSW), 2015, DOI: 10.1109/IPDPSW.2015.70.
24. Intel 64 and IA-32 Architectures Software Developer's Manual Volume 3A, 3B, and 3C: System Programming Guide, Intel, Sep2016, order Number: 325384-060US. [Online]. Available: <http://www.intel.com/content/dam/www/public/us/en/documents/manuals/64-ia-32-architectures-software-developer-system-programming-manual-325384.pdf>
25. R. Schöne, D. Molka, and M. Werner, "Wake-up Latencies for Processor Idle States on Current x86 Processors," Computer Science – Research and Development, 2014, DOI: 10.1007/s00450-014-0270-z.
26. R. Schöne, T. Ilsche, M. Bielert, D. Molka, and D. Hackenberg, "Software Controlled Clock Modulation for Energy Efficiency Optimization on Intel Processors," in Proceedings of the 4th International Workshop on Energy Efficient Supercomputing (E2SC), 2016, DOI: 10.1109/E2SC.2016.15.
27. B. Rountree, D. H. Ahn, B. R. de Supinski, D. K. Lowenthal, and M. Schulz, "Beyond DVFS: A First Look at Performance under a Hardware-Enforced Power Bound," in 2012 IEEE 26th International Parallel and Distributed Processing Symposium Workshops PhD Forum, 2012, DOI: 10.1109/IPDPSW.2012.116.
28. K. Lange, "Identifying Shades of Green: The SPECpower Benchmarks," Computer, 2009, DOI: 10.1109/MC.2009.84.

29. J. Bucek, K.-D. Lange, and J. v. Kistowski, "SPEC CPU2017: Next-Generation Compute Benchmark," in Companion of the 2018 ACM/SPEC International Conference on Performance Engineering, DOI: 10.1145/3185768.3185771.
30. A. Fog, "The microarchitecture of Intel, AMD and VIA CPUs: An optimization guide for assembly programmers and compiler makers," online, Technical University of Denmark, Sep 2018. [Online]. Available: <http://agner.org/optimize/microarchitecture.pdf>
31. N. Kurd, M. Chowdhury, E. Burton, T. Thomas, C. Mozak, B. Boswell, M. Lal et al., "Haswell: A family of IA 22nm processors," in IEEE International Solid - State Circuits Conference - (ISSCC), 2014, DOI: 10.1109/ISSCC.2014.6757361.
32. B. Bowhill, B. Stackhouse, N. Nassif, Z. Yang, A. Raghavan, C. Morganti et al., "The xeon® processor e5-2600 v3: A 22nm 18-core product family," in IEEE International Solid-State Circuits Conference - (ISSCC), 2015, DOI: 10.1109/ISSCC.2015.7062934.
33. Intel 64 and IA-32 Architectures Optimization Reference Manual, Intel, Apr 2018, order Number: 248966-040. [Online]. Available: <https://software.intel.com/sites/default/files/managed/9e/bc/64-ia-32-architectures-optimization-manual.pdf>
34. S. M. Tam, H. Muljono, M. Huang, S. Iyer, K. Royneogi, N. Satti, R. Qureshi et al., "SkyLake-SP: A 14nm 28-Core Xeon Processor," in IEEE International Solid - State Circuits Conference - (ISSCC), DOI: 110.1109/ISSCC.2018.8310170.
35. "Intel Xeon Processor Scalable Family Technical Overview," Jul 2017. [Online]. Available: <https://software.intel.com/en-us/articles/intel-xeon-processor-scalable-family-technical-overview>
36. A. Mazouz, A. Laurent, B. Pradelle, and W. Jalby, "Evaluation of CPU Frequency Transition Latency," Computer Science - Research and Development, 2014, DOI: 10.1007/s00450-013-0240-x.

37. “Advanced configuration and power interface (acpi) specification, revision 6.3,” Jan. 2018, online at uefi.org (accessed 2019-03-27).

38. T. Ilsche, R. Schöne, P. Joram, M. Bielert, and A. Gocht, “System Monitoring with lo2s: Power and Runtime Impact of C-State Transitions,” in IEEE International Parallel and Distributed Processing Symposium Workshops (IPDPSW), 2018, DOI: 10.1109/IPDPSW.2018.00114.

39. Energy Efficient Servers: Blueprints for Data Center Optimization. D. Hackenberg, R. Oldenburg, D. Molka, and R. Schöne, “Introducing FIRESTARTER: A processor stress test utility,” in International Green Computing Conference (IGCC), 2013, DOI: <http://dx.doi.org/10.1109/IGCC.2013.6604507>.

40. T. Ilsche, R. Schöne, M. Bielert, A. Gocht, and D. Hackenberg, “lo2s — Multi-core System and Application Performance Analysis for Linux,” in IEEE International Conference on Cluster Computing (CLUSTER), 2017, DOI: 10.1109/CLUSTER.2017.116.

41. A. Knüpfer, C. Rössel, D. an Mey, S. Biersdorff, K. Diethelm, D. Eschweiler, M. Geimer et al., “Score-P: A Joint Performance Measurement Runtime Infrastructure for Periscope, Scalasca, TAU, and Vampir,” in Tools for High Performance Computing 2011, 2012, DOI: 10.1007/978-3-642-31476-6_7.

42. Правила безпечної експлуатації електроустановок споживачів [Електронний ресурс] // Міністерство праці та соціально політики України. – 1998. – Режим доступу до ресурсу: <https://zakon.rada.gov.ua/laws/show/z0093-98#Text>.

43. Вимоги безпеки під час експлуатації обчислювальної техніки – Київ: Національний технічний університет України КПІ, 2013. – 30 с.

44. Охорона праці в галузі [Електронний ресурс] – Режим доступу до ресурсу: https://tiphaman.top/book_ohorona-praci-v-galuzi_876/.

45. Правила пожежної безпеки в Україні [Електронний ресурс] // Міністерство внутрішніх справ України. – 2015. – Режим доступу до ресурсу: <https://zakon.rada.gov.ua/laws/show/z0252-15#Text>.

46. Основи охорони праці [Електронний ресурс]. – 2003. – Режим доступу до ресурсу: <https://library.if.ua/book/86/6031.html>.

47. Варивода К.С. Вплив комп'ютера на психофункціональний стан користувача. // Переяслав-Хмельницький державний педагогічний університет імені Григорія Сковороди. – 10 с.

48. Державні санітарні правила і норми влаштування, утримання загальноосвітніх навчальних закладів та організації навчально-виховного процесу [Електронний ресурс]. – 2001. – Режим доступу до ресурсу: <https://zakon.rada.gov.ua/rada/show/v0063588-01#Text>.

49. Вимоги щодо безпеки та захисту здоров'я працівників під час роботи з екранними пристроями [Електронний ресурс]. – 2018. – Режим доступу до ресурсу: <https://zakon.rada.gov.ua/laws/show/z0508-18#Text>.

50. Бедрій Я. Основи охорони праці користувачів персональних комп'ютерів / Ярослав Бедрій. – Київ: Богдан, 2014. – 144 с.

51. Коцур Н. Безпека життєдіяльності школярів під час роботи з комп'ютерною технікою: Медико-психологічні аспекти / Н. Коцур, Ю. Грінченко. – 2014. – 9 с.

52. Маєвський О. В. Будова та експлуатація ПК : Конспект лекцій / Маєвський О.В., Мацюк О.В., Смакула І.З. — Тернопіль : ПМП "РОМС-К" , 2010 — 368 с. — ISBN 9665670786.

53. Основи програмування. Курс лекцій для студентів першого рівня вищої освіти за спеціальністю № 121 Інженерія програмного забезпечення/ Уклад.: М.Р. Петрик, О.Ю.Петрик - Тернопіль: ТНТУ 2018- 64 с.

54. Іщук В. І. Сетифікація програмного забезпечення на основі моделі якості / В. І. Іщук, І. О. Боднарчук // Збірник тез доповідей VI Міжнародної науково-технічної конференції молодих учених та студентів „Актуальні задачі сучасних технологій“, 16-17 листопада 2017 року. — Т. : ТНТУ, 2017. — Том 2. — С. 73–74. — (Комп'ютерно-інформаційні технології та системи зв'язку).

55. Марценко С. В. Математичне моделювання та статистичні методи обробки даних вимірювань в задачах моніторингу електронавантаження / Марценко С.В. — Тернопіль, 2011 — 20 с.

56. Комп'ютерна система аутентифікації осіб / В. А. Марків, Г. М. Осухівська, Ю. З. Лецишин, А. М. Луцків // Матеріали XX наукової конференції ТНТУ ім. І. Пулюя, 17-18 травня 2017 року. — Т. : ТНТУ, 2017. — С. 90–91. — (Інформаційні технології).

57. Назаревич О. Комп'ютерні технології І САД-програми в навчальному процесі: проблеми і методика / Назаревич О., Назаревич Б. // Вісник Тернопільського державного технічного університету. — том 14. — с.176-178.

58. Луцків А. М. Архітектури комп'ютерних систем опрацювання великих даних / А. Луцків, В. Діденко // Матеріали VI науково-технічної конференції „Інформаційні моделі, системи та технології“, 12-13 грудня 2018 року. — Т. : ТНТУ, 2018. — С. 75. — (Комп'ютерні системи та мережі).

59. Харченко О. Г. Розробка та керування вимогами до програмного забезпечення на основі моделі якості / Харченко О.Г., Яцишин В.В. // Вісник Тернопільського державного технічного університету. — том 14. — с.201-207

60. Яцишин В. В. Технологія оцінювання якості WEB-застосувань / Яцишин В.В. // Вісник Тернопільського державного технічного університету. — том 14. — с.132-140

61. Холод Д. М. Проблеми захисту комп'ютерних систем / Д. М. Холод, Г. В. Шимчук // Збірник тез доповідей VI Міжнародної науково-технічної конференції молодих учених та студентів „Актуальні задачі сучасних технологій“, 16-17 листопада 2017 року. — Т. : ТНТУ, 2017. — Том 2. — С. 179–180. — (Комп'ютерно-інформаційні технології та системи зв'язку).

ДОДАТКИ

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
ТЕРНОПІЛЬСЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ
ІМЕНІ ІВАНА ПУЛЮЯ

МАТЕРІАЛИ

VIII НАУКОВО-ТЕХНІЧНОЇ КОНФЕРЕНЦІЇ

**«ІНФОРМАЦІЙНІ МОДЕЛІ,
СИСТЕМИ ТА ТЕХНОЛОГІЇ»**



9–10 грудня 2020 року

ТЕРНОПІЛЬ
2020

О. Ревнюк РОЗРОБКА СПЕЦІАЛІЗОВАНОЇ СИСТЕМИ КЕРУВАННЯ ПАРОЛЯМИ З МЕТОЮ ПІДВИЩЕННЯ ЕФЕКТИВНОСТІ ФУНКЦІОНУВАННЯ ТА БЕЗПЕКИ ПІДПРИЄМСТВ	
O. Revnuk DEVELOPMENT OF A SPECIALIZED PASSWORD MANAGEMENT SYSTEM WITH THE PURPOSE OF IMPROVING THE EFFICIENCY OF ENTERPRISES'S FUNCTIONING AND SECURITY	57
В. Савків, Р. Михайлишин, М. Гой, Я. Рильник СИНТЕЗ СИСТЕМИ АВТОМАТИЧНОГО РЕГУЛЮВАННЯ ТЕМПЕРАТУРИ В СКЛОВАРНІЙ ПЕЧІ	
V. Savkiv, R. Mykhailyshyn, M. Goy, Ja. Rylnyk SYNTHESIS OF AUTOMATIC TEMPERATURE CONTROL SYSTEM IN GLASS FURNACE	59
В. Савків, Р. Михайлишин, М. Куйдан, О. Сидорук АНАЛІЗ СТРУКТУРНОЇ СХЕМИ ІНФОРМАЦІЙНО-УПРАВЛЯЮЧОЇ СИСТЕМИ ДІЛЯНКИ ГАЗОПРОВОДУ	
V. Savkiv, R. Mykhailyshyn, M. Kuidan, O. Sydoryk ANALYSIS OF THE STRUCTURAL SCHEME OF THE INFORMATION AND MANAGEMENT SYSTEM OF THE GAS PIPELINE SECTION	60
Я. Литвиненко, А. Светлов ПРИНЦИПИ РОБОТИ ТА СФЕРИ ЗАСТОСУВАННЯ СИСТЕМ РОЗПІЗНАВАННЯ ЗОБРАЖЕНЬ	
I. Lytvynenko, A. Sviatlov PRINCIPLES OF OPERATION AND SCOPE OF IMAGE RECOGNITION SYSTEMS	61
В. Сивуля, Матійчук Л. ОСОБЛИВОСТІ ЕНЕРГОЕФЕКТИВНОСТІ ПРОЦЕСОРІВ INTEL ТА ВПЛИВ НА ПРОДУКТИВНІСТЬ	
V. Syvulia, L. Matiychuk ENERGY EFFICIENCY FEATURES OF THE INTEL PROCESSORS AND THEIR IMPACT ON PERFORMANCE	62
В. Сивуля, Матійчук Л. МЕХАНІЗМИ ОБМЕЖЕННЯ ПОТУЖНОСТІ	
V. Syvulia, L. Matiychuk POWER LIMITING MECHANISMS	63
В. Сивуля, Матійчук Л. УПРАВЛІННЯ ЖИВЛЕННЯМ ТА КОНТРОЛЬ ЕНЕРГОЕФЕКТИВНОСТІ ПРОЦЕСОРА SKYLAKE	
V. Syvulia, L. Matiychuk POWER MANAGEMENT AND ENERGY EFFICIENCY CONTROL OF THE SKYLAKE PROCESSOR	64
А. Слободяник ВЕБ-ПЛАТФОРМА ДЛЯ ВИРШЕННЯ ПРОБЛЕМ ІЗ РЕАЛІЗАЦІЄЮ СЛІБСЬКОГОСПОДАРСЬКОЇ ПРОДУКЦІЇ	
A. Slobodyanuk WEB PLATFORM FOR SOLVING PROBLEMS WITH SALE OF AGRICULTURAL PRODUCTS	65
І. Тхір ФОРМАТИ ТА НАБОРИ ВІДКРИТИХ ДАНИХ	
I. Tkhir FORMATS AND SETS OF THE OPEN DATA	66

УДК 004.31

Сивуля В.В. – ст.гр.СНМ-61; Матійчук Л.П. – к.е.н., доцент
(Тернопільський національний технічний університет імені Івана Пулюя)

ОСОБЛИВОСТІ ЕНЕРГОЕФЕКТИВНОСТІ ПРОЦЕСОРІВ INTEL ТА ВПЛИВ НА ПРОДУКТИВНІСТЬ

UDC004.31

Syvulia V.; Matiychuk L. Ph.D., Assoc. Prof.

ENERGY EFFICIENCY FEATURES OF THE INTEL PROCESSORS AND THEIR IMPACT ON PERFORMANCE

За останні роки кількість процесів енергоефективності в процесорах Intel значно зросла. Сучасні процесори підтримують одноядерні P-стани (PCP) [1], Uncore Frequency Scaling (UFS) [1], турбочастоти, ядра та пакети C-станів [2], T-стану [3], обмеження потужності, зміщення енергоефективності (EPB). Хоча ці функції значно покращили пропорційність енергії, вони також мають великий вплив на продуктивність процесора. Це можна побачити при порівнянні заданої конфігурації системи для результатів, представлених для SPECpower_ssj [4], із результатами, поданими до тестів, пов'язаних з продуктивністю, таких як SPEC CPU2017. Хоч попередні результати отримали більшу пропорцію енергії протягом останнього десятиліття, останні часто вимикають енергозберігаючі механізми для підвищення продуктивності. Крім того, нові архітектурні особливості, що підвищують продуктивність, також впливають на споживання енергії. Одним із прикладів є введення AVX2 та FMA в процесори Intel Haswell. Деякі навантаження, що використовують ці функції, збільшують споживання енергії порівняно з тепловою розрахунковою потужністю (TDP) на номінальній частоті.

Ці функції пов'язані з енергоспоживанням, охоплюють великий проектний простір із суперечливими цілями оптимізації продуктивності, обмеження потужності та енергоефективності. Користувачі не звертають уваги на наслідки цих механізмів, якими зазвичай керує апаратне забезпечення, прошивка та операційна система. Тому вони використовують свої системи, сподіваючись, що застосовані настройки відповідатимуть їх призначенню. Високопродуктивні обчислення (HPC) мають конкретні вимоги, оскільки одне неправильно налаштоване ядро в програмі може призвести до мільйонів ядер, що очікують. Отже, детальний аналіз та розуміння наслідків енергозберігаючих механізмів є ключовим для кожної оцінки та оптимізації продуктивності та енергоефективності.

Література.

1. D. Hackenberg, R. Schöne, T. Ilsche, D. Molka, J. Schuchart, and R. Geyer, "An Energy Efficiency Feature Survey of the Intel Haswell Processor," in IEEE International Parallel and Distributed Processing Symposium Workshop (IPDPSW), 2015, DOI: 10.1109/IPDPSW.2015.70.
2. R. Schöne, D. Molka, and M. Werner, "Wake-up Latencies for Processor Idle States on Current x86 Processors," Computer Science – Research and Development, 2014, DOI: 10.1007/s00450-014-0270-z.
2. R. Schöne, T. Ilsche, M. Bielert, D. Molka, and D. Hackenberg, "Software Controlled Clock Modulation for Energy Efficiency Optimization on Intel Processors," in Proceedings of the 4th International Workshop on Energy Efficient Supercomputing (E2SC), 2016, DOI: 10.1109/E2SC.2016.15.
3. K. Lange, "Identifying Shades of Green: The SPECpower Benchmarks," Computer, 2009, DOI: 10.1109/MC.2009.84.

УДК 004.31

Сивуля В.В. – ст.гр.СНм-61; Матійчук Л.П. – к.е.н., доцент
(Тернопільський національний технічний університет імені Івана Пулюя)

МЕХАНІЗМИ ОБМЕЖЕННЯ ПОТУЖНОСТІ

UDC 004.31

Syvulia V.; Matiychuk L. Ph.D., Assoc. Prof.

POWER LIMITING MECHANISMS

Firestarter [1] – це повносистемний стрес-тест, який націлений на високе енергоспоживання пам'яті, процесора та прискорювачів графічного процесора. Щоб пристосуватись до архітектури Skylake, представлено інструкції AVX-512 для Firestarter, додано 512-бітові інструкції широкої трансляції та змінено параметри доступу до пам'яті. Для порівняння використовується Linpack та стрес-тест mprime1. Для всіх трьох робочих навантажень порівнюється частота основного циклу та споживання електроенергії змінного струму, а також їхні зміни в порівнянні з повним виконанням, і все це було записано з 1o2s [2].

Linpack складається з змінних фаз обчислень та синхронізації [1]. Стабільне пікове споживання енергії досягається лише на етапах обчислення, тоді як споживання енергії під час синхронізації зменшується до <430 Вт. Кожного разу, коли починається фаза обчислень, спостерігається стрибок до 665 Вт. Під час обчислювальних фаз споживання енергії в середньому становить 620 Вт з деяким шумом від 573 Вт до 664 Вт з вимірними інтервалами 50 мс. Ефективні частоти ядра варіюються між потоками та часом в межах обчислювальних фаз від 2,6 ГГц до 3,2 ГГц, залишаючись стабільними на рівні 3,7 ГГц протягом фаз синхронізації.

Firestarter виконує постійне навантаження, що призводить до великого енергоспоживання та низької частоти ядра. Спостерігається збільшення споживання енергії з 625 Вт до 629 Вт протягом перших 7 хвилин, ймовірно, спричинене вирівнюванням температури. Пізніше потужність залишається від 627 Вт до 631 Вт, тоді як частота різнилась між двома пакетами на рівні 2,55 ГГц / 2,67 ГГц. Firestarter не досягає середнього рівня потужності mprime, але запускає значно нижчу частоту. Firestarter слід розширити для використання як AVX-512, так і 256-бітового AVX.

Механізми енергоефективності суттєво впливають на стрес-тести процесорів. Firestarter використовує потужність пакета для основних частот 2,4 ГГц або вище. Залежно від основної частоти, наявні бюджети зміщуються до неточних. Mprime досягає заданого TDP на більш високих частотах, близько номінальних 3,0 ГГц. Навіть якщо частота нечітких частот фіксується за допомогою MSR 0x620, а специфікації дозволяють натомість знизити частоти ядра: досягнуто обмеження потужності, процесор знижує частоту. На процесорах Haswell-EP відключення турбомеханізму під час обмежених робочих навантажень може збільшити частоти ядра. Згідно з вимірами на платформі Skylake-SP, цей ефект виникає при запиті частоти нижче від 2,9 ГГц.

Література.

1. D. Hackenberg, R. Oldenburg, D. Molka, and R. Schöne, "Introducing Firestarter: A processor stress test utility," in International Green Computing Conference (IGCC), 2013, DOI: <http://dx.doi.org/10.1109/IGCC.2013.6604507>.
2. T. Pilsche, R. Schöne, M. Bielert, A. Gocht, and D. Hackenberg, "1o2s – Multi-core System and Application Performance Analysis for Linux," in IEEE International Conference on Cluster Computing (CLUSTER), 2017, DOI: 10.1109/CLUSTER.2017.116.

УДК 004.31

Сивуля В.В. – ст.гр.СНм-61; Матійчук Л.П. – к.е.н., доцент
(Тернопільський національний технічний університет імені Івана Пулюя)

УПРАВЛІННЯ ЖИВЛЕННЯМ ТА КОНТРОЛЬ ЕНЕРГОЕФЕКТИВНОСТІ ПРОЦЕСОРА SKYLAKE

UDC 004.31

Syvuilia V.; Matiychuk L. Ph.D., Assoc. Prof.

POWER MANAGEMENT AND ENERGY EFFICIENCY CONTROL OF THE SKYLAKE PROCESSOR

Управління живленням Skylake було сконструйовано та розроблено для забезпечення динамічного діапазону потужності серед процесорів Intel – невеликі системи з пасивним охолодженням 4,5 Вт та високопродуктивні комп'ютери до 95 Вт.

Skylake представив революційне управління живленням, який називається Intel Speed Shift [1]. ОС традиційно відповідають за управління продуктивністю та енергією, контролюючи напругу та частоту процесора через P-стані. Коли коефіцієнт завантаження процесора високий, операційна система (ОС) припускає, що потрібна висока продуктивність, і наказує центральному процесору працювати в високоефективному P-стані. Коли коефіцієнт використання низький, ОС наказує центральному процесору працювати в низькопродуктивному, більш енергоефективному P-стані, економлячи енергію, не впливаючи на продуктивність. Завдяки Intel Speed Shift [1] центральний процесор несе відповідальність за потужність, продуктивність та енергоефективність. Автономний алгоритм управління замінює вибір P-стану і досягає на 14% покращення в порівнянні з попереднім поколінням видимих для користувача тестів сценаріїв.

Часто користувач бажає втратити продуктивність для зниження енергоспоживання для досягнення більш тривалого терміну служби батареї, зменшення шуму вентилятора або зниження температури. Користувачами уподобаннями керують інтерфейси ОС, які визначають декілька політик, таких як збалансована та енергоефективна.

Споживання енергії як функція частоти має змінний загальний мінімум PMost Efficient (Pe). Прошивка обчислює цю точку кожні мілісекунди, використовуючи алгоритм, який називається Energy Aware Race to Halt (EARtH) [2]. Алгоритм оптимізації енергії використовує P-стан, який обчислюється з використанням алгоритму на основі попиту, описаного раніше, та виконує оптимізацію енергії в двох різних регіонах.

Якщо коефіцієнт використання низький і немає необхідності запускати процесор у високоефективному стані, буде обрано найменший можливий Pstate. Очевидно, що запуск нижче, ніж Pe, є неоптимальним, оскільки це призводить до збільшення споживання енергії. Якщо автономний алгоритм або ОС вимагає P-стану, нижчого від Pe, частота стискається до Pe і слідує за Pe, коли вона змінюється з характеристиками робочого навантаження.

Якщо необхідна продуктивність, P-стан збільшується за рахунок енергоефективності. ОС може дати підказку, скільки енергії треба витратити на продуктивність. Skylake обрав для оптимізації добре відому Energy * Delay, або EDa [2]. ОС забезпечує алгоритми управління живленням, щоб відповідати або перевищувати EDa. Це не тільки економить електроенергію, але й економить мізерний бюджет Turbo для підвищення частоти вище номінальної частоти для фаз, пов'язаних з обчисленнями.

Література.

1. E. Rotem, "Intel Architecture, Code Name Skylake Deep Dive: A New Architecture to Manage Power Performance and Energy Efficiency," Intel Developer Forum, 2015.
2. E. Rotem et al., "Energy Aware Race to Halt: A Down to EARtH Approach for Platform Energy Management," IEEE Computer Architecture Letters, vol. 13, no. 1, 2014, pp. 25–28.