

УДК 004.312

Вадим Пуйденко, заступник директора з НВР, спеціаліст вищої категорії
Харківський радіотехнічний коледж, Україна

МАТЕМАТИЧНА ТА КОМП'ЮТЕРНА МОДЕЛІ БЛОКУ ДОСТОВІРНОСТІ КЕШ-ПАМ'ЯТІ АРХІТЕКТУРИ ІА-32

В науково-дослідницькій праці автором вирішується задача синтезу функціональної логіки роботи блоку достовірності внутрішньої кеш-пам'яті при умовах промахів або заповнень рядків блоку даних.

Ключові слова: функціональна логіка, внутрішня кеш-пам'ять, блок достовірності, блок даних.

Vadym Puydenko

MATHEMATICAL AND COMPUTER MODELS OF THE MEMORY CACHE RELIABILITY UNIT OF THE IA-32 ARCHITECTURE

In the presented scientific research work the author solves the problem of synthesis of the functional logic of the work of the unit of reliability of the on-chip cache memory under the conditions of misses and filling the rows of the data block.

Keywords: functional logic, on-chip cache memory, unit of the reliability, data block.

Процесорне ядро, виконуючи свої цикли, в першу чергу адресно звертається до внутрішньої кеш-пам'яті по інструкції та операнди у вигляді послідовних 16 байтів. Фіксує подію промаху у внутрішній кеш-пам'яті, процесор ініціює свій шинний інтерфейс на цикл звертання до сегменту/сторінки коду з метою розташування в адресованому рядку L_i певної множини блоку даних чергової 16 байтної порції. Саме тоді для заповнення обирається один з чотирьох рядків L_i множини. Якщо у множині є недостовірний рядок (біт $R_i = 0$), то для заповнення обирається саме цей рядок L_i з наступним встановленням $R_i^+ = 1$ після запису (таблиця 1).

Табл. 1. Обрання рядка L_i серед недостовірних з модифікацією біту R_i

R_3	R_2	R_1	R_0	L_3	L_2	L_1	L_0	R_3^+	R_2^+	R_1^+	R_0^+
0	0	0	0	0	0	0	1	0	0	0	1
0	0	0	1	0	0	1	0	0	0	1	1
0	0	1	0	0	0	0	1	0	0	1	1
0	0	1	1	0	1	0	0	0	1	1	1
0	1	0	0	0	0	0	1	0	1	0	1
0	1	0	1	0	0	1	0	0	1	1	1
0	1	1	0	0	0	0	1	0	1	1	1
0	1	1	1	1	0	0	0	1	1	1	1
1	0	0	0	0	0	0	1	1	0	0	1
1	0	0	1	0	0	1	0	1	0	1	1
1	0	1	0	0	0	0	1	1	0	1	1
1	0	1	1	0	1	0	0	1	1	1	1
1	1	0	0	0	0	0	1	1	1	0	1
1	1	0	1	0	0	1	0	1	1	1	1
1	1	1	0	0	0	0	1	1	1	1	1
1	1	1	1	0	0	0	0	1	1	1	1

На підставі вмісту таблиці 1 створимо відповідні карти Карно:

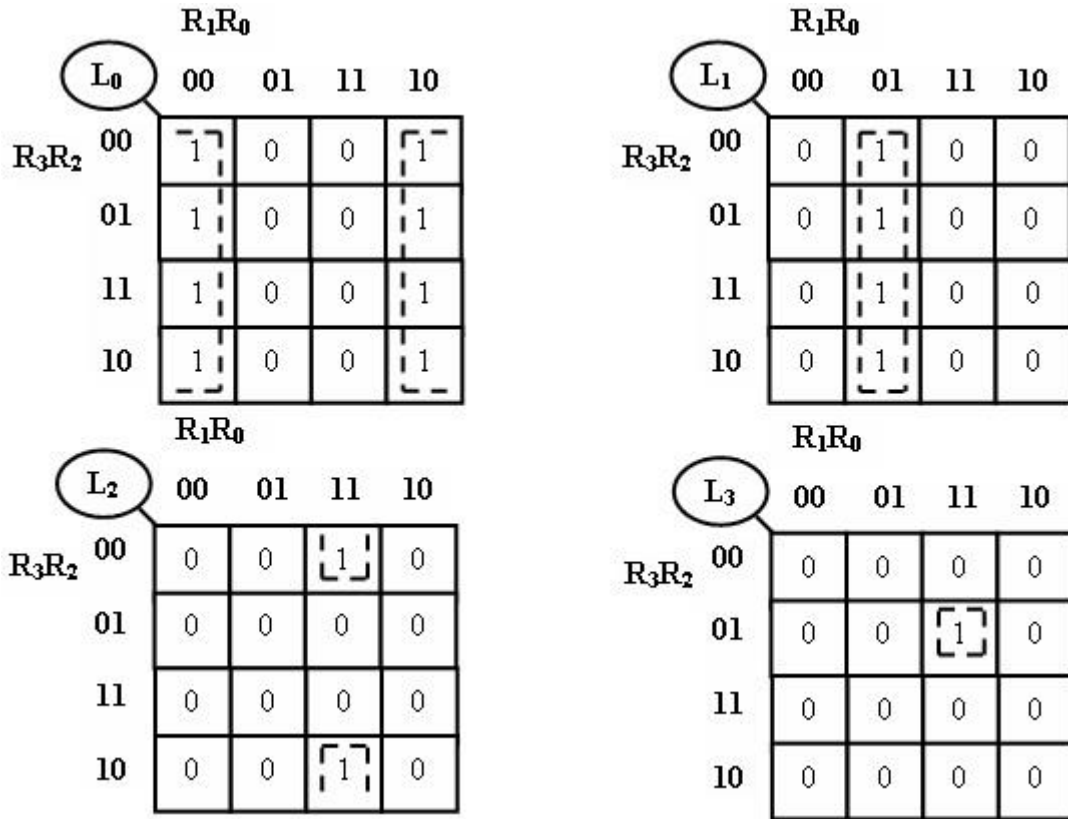


Рис. 1. Мінімізація логіки обрання рядків L_i серед недостовірних

Мінімальні логічні рівняння обрання певного рядка L_i (елемента) відповідної множини блоку даних набудуть вигляду:

$$L_0 = R_0, L_1 = R_1 \& R_0; L_2 = R_2 \& R_1 \& R_0; L_3 = R_3 \& R_2 \& R_1 \& R_0; \quad (1)$$

На підставі отриманих мінімальних логічних рівнянь функціональна логіка модуля достовірності з урахуванням логічної функції нерівнозначності $R_i^+ = f(L_i, R_i)$ буде такою:

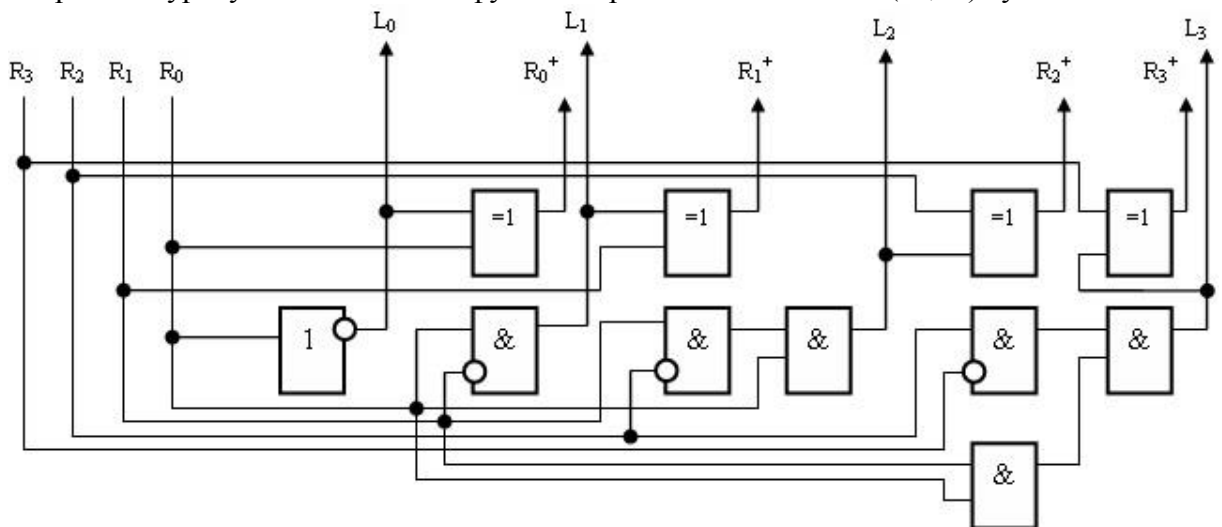


Рис. 2. Фрагмент функціональної логіки з урахуванням функції $R_i^+ = f(L_i, R_i)$

Для вирішення проблеми перезапису станів бітів достовірності R та R⁺ на одному такті T стає в нагоді ідея синтезу диференціального імпульсу dT, алгоритм роботи якого можна представити у вигляді спрямованого графу:

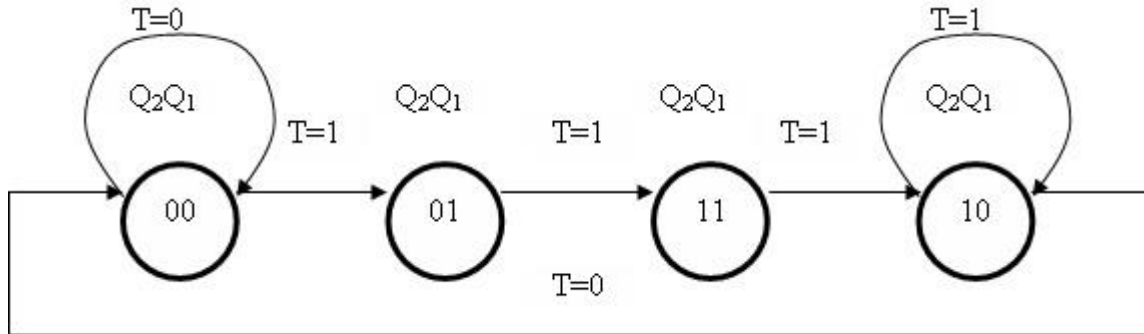


Рис. 3. Спрямований граф формування диференційного імпульсу dT

На підставі граф – схеми функціонування складемо відповідні карти Карно:

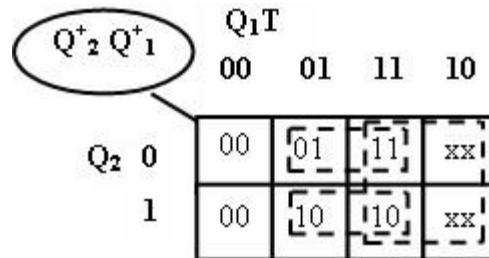


Рис. 4. Мінімізація логіки формування диференційного імпульсу dT

Отже, математична модель формувача диференційного імпульсу dT буде такою:

$$\begin{aligned} Q_2^+ &= \overline{Q_1} \vee Q_2 T = \overline{Q_1} * \overline{Q_2 T}; \\ Q_1^+ &= Q_2 T; \end{aligned} \quad (2)$$

З урахуванням отриманих мінімальних логічних рівнянь, функціональна логіка формувача диференційного імпульсу dT буде такою:

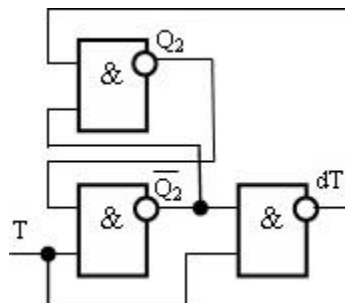


Рис. 5. Функціональна логіка формувача диференційного імпульсу dT

На підставі вище наведених математичних моделей модуля достовірності, формувача диференціального імпульсу та отриманих схемотехнічних рішень в середовищі комп'ютерного моделювання створимо відповідні комп'ютерні моделі:

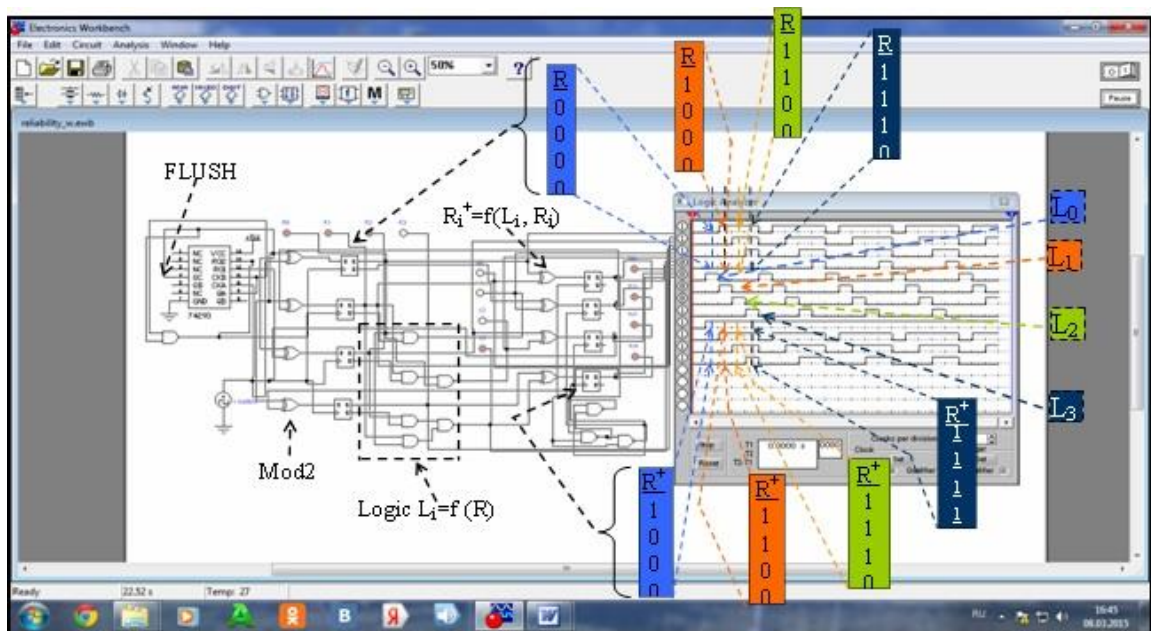
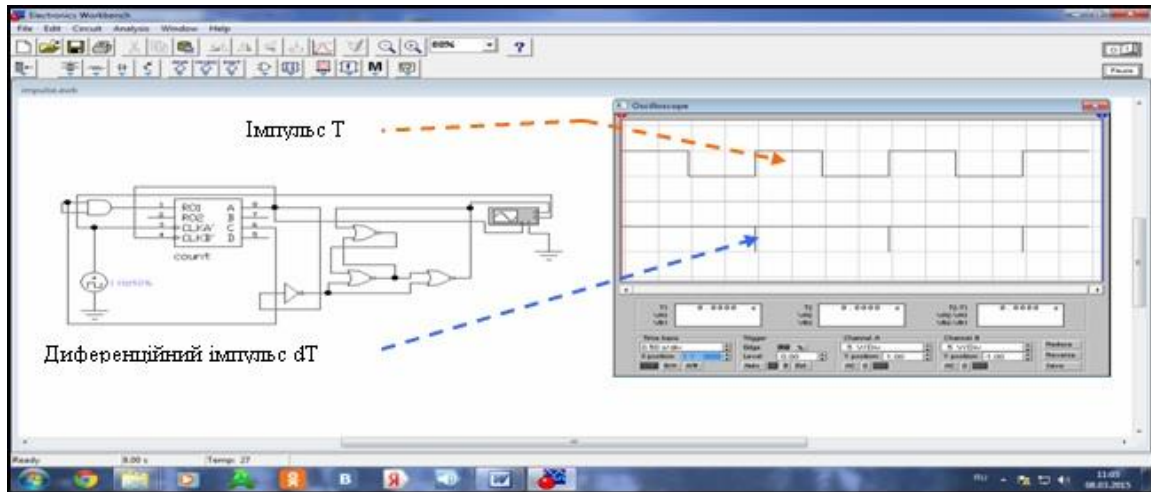


Рис. 6. Комп'ютерні моделі блоку достовірності та формувача імпульсу dT

Отримані в процесі моделювання діаграми часу комп'ютерних моделей повністю відповідають поставленим і вирішеним задачам синтезу, а синтезовані схемотехнічні рішення створюють конкретну апаратну уяву про досить абстрактну архітектуру пристрою та, можливо, складають альтернативу блокам достовірності внутрішньої кеш-пам'яті реальних процесорних ядер архітектури IA-32 .

Література

1. В.Л. Григорьев Микропроцессор i486. Архитектура и программирование. Книга 2,3,4. Аппаратная архитектура. – М., ГРАНАЛ, 1993. – с. 111, ил. 54
2. Брей Б. Микропроцессоры Intel: 8086/8088, 80186/80188, 80286, 80386, i486, Pentium, Pentium Pro, Pentium 2, Pentium 3, Pentium 4. Архитектура, программирование и интерфейсы. Шестое издание: Пер. с англ. - СПб.: БХВ-Петербург, 2005. – 1328 с.: ил.