

**Міністерство освіти і науки України
Тернопільський національний технічний університет
імені Івана Пулюя**

Кафедра біотехнічних систем

МЕТОДИЧНІ ВКАЗІВКИ

до лабораторних робіт з дисципліни

“ ЦИФРОВА СХЕМОТЕХНІКА “

для студентів спеціальності 163 “Біомедична інженерія”

Тернопіль 2018

Методичні вказівки розроблені у відповідності з навчальним планом спеціальності 163 “Біомедична інженерія”

Укладачі: асистент каф. БТ Тимків П.О.

Відповідальний за випуск: зав.кафедрою Хвостівський М.О.

Методичні вказівки розглянуті на засіданні кафедри біотехнічних систем.

Протокол № від 20__ р.

Методичні вказівки схвалені та рекомендовані до друку на засіданні методичної комісії факультету прикладних інформаційних технологій та електроінженерії Тернопільського національного технічного університету імені Івана Пулюя.

Протокол № від 20__ р.

Методичні вказівки складено з врахуванням матеріалів літературних джерел, приведених в списку.

Тема. Цифрові компаратори і схеми контролю парності

Мета роботи : Вивчення принципів побудови і функціонування цифрових компараторів і схем контролю парності виконаних на інтегральних елементах.

1. ЗАГАЛЬНІ ПОЛОЖЕННЯ

1.1. Цифрові компаратори.

Цифрові компаратори виконують порівняння двох чисел, які задані в двійковому (двійко-десятковому) коді. В залежності від схемного виконання компаратори можуть визначати рівність $A=B$ (A і B – незалежні числа з рівною кількістю розрядів) або вид нерівності: $A<B$ або $A>B$. Результат порівняння відображається відповідним логічним рівнем на виході. Мікросхеми – цифрові компаратори – виконують, як правило, всі вище перераховані операції і мають три виходи. Цифрові компаратори широко використовують для виявлення потрібного числа (слова) в потоці цифрової інформації, для відмітки часу в годинникових приладах, для виконання умовних переходів в обчислювальних пристроях.

Логічна схема, яка виконує операцію “еквівалентність” $F = AB\bar{V}\bar{A}\bar{B}$, або, що те ж саме, “виключаюче АБО-НЕ”, може бути використана як однорозрядний компаратор. Так як в практичних умовах виключаюче АБО використовується частіше, ніж еквівалентність, подальша розмова буде йти стосовно до цієї операції.

Схема однорозрядного компаратора показана на рис.1.

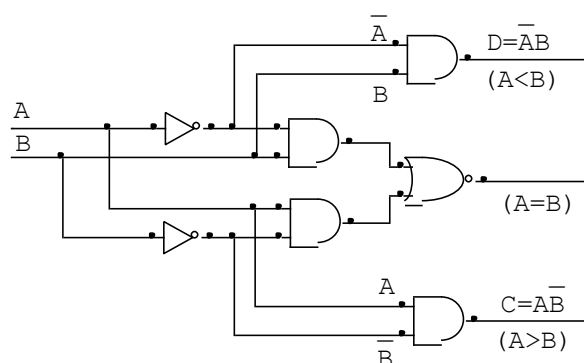


Рис.1. Логічна структура однорозрядного компаратора.

Вона представляє собою розгорнуту логічну структуру логічного елемента “виключаюче АБО-НЕ” з трьома виходами.

Із визначення операції “виключаюче АБО” випливає, що

$$\bar{F} = \overline{A\bar{B}} \cup \overline{\bar{A}B} = \begin{cases} 1, \text{при } A=B \\ 0, \text{при } A \neq B. \end{cases}$$

При $A > B$ (це означає, що $A=1$, $B=0$) буде $C=A\bar{B}=1$; коли $A < B$ ($A=0$, $B=1$), то $D=\bar{A}B=1$.

Логічні елементи І з виходами С і D показані для наглядності. В принципі сигнали С і D можна отримати з виходів внутрішніх схем І логічного елементу І-АБО-НЕ.

Два n -розрядних двійкових числа рівні, коли попарно рівні між собою всі розряди цих чисел. Якщо, наприклад, числа А і В – чотирьохрозрядні, то ознакою їх рівності буде $A_3=B_3$ і $A_2=B_2$, $A_1=B_1$ і $A_0=B_0$. Використовуючи елемент порівняння для кожного розряду, факт рівності двох чисел $A=B$ встановимо у випадку: $F=F_3 F_2 F_1 F_0 = 1$. Якщо ж $F=0$, то $A \neq B$. Нерівність забезпечується в чотирьох випадках: коли $A_3 > B_3$ (A_3 і B_3 – старші розряди чисел А і В), або $A_3=B_3$ і $A_2 > B_2$, або $A_3=B_3$ і $A_2=B_2$ і $A_1 > B_1$, або $A_3=B_3$ і $A_2=B_2$ і $A_1=B_1$ і $A_0 > B_0$.

Очевидно, що для виконання умови $A < B$ достатньо поміняти місцями А і В.

1.2.Контроль парності

За допомогою спеціалізованих мікросхем проводиться досить цікава арифметична операція – перевірка паритету двійкових чисел, суть якої полягає в сумуванні по модулю два всіх розрядів з метою виявлення парності числа. Ця операція дозволяє підвищити надійність передачі двійкової інформації.

Якщо, наприклад, передається код $1001_2=9_{10}$ і внаслідок дії завад буде збій у другому розряді зліва, на приймач поступить $1101_2=13_{10}$. В загальному випадку без спеціальної перевірки помилки не буде виявлено. В даному випадку, якщо інформація закодована в двійково десятичному коді 8-4-2-1, помилку легко виявити, так як число, 1101 протирічить двійково-десятичному коду.

Простий і ефективний спосіб виявлення помилок побудований на припущенні, що в кожний момент часу помилка може виникнути тільки в одному розряді і виявиться вона в зайвій одиниці або в втраті одиниці. В обох випадках число одиниць в слові зміниться на одну. Таким чином, якщо слово містить парне число одиниць у всіх розрядах, а на кінці лінії передачі це число виявиться непарним, значить, появилася помилка.

Реалізація цього методу здійснюється з допомогою пристроїв порівняння (схем контролю парності), які випускаються в мікросхемному виконанні.

На основі інформації на виході передавача схема порівняння формує додатковий біт (1 або 0), який називають паритетним або контрольним бітом, який додають до вихідної інформації. Призначення паритетного біту – доповнювати число одиниць в кожному слові до парного або непарного, в залежності від прийнятої системи кодування. Паритет може бути парним і непарним. У випадку непарного паритету додатковий біт формується таким чином, щоб сума всіх одиниць в передаючому слові, включаючи

контрольний біт, була непарною. Наприклад, в числі 0111 число одиниць непарне. Тому то для непарного паритету додатковий біт повинен бути нулем, а для парного паритету додатковий біт – відповідно одиницею. Контроль непарності (при непарному паритеті) дозволяє фіксувати повне пропадання інформації, так як слово із нулів (включаючи контрольний біт) протирічить непарному паритету.

Для організації схем порівняння використовують логічні елементи “виключаюче АБО”, які виконують роль суматора по модулю 2. На рис.2 показаний такий пристрій на чотири розряди.

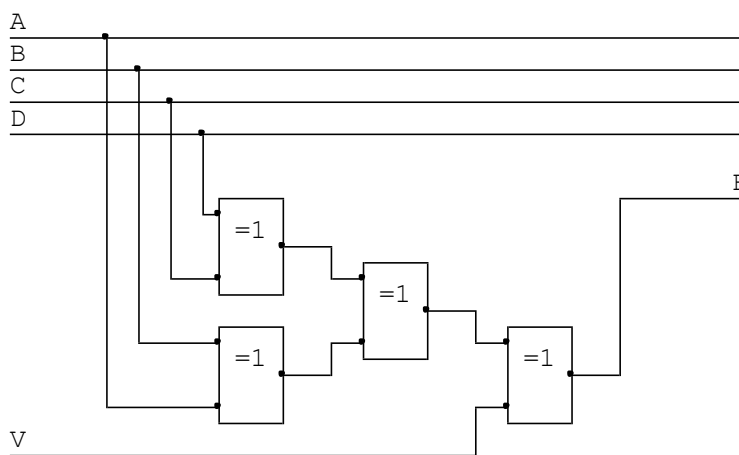


Рис.2. Пристрій для формування паритетного біта.

Структурна схема перевірки парності (непарності) - багатоступенева. На першій ступені (ярусі) попарно сумуються всі біти слова. Вихідні сигнали першого ярусу служать вхідними для другого – і так послідовно до кінцевого визначення парності (непарності) суми одиниць всього слова. Одержаний результат на останньому етапі порівнюється з контрольним сигналом, який задає вид використовуваного паритету. Якщо прийнятий парний паритет, тобто число одиниць в слові, включаючи паритетний біт, повинно бути парним, то контрольний сигнал повинен бути рівний сумі по модулю два всіх інформаційних розрядів слова. Для непарного паритету контрольний сигнал є інверсією вказаної суми (табл.1).

Таблиця.1. Таблиця істинності для формувача паритетного біту

Входи				Вихід F	
A	B	C	D	V=0	V=1
0	0	0	0	0	1
0	0	0	1	1	0
0	0	1	0	1	0
0	0	1	1	0	1
0	1	0	0	1	0
0	1	0	1	0	1
0	1	1	0	0	1
0	1	1	1	1	0

1	0	0	0	1	0
1	0	0	1	0	1
1	0	1	0	0	1
1	0	1	1	1	0
1	1	0	0	0	1
1	1	0	1	1	0
1	1	1	0	1	0
1	1	1	1	0	1

Таким чином, незалежно від паритету чотирьохрозрядного слова на інформаційних шинах А, В, С і D паритет п'ятирозрядного коду А, В, С, D і F завжди буде однаковий. Це впливає із того факту, що якщо сума А, В, С, D непарна (парна), то $F=0$ ($F=1$) і їх загальна сума також непарна. Потенціал на вході V ($V=0$ або $V=1$) визначає таким чином вид використовуваного паритету.

1.3.Характеристика досліджуваних мікросхем.

1.3.1. Схема порівняння двох 4-розрядних чисел 555СП1(74LS85).

Мікросхема 555СП1- схема порівняння двох чотирьохрозрядних слів (рис.3). У функціональному відношенні крім визначення рівності або нерівності дана мікросхема допускає нарощування з метою збільшення розрядності

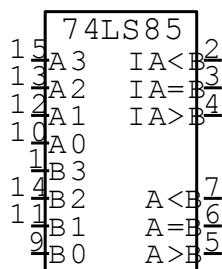


Рис.3. Умовне графічне зображення мікросхеми 555СП1.

Мікросхема має розширюючі входи $IA=B$, $IA<B$, $IA>B$ які дозволяють нарощувати розрядність двох чисел без додаткових логічних елементів. Компаратори можна з'єднувати каскадно і паралельно. При каскадному з'єднуванні виходи $A<B$ і $A=B$ попередньої мікросхеми (молодші розряди) підключають до відповідних входів наступної. На входи $IA<B$, $IA=B$ і $IA>B$ мікросхеми молодших розрядів подають потенціали лог. "0", лог."1" і лог. "1" відповідно. В наступних мікросхемах на входах $IA>B$ підтримують потенціал лог. "1". При цьому способі з'єднання компараторів затримки сумуються.

При паралельному з'єднанні перехідні процеси займають менше часу.

1.3.2. Схема контролю парності мікросхема K561CA1

Дана мікросхема визначає паритет двійкового слова довжиною до 12 розрядів. Вона має 12 інформаційних входів, один керуючий вхід V і один вихід F (рис.4).

Всі входи логічно рівноцінні і порядок підключення розрядів слова не відіграє ролі. Сигнал на керуючому вході V задає режим роботи схеми; коли $V=0$, забезпечується парний паритет, тобто при парному числі одиниць на інформаційних входах $F=0$, а при непарному $F=1$. При $V=1$ має місце непарний паритет, обернений розглянутому.

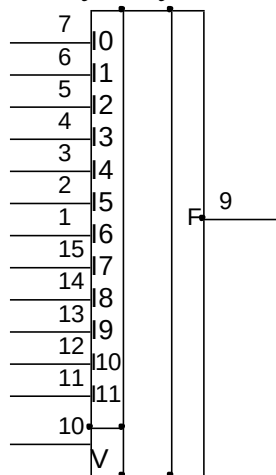


Рис.4. Умовне графічне зображення мікросхеми K561CA1.

Якщо в слові менше 12 розрядів, на вільних входах при перевірці на парність повинно бути парне число одиниць, а при перевірці на непарність – непарне. Коли число розрядів в слові перевищує дванадцять, можна використовувати декілька мікросхем, з'єднуючи вихід F попередньої схеми з входом V наступної.

2. ПОРЯДОК ВИКОНАННЯ РОБОТИ

Роботу виконують на САПР CIRCUIT MAKER, PSPICE, OrCAD або лабораторному макеті.

2.1. Дослідження цифрового компаратора мікросхеми 555СП1.

2.1.1. Зібрати принципову схему дослідження компаратора 555СП1

2.1.2. На входи $IA < B$, $IA = B$ і $IA > B$ мікросхеми подати потенціали лог. "0", лог. "1", лог. "1" відповідно.

2.1.3. Інформаційні входи А0-А3 і В0-В3 компаратора підключити до тумблерів і подати різні набори лог."0" і лог. "1" перемиканням тумблерів.

2.1.4. Виходи "<", "=" і ">" компаратора підключити до індикаторних світлодіодів.

2.1.5. Подачею різних кодів перевірити роботу компаратора.

2.1.6. Скласти таблицю станів роботи компаратора.

2.2. Дослідження схеми контролю парності мікросхеми K561CA1.

2.2.1. Зібрати принципову схему дослідження схеми контролю.

2.2.2. Інформаційні (вісім) входи І0 - І7 підключити до тумблерів (двійкового перемикача) стенду і подати різні набори лог."0" і лог."1" перемиканням тумблерів (перемикача).

2.2.3. Вихід F схеми підключити до індикаторного світлодіода.

2.2.4. На керуючий вхід V подати потенціал лог."0" (перевірка на парний паритет). На інформаційні входи. І8 - І11 подати парну кількість потенціалів лог."1".

2.2.5. Складіть таблицю істинності для перевірки парного паритету.

2.2.6. На керуючий вхід подати потенціал лог."1" (перевірка на непарний паритет).

2.2.7. На інформаційні входи І8 - І11 подати непарну кількість потенціалів лог. "1".

2.2.8. Складіть таблицю істинності мікросхеми для перевірки непарного паритету.

3.ЗМІСТ ЗВІТУ

1. Мета роботи.
2. Загальні положення.
3. Короткий опис функціонування мікросхем 555СП1 і K561CA2.
4. Схеми дослідження.
5. Таблиці істинності.
6. Висновки.

4. КОНТРОЛЬНІ ЗАПИТАННЯ

- 4.1. Які операції виконують цифрові компаратори.
- 4.2. Назвіть базовий елемент цифрового компаратора.
- 4.3. Назвіть суть перевірки паритету двійкових чисел.
- 4.4. На якому припущенні проходить виявлення помилок при передачі двійкових кодів.

Тема. Комбінаційні суматори

Мета роботи. Вивчення принципів побудови комбінаційних суматорів та дослідження їх роботи.

1. ЗАГАЛЬНІ ПОЛОЖЕННЯ

1.1. Комбінаційні суматори

Функціональні вузли, що здійснюють арифметичне додавання чисел називаються суматорами. В пристроях дискретної техніки сумування здійснюється в двійковому або, рідше, двійково-десятковому коді. Додавання багаторозрядного слова за допомогою суматора проходить порозрядно з урахуванням переносу в сусідній старший розряд. Тому при побудові багаторозрядного суматора необхідно врахувати не лише появу переносу в деякому розряді, але й можливість одержання переносу від сусіднього молодшого розряду. По характеру дії суматори діляться на дві категорії: комбінаційні, які не мають елементів пам'яті; накопичуючі - зберігають результат сумування. В свою чергу, кожний із суматорів в залежності від способу обробки чисел належить до послідовного або паралельного типу, які будуються на основі однорозрядних сумуючих схем. Додавання чисел в послідовних суматорах здійснюється порозрядно, послідовно в часі. В суматорах паралельної дії додавання всіх розрядів багаторозрядних чисел проходить одночасно.

1.1.1. Напівсуматори

Напівсуматор – це пристрій (рис.1), що має два входи (для доданків **a** і **b**) і

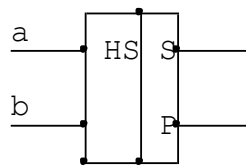


Рис.1. Функціональна схема напівсуматора.

два виходи (суми **S** і переносу **P**), який призначений для додавання за правилами, що наведені в табл.1.

Таблиця 1-Таблиця істинності напівсуматора

A	b	S	P
0	0	0	0
0	1	1	0

1	0	1	0
1	1	0	1

З даної таблиці видно, що напівсуматор виконує додавання двох однорозрядних двійкових чисел з формуванням суми і переносу в наступний старший розряд. Робота напівсуматора описується наступним рівнянням

$$S = a\bar{b} \cup \bar{a}b = a \oplus b; P = ab.$$

Відповідно до наведених виразів структура напівсуматора зображена на рис.2.

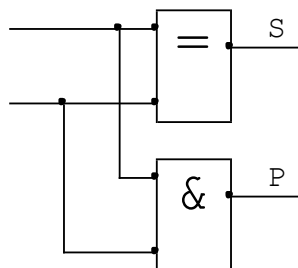


Рис.2. Структурна схема напівсуматора.

1.1.2. Повний суматор

Повний суматор (рис.3) реалізує додавання двох однорозрядних двійкових чисел з врахуванням переносу з молодшого розряду. Тому він

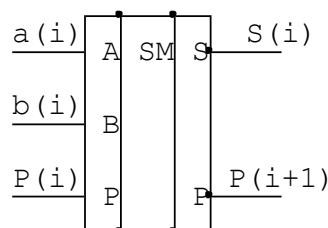


Рис.3. Функціональна схема повного суматора.

має три входи (a_i, b_i, P_i) і два виходи (S_i, P_{i+1}) Логіка роботи повного суматора наведена в таб.2, де a_i, b_i - доданки двійкових чисел в i -му розряді, (P_i, P_{i+1}) - переноси відповідно з молодшого розряду в i -й та в сусідній $(i+1)$ - ший розряд; S_i - сума в i -ому розряді.

Таблиця 2- Таблиця істинності суматора

a_i	b_i	P_i	S_i	P_{i+1}
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1

1	1	1	1	1
---	---	---	---	---

Згідно з таб.2 робота повного суматора описується такими логічними виразами;

$$S_i = P_i(a_i \oplus b_i) \cup \bar{P}_i(a_i \oplus b_i) = P_i \oplus a_i \oplus b_i; \quad (1)$$

$$P_{i+1} = a_i b_i \cup P_i(a_i \oplus b_i). \quad (2)$$

За виразами (1) і (2) можна побудувати повний: суматор структура якого зображена на рис.4.

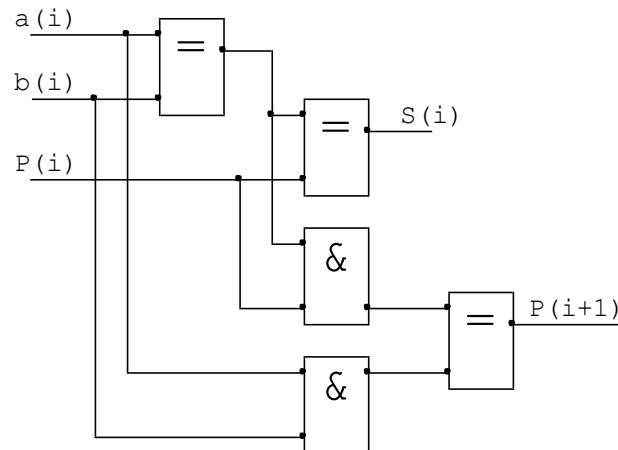


Рис.4. Структурна схема повного суматора

1.1.3. Паралельні суматори

1.1.3.1. Паралельний суматор з послідовним переносом.

Такий суматор додає два багаторозрядні числа одночасно з послідовною передачею переносу, як це показано на рис.5.

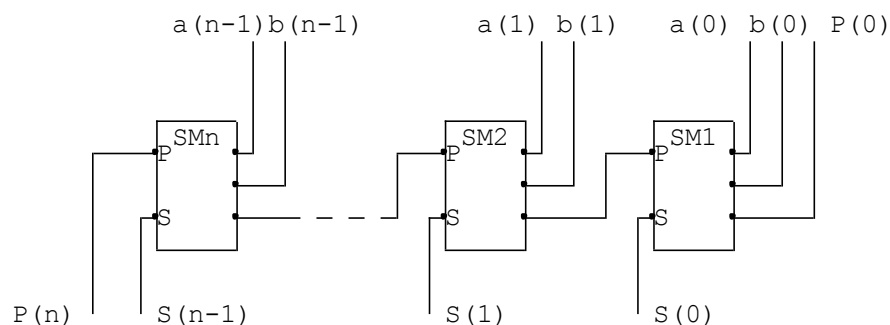


Рис.5. Структурна схема паралельного суматора з послідовним переносом.

На вході переносу молодшого розряду P_0 установлюють низький потенціал ($P_0=0$), бо до нього не доходить перенос. У процесі послідовного проходження переносу в кожному розряді суматора встановлюється кінцеве значення суми. Час спрацювання такого суматора рівний $t=n \times t_{cm1}$, де t_{cm1} – час спрацювання однорозрядного суматора.

1.1.3.2. Паралельний суматор з паралельним переносом.

Для зменшення часу додавання застосовують суматори з паралельним переносом, в яких вхідний перенос кожного розряду вибирається незалежно від переносу сусіднього розряду. Для цього застосовують спеціальні схеми прискореного переносу, принцип якого полягає в тому, що для кожного двійкового i -го розряду додатково утворюються два сигнали: генерації переносу $g_i = a_i b_i$ і поширення переносу $h_i = P_i(a_i \oplus b_i)$. Сигнал g_i виробляється схемою тоді, коли в кожному i -му розряді перенос відбувається внаслідок комбінації доданків a_i і b_i , а сигнал h_i показує, що передається отриманий у молодшому розряді сигнал переносу P_i далі чи ні.

Процес формування прискореного переносу у паралельному суматорі описується виразом:

$$P_{i-1} = g_i \cup h_i P_i = g_i \cup h_i P_{i-1} \cup h_i h_{i-1} P_{i-2} \cup \dots \cup h_i h_{i-1} \dots h_2 h_1 P_0.$$

З виразу очевидно, що біт переносу в довільному розряді суматора принципово може бути сформований відразу, як тільки визначиться біт переносу в молодшому розряді. Таким чином, за рахунок ускладнення схеми суматора за принципом паралельного переносу досягається більша швидкодія процесу додавання, ніж при послідовному переносі.

1.1.3.3. Паралельний суматор з груповим переносом

Такий суматор складається з n -розрядного суматора, що має k груп, в межах кожної з яких формування переносу здійснюється одночасно, без затримки від розряду до розряду. Вхід переносу від молодшої групи є одним з доданків для формування переносу в чергові старші групи. Таким чином затримка формування переносу на виході суматора буде визначатися сумарною затримкою формування переносів у k групах. Порівняно з суматором з паралельним переносом у чистому виді у суматора з груповим переносом досягається більша швидкодія за рахунок паралельного переносу між групами у поєднанні з паралельним переносом в середині групи. Це найбільш швидкодіючі суматори у діапазоні розрядності $n = 24 \div 64$.

1.2. Характеристика чотирьохрозрядного паралельного суматора 555ИМ3.

Мікросхема 555ИМ3(74LS83) складається з генератора розрядів суми і схеми прискореного переносу. Умовне позначення мікросхеми і її цоколювка показана на рис.6.

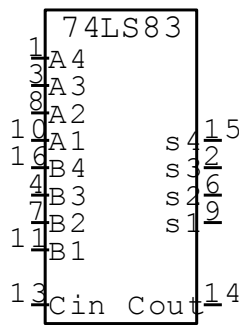


Рис.6. Умовне графічне позначення мікросхеми 555ИМЗ.

Дія суматора побудована на паралельному сумуванні даних в різних розрядах при послідовному переносі із розряду в розряд. Результат на виходах суми і переносу описується наступними виразами $\sum_{a,b} = P_0 + a_1 + b_1 + 2(a_2 + b_2) + 4(a_3 + b_3) + 8(a_4 + b_4) = S_1 + 2S_2 + 4S_3 + 8S_4 + 16P_4$.

Знак “+” – символ арифметичного додавання. Суматор працює зі словами як додатної (високий рівень – лог.”1”), так і від’ємної (низький рівень – лог.”0”) логіки. При послідовному з’єднанні мікросхеми з метою нарощування розрядності вихід переносу з’єднують з входом переносу мікросхем, які належать більш високим розрядам.

Чотирьохрозрядний суматор К155ИМЗ можна використовувати як різницевий пристрій. Операція віднімання виконується шляхом додавання зменшуваного з від’ємником, взятого в додатковому коді. Операції додавання і віднімання можна сумістити з допомогою елементів “виключаючого АБО”. Ці елементи в залежності від рівня напруги на керуючому вході працюють як повторювачі або інвертори.

2. ПОРЯДОК ВИКОНАННЯ РОБОТИ

Роботу виконують на САПР CIRCUIT MAKER, PSPICE, OrCAD або лабораторному макеті.

2.1. Нарисувати схеми комутації мікросхеми К555ИМЗ для виконання операцій: додавання і віднімання.

2.2. Зібрати схему для виконання операцій додавання і віднімання.

2.3. Виходи суматора підключити до індикаторних світлодіодів.

2.4. Керуючий вхід підключити до тумблера і встановити відповідний потенціал в залежності від режиму роботи.

2.5. Інформаційні входи (A1-A4) і (B1-B4) підключити до тумблерів.

2.6. Провести необхідні обчислення згідно варіанту даного викладачем.

2.7. Виконати додавання і порівняти отримані результати з результатами обчислень.

2.8. Виконати віднімання і порівняти отримані результати з результатами обчислень.

3.ЗМІСТ ЗВІТУ

3.1. Мета роботи.

3.2. Загальні положення.

3.3. Схема комутації мікросхеми 555ИМЗ для проведення додавання і віднімання.

3.4. Необхідні пояснення до схеми і обчислення результатів додавання і віднімання.

3.5. Висновки.

4. КОНТРОЛЬНІ ЗАПИТАННЯ

4.1. Як проходить додавання двох чисел в суматорах послідовного і паралельного типів.

4.2. Яким рівнянням описується робота напівсуматора.

4.3. Яка структурна схема повного суматора.

4.4. Яким чином досягається висока швидкодія суматорів.

Лабораторна робота № 3

Тема. Тригери

Мета роботи. Вивчення і дослідження основних структур тригерних пристроїв в логічному базисі **I-НЕ** та **АБО-НЕ**.

В процесі виконання роботи студенти знайомляться зі схемами найбільш поширених тригерів (RS, D, T, JK-типів) з особливостями асинхронних, синхронних і двотактних тригерів, на елементах **I-НЕ** та **АБО-НЕ** реалізують вказані тригери і досліджують їх роботу в різних режимах.

1. ЗАГАЛЬНІ ПОЛОЖЕННЯ

Функціональні вузли і пристрої ЕОМ синтезуються на основі двох типів логічних схем: комбінаційних і цифрових автоматів.

Тригер (типова схема цифрового автомата) являє собою пристрій, що може знаходитись в одному з двох стійких станів і переходить з одного стану в другий під дією зовнішніх сигналів. Перехід в кожний наступний стан, як правило залежить не тільки від текучих значень вхідних сигналів, але і від попереднього стану тригера, який разом із зовнішніми сигналами управляє його роботою. Тому тригери є пристроями із зворотніми логічними зв'язками і складаються з двох частин: елементу пам'яті (власне тригер) і схеми управління, виконаної, як правило з допомогою комбінаційної схеми. Схема управління перетворює інформацію, що поступає на її входи $x_1, x_2, \dots, x_m$ в комбінацію сигналів, яка діє на входи власне тригера.

Логічна функція, що встановлює залежність стану, в який переходить тригер з текучого стану при дії на нього заданих сигналів управління, називається функцією переходів тригера. Функції переходів задаються логічними формулами або у вигляді таблиць.

В таблиці містяться значення інформаційних та синхросигналів на вході тригера, а також значення вхідних сигналів (внутрішніх станів тригера) після закінчення дії синхросигналу. Закон функціонування тригера може бути заданий і у вигляді характеристичного рівняння логічної функції виду:

$$Q_{n+1} = f(Q_n, x_{ni}), i=1, 2, \dots, m,$$

де Q_{n+1} - стан тригера після закінчення дії синхросигналу в момент t_{n+1} ;

Q_n - стан тригера до приходу синхросигналу;

x_{ni} - значення сигналу на інформаційному вході в момент часу t_n .

Між таблицею переходів і характеристичним рівнянням існує взаємно однозначна відповідність, тобто від таблиці переходів завжди можна перейти до характеристичного рівняння шляхом виводу ВДНФ з таблиці.

По рівню вхідного сигналу тригери поділяються на тригери з прямими входами (запис інформації відбувається рівнем “1”) та з інверсними входами (запис інформації відбувається рівнем “0”).

Крім того, тригери бувають одно - та двотактними. В однотоктних тригерах запис інформації відбувається по попередньому фронту сигналу запису, а в двотактних – по задньому, тобто в момент закінчення дії сигналу запису.

В свою чергу, всі тригери діляться на синхронні та асинхронні. В асинхронних тригерах запис інформації відбувається влюбий момент часу, а в синхронних – тільки при наявності синхросигналу.

1.1. Асинхронні тригери

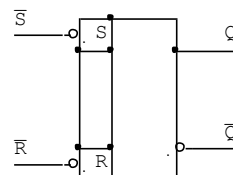
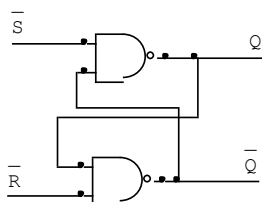
Основним асинхронним елементом пам’яті служить RS тригер.

Тригером RS- типу називається логічний пристрій з двома стійкими станами і двома інформаційними входами R і S. При подачі сигналу запису на вхід S (вхід встановлення) в тригер запишеться “1”. Тобто $Q=1$, $\bar{Q}=0$ (таб.1).

Таблиця 1 – Таблиця переходів RS тригера

Такт t^n		Такт t^{n+1}
R^n	S^n	Q^{n+1}
0	0	Q^n
0	1	1
1	0	0
1	1	н/с

При подачі сигналу на вхід R (вхід скидання) в тригер запишеться “0”, тобто $Q=0$, $\bar{Q}=1$. Одночасно подавати записи на входи – заборонено, так як після закінчення їх дії тригер встановлюється в невизначений стан. Так як RS – тригер є складовою частиною всіх інших тригерів, розглянемо більш детально структурні схеми RS- тригерів. Асинхронний RS- тригер є найбільш простим по структурі. Він має тільки два логічних елементи (мінімальну кількість). Даний тригер можна побудувати на елементах “АБО-НЕ”, “І-НЕ” та інших, виходячи з його характеристичного рівняння.



а)

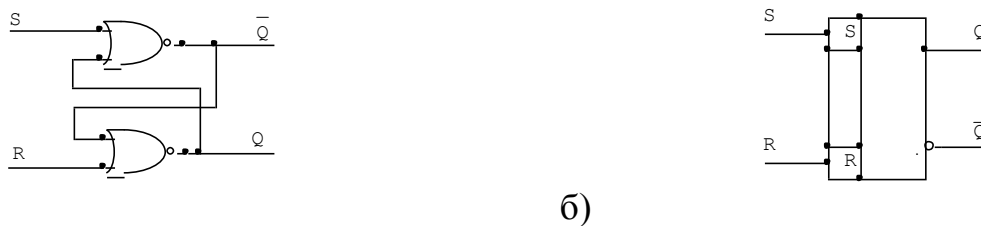


Рис.1. Схема логічної структури та умовне зображення асинхронного RS – тригера з інверсними (а) та прямими (б) входами.

На рис. 1 наведено два варіанти реалізації асинхронного RS - тригера на логічних елементах “І-НЕ” (рис.1а.) і “АБО-НЕ” (рис.1б.). При цьому на інформаційних входах RS-тригера, виконаного на елементах “І-НЕ” (рис.1а.), діють сигналами R і S, рівень яких відповідає “0” (тригер з інверсними входами). Даний тригер встановлюється в стан “1” ($Q=1$) сигналом $S=0$ і в стан “0” ($Q=0$) сигналом $R=0$. Для нього забороненою комбінацією є комбінація сигналів $R \vee S = 0$.

1.1. Синхронні тригери

Важливу роль в цифрових пристроях відіграють RS-тригери з синхронізуючими (тактовими) і інформаційними (програмуєчими) входами (рис.2).

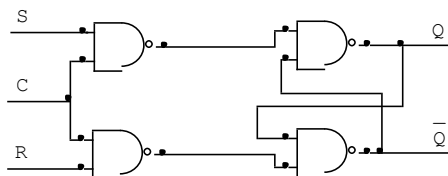


Рис.2. Логічна структура синхронного тригера з статичним управлінням.

На відміну від асинхронного даний тригер на кожному інформаційному вході має додаткові схеми співпадиння, перші входи яких об'єднані і на них подаються синхронізуючі сигнали. Другі входи схем співпадиння є інформаційними. Зміна стану тригера можлива лише при наявності одиничного сигналу на синхронізуючому вході C. При нульовому значенні цього сигналу інформація на входах R і S не сприймаються і тригер зберігає свій попередній стан. Таблиця переходів синхронного тригера при $C_n = 1 = \text{const}$ співпадає з таблицею переходів асинхронного тригера.

1.3. Тригери D-типу

D-тригери мають для встановлення в стан “1” і “0” один інформаційний вхід (D-вхід). Функціональна особливість тригера такого типу полягає в

тому, що сигнал на виході Q в такті (n+1) повторює вхідний сигнал D у попередньому такті n і зберігає (пам'ятає) цей стан до наступного такту. Іншими словами, D-тригер затримує на один такт інформацію, яка була на D-вході. Таблиця переходів D- тригера показана в табл.2. а на рис. 3-логічна логічна структура синхронного D-тригера зі статичним управлінням, виконаного на елементах "І-НЕ".

Таблиця 2-Таблиця переходів D-тригера

D _{n-1}	Q _{n-1}	C _n	Q _n
0	0	0	0
0	1	0	1
0	1	1	0
1	0	1	1
1	1	1	1
1	1	0	1

Функція переходів D-тригера

$$Q_n = C_n + D_{n-1} + \overline{C_n} Q_{n-1} = \overline{\overline{C_n} D_{n-1}} \overline{\overline{C_n} Q_{n-1}}.$$

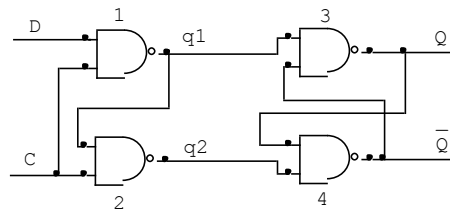


Рис.3. Логічна структура D-тригера зі статичним управлінням.

Елементи 3 і 4 утворюють комірку пам'яті, а 1 і 2 – схему керування. В паузах між тактовими імпульсами елементи 1 і 2 закриті і на їх виходах існують сигнали $q_1 = q_2 = 1$, які служать нейтральною комбінацією для основної комірки пам'яті.

1.4. Тригери JK- типу.

Тригером JK-типу називається логічний пристрій, який має два стійких стани і два інформаційних входи J та K і описується таблицею переходів (табл. 3.)

Таблиця 3.-Таблиця переходівJK-тригера

C _n	J _{n-1}	K _{n-1}	Q _{n-1}	Q _n
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
1	0	1	1	0

1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0
0	0	1	1	1
0	1	0	0	0
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	1
	1	0	0	

Функція переходів має вигляд

$$Q_n = \bar{C}_n Q_{n-1} + \bar{K}_{n-1} Q_{n-1} + C_n J_{n-1} \bar{Q}_{n-1} = \\ = Q_{n-1} \bar{K}_{n-1} \bar{C}_n + \bar{Q}_{n-1} J_{n-1} C_n.$$

В схемному відношенні JK – тригери відрізняються від RS –тригерів наявністю зворотних зв'язків із виходів на входи. Логічна структура найпростішого синхронного JK- тригера показана на рис. 4.

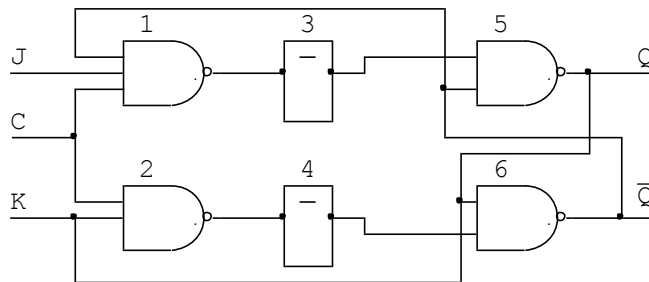


Рис. 4. Логічна структура JK-тригера.

Із схеми видно, що стан JK- тригера залежить не тільки від сигналів на входах J і K, але і від логічно зв'язаних із ними сигналами з виходів Q і $\bar{Q}$. Елементи часової затримки 3 і 4 у даній схемі відіграють роль стабілізаторів станів тригера і безпосередньо на його функціональні властивості не впливають.

1.5. Тригери Т-типу

Тригер Т-типу (лічильний тригер) називається логічний пристрій, який має два стійких стани і один вхід Т, і змінює свій стан на протилежний всякий раз, коли на Т-вхід приходить управляючий сигнал (табл. 4..)

Таблиця 4.-Таблиця переходів Т-тригера

C_n	T_n	Q_{n-1}	Q_n
1	0	0	0
1	0	1	1
1	1	0	1

1	1	1	0
---	---	---	---

Робота Т-тригера описується функцією переходів

$$Q_n = C_n \bar{Q}_{n-1} T_n + D_{n-1} + C_n \bar{T}_n Q_{n-1} = \\ = C_n (\bar{Q}_{n-1} T_n + Q_n \bar{T})_n = (C_n T_n \oplus Q_{n-1}).$$

Т- тригер можна побудувати на основі D-тригера. Для цього достатньо його інформаційний вхід D потрібно з'єднати з інверсним виходом $\bar{Q}$, а на вхід синхронізації C подати лічильні імпульси

1.6. Характеристика досліджуваного тригера.

Мікросхема 555TM2 (74LS74) включає два незалежних D-тригера, що мають загальну шину живлення. У кожного тригера є входи C , D , S і R , а також виходи Q і $\bar{Q}$.

2. ПОРЯДОК ВИКОНАННЯ РОБОТИ

Роботу виконують на САПР CIRCUIT MAKER, PSPICE, OrCAD або лабораторному макеті.

2.1. Ознайомитися з теоретичною частиною роботи.

2.2. Зібрати асинхронний тригер на елементах "І-НЕ", використавши мікросхему 555ЛА3(74LS00). Дослідити його в статичному режимі. Скласти таблицю станів.

2.3. Зібрати синхронний - тригер на елементах "І-НЕ". Дослідити його в статистичному режимі, Скласти таблицю станів.

2.4. Зібрати синхронний D-тригер на елементах "І-НЕ". Дослідити його в статичному режимі. Скласти таблицю переходів.

2.5. Зібрати однотактний Т-тригер на елементах "І-НЕ". Дослідити його в статистичному і динамічному режимах. Скласти таблицю переходів і зняти осцилограму.

2.6. Дослідити в статистичному і динамічному режимах D-тригер, використавши мікросхему 555TM2(74LS74). Скласти таблицю переходів і зняти осцилограму.

2.7. Дослідити в статитичному і динамічному режимах подільник частоти на 2 і на 4 на базі синхронного D-тригера (555TM2). Зняти осцилограми.

3. ЗМІСТ ЗВІТУ

3.1. Мета роботи

3.2. Короткі відомості з теорії

3.3. Короткий опис і умовне позначення мікросхеми 555ЛА3 та мікросхеми 555ТМ2.

3.4. Умовні позначення., схеми, таблиці, осцилограми для кожного з дослідів.

3.5. Висновки по роботі.

4. КОНТРОЛЬНІ ЗАПИТАННЯ

4.1. Яка структурна схема комірки пам'яті.

4.2. Дайте порівняльну характеристику синхронним і асинхронним тригерам.

4.3. Яким чином можна використати D-тригер як подільник частоти на два.

4.4. Дайте характеристику JK-тригера.

Тема. Регістри

Мета роботи. Вивчення принципів побудови регістрів виконаних на інтегральних елементах .

В процесі виконання роботи студенти вивчають принципи побудови паралельних однофазних, парафазних, зсувних, реверсивних регістрів на основі RS, JK, DV, D, T тригерів, досліджують режими роботи регістрів, перевіряють їхню працездатність, таблиці станів регістра, знімають осцилограми з виходів кожного розряду регістра.

1.ЗАГАЛЬНІ ПОЛОЖЕННЯ

Регістром називають операційний вузол, який служить для запам'ятовування слів і забезпечує в загальному випадку виконання наступних мікрооперацій:

- 1) встановлення регістра в нуль (скидання);
- 2) приймання слова з другого регістра, лічильника, суматора і т.д.;
- 3) передача слова на другий регістр, суматор , лічильник і т.д.;
- 4) перетворення кодів слів, що зберігаються в інверсних кодах;
- 5) зсув слова вліво або вправо на потрібне число розрядів;
- 6) перетворення послідовного коду в паралельний і навпаки;
- 7) порозрядні операції кон'юнкції, диз'юнкції і додавання по модулю 2.

Схеми конкретних регістрів в окремих випадках можуть реалізовувати тільки деякі з перелічених мікрооперацій. Як правило регістри будують на тригерах RS, JK, DV, D та T- типів, котрі і реалізують мікрооперацію запам'ятовування слів. Решту ж мікрооперацій виконуються за рахунок підключення до входів і виходів тригерів, логічних елементів, а також за рахунок організації відповідних зв'язків між ними.

Будемо називати паралельним регістром такий регістр, котрий реалізовує всі перелічені операції з n- розрядними словами, за виключенням зсуву і перетворення послідовного коду в паралельний і навпаки. Якщо в паралельному регістрі на вхід кожного розряду інформація поступає по двох каналах в парафазному коді, то такий регістр називають парафазним. Якщо в наявності тільки один канал (прямий або інверсний) поступлення інформації в кожному розряді регістр називають однофазним. Парафазні регістри будують як правило, на тригерах з роздільними входами, а однофазні – на тригерах з одним входом. Розрізняють також одноктактові і багатотактові регістри. В одноктактових регістрах запис інформації відбувається парафазним кодом без попереднього встановлення тригерів в “0”, причому самі тригери виконують по схемі з внутрішньою затримкою. В багатотактових регістрах, що реалізуються на основі тактових тригерів, мікрооперації виконуються при подачі двох або більше тактових сигналів.

Схема паралельного однофазного регістра, який виконує перші дві мікрооперації із приведеного вище списку, показана на рис.1.

На R-входи всіх тригерів подається сигнал встановлення нульового стану. Після подачі цього сигналу всі тригери регістра будуть знаходитися в нульовому стані. З появою на входних шинах ($D_0, \dots, D_n$) слова і сигналу синхронізації на C-входах відбувається запис. В тих розрядах, де $X_i=1$, відбудеться встановлення тригерів в одиничний стан. Там де $X_i=0$, стан тригерів не змінюється. Видача інформації з регістра може відбуватися в прямому, інверсному і парафазному кодах.

Зсувним регістром називають такий регістр, який виконує мікрооперацію зсуву, а також мікрооперації прийому і видачі слів. Якщо дві останні мікрооперації реалізуються тільки в крайніх розрядах регістра (1-м або n-м), то зсувний регістр називають також послідовним регістром. При зсуві слова в регістрі, розряди слова, що вийшли за границі розрядної сітки регістра втрачаються, а розряди, що звільнилися заповнюються нулями.

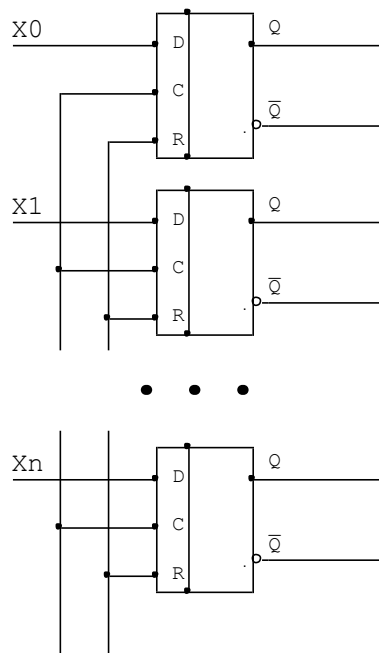


Рис.1.Схема паралельного регістра.

Регістр, котрий може здійснювати зсув слів як вліво, так і вправо, прийнято називати реверсивним. Зсувний регістр реалізує і перетворення послідовного коду в паралельний і навпаки.

При перетворенні послідовного коду в паралельний, запис слова в регістр відбувається синхронно із зсувом його вмістимого вліво, якщо послідовний код поступає зі старших розрядів, або вправо, якщо код поступає з молодших розрядів (рис.2.). Після заповнення всіх розрядів регістра слідує паралельна видача слова.

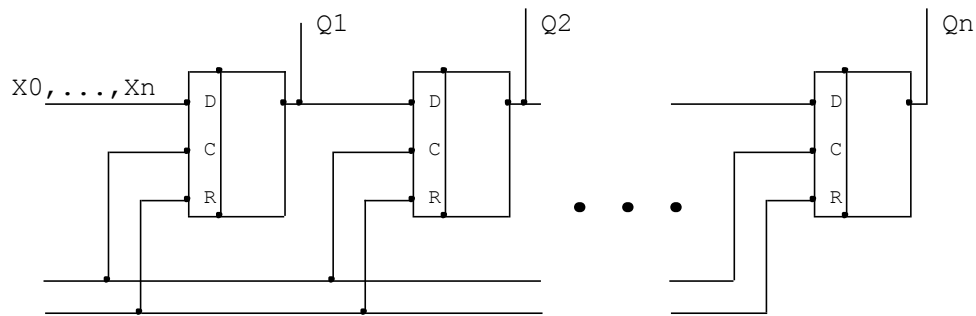


Рис.2.Схема перетворення послідовного коду в паралельний.

При перетворенні паралельного коду в послідовний інформація заноситься в регістр паралельним кодом, а потім слідує серія із n зсувних сигналів. Послідовний код зчитується з тригера T_1 (з молодших розрядів) при зсуві вправо або ж з тригера T_n (із старших розрядів) при зсуві вліво.

Схеми як зсувних, так і паралельних регістрів значно спрощуються при використанні синхронних тригерів, в яких елементи, що не входять в бістабільну схему, мають більше ніж два входи. В такому випадку всі функції реалізуються на самих тригерах.

1.2. Характеристики досліджуваного регістра.

Мікросхема 555ІР1(74LS95) - чотирьохрозрядний, зсувний регістр (рис.3).

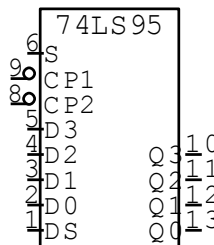


Рис.3. Умовне зображення мікросхеми 555ІР1(74LS95).

Він має послідовний вхід S даних, чотири паралельних входи $D0 - D3$, а також чотири виходи $Q0 - Q3$. Регістр має два тактових входи $CP1$ і $CP2$. Від будь-якого із п'яти входів даних код поступить на виходи синхронно з від'ємним перепадом, поданим на вибраний тактовий вхід. Вхід дозволу паралельного завантаження DS служить для вибору режиму роботи регістра. Якщо на вхід DS подано напругу високого рівня (лог."1"), дозволяється робота тактового входу $CP2$. В момент приходу на даний вхід від'ємного перепаду тактового імпульсу в регістр завантажуються дані від паралельних входів $D0 - D3$. Якщо на вхід DS - подано напругу низького рівня, дозволяється робота тактового входу $CP1$. Від'ємні фронти послідовності тактових імпульсів зсувають дані від послідовного входу S на вихід $Q0$, потім на $Q1$, $Q2$, $Q3$ тобто вправо. Зсув даних по регістру вліво отримуємо, якщо з'єднати вихід $Q3$ і вхід $D2$, $Q2$ і $D1$, $Q1$ і $D0$. Регістр потрібно перевести в паралельний режим, подавши на вхід DS напругу високого рівня.

Напругу на вході DS можна міняти тільки тоді, якщо на обох тактових входах низькі рівні.

2. ПОРЯДОК ВИКОНАННЯ РОБОТИ

Роботу виконують на САПР CIRCUIT MAKER, PSPICE, OrCAD або лабораторному макеті.

2.1. Дослідження схеми послідовного запису мікросхеми 555ІР1.

2.1.1. Вхід дозволу паралельного завантаження (DS) підключити до тумблера і подати низький потенціал (лог."0") для дозволу роботи регістра по тактовому вході CP1 (послідовне завантаження).

2.1.2. Послідовний вхід регістра S підключити до тумблера і подавати на вхід S низький потенціал (лог."0") або потенціал (лог."1") перемиканням тумблера.

2.1.3. Виходи підключити до індикаторних світлодіодів.

2.1.4. Для перевірки роботи регістра в режимі послідовного запису до входу регістра CP1 підключити генератор імпульсів.

2.1.5. Перевірити працездатність регістра по тактах, фіксуючи стани розрядів регістра по світлодіодах і заносючи їх у таблицю станів.

2.1.6. Зобразити часові діаграми роботи регістру в режимі послідовного запису.

2.2. Дослідження схеми паралельного запису мікросхеми 555ІР1.

2.2.1. Вхід дозволу паралельного завантаження DS підключити до одного із тумблерів і подати високий потенціал (лог."1") для дозволу роботи регістра по тактовому вході CP2 (паралельне завантаження).

2.2.2. Паралельні входи D0, ..., D3 регістра підключити до тумблерів і подати різні набори лог."0" і лог."1", перемикаючи їх.

2.2.3. Виходи Q0, Q1, Q2, Q3 регістра підключити до індикаторних світлодіодів.

2.2.4. Для перевірки роботи регістра в режимі паралельного запису до входу CP2 регістра підключити генератор прямокутних імпульсів.

2.2.5. Перевірити працездатність регістра по тактах, фіксуючи стани виходів регістра по індикаторних світлодіодах і заносючи їх у таблицю станів.

2.2.6. Зобразити часові діаграми роботи регістра в режимі паралельного запису.

2.3. Дослідження схеми циклічного зсуву вправо 555ІР1.

2.3.1. Повторити п.п. 2.1.1.- 2.1.3., вказані у розділі 2.1.

2.3.2. Вихід Q3 регістра підключити до входу S регістру.

2.3.2. Перевести регістр в режим послідовного запису подавши на вхід DS лог."0".

2.3.4. Для перевірки роботи регістра в режимі циклічного зсуву вправо до входу CP1 регістра підключити генератор прямокутних імпульсів.

2.3.5. Перевірити працездатність регістра в режимі циклічного зсуву вправо по тактах, фіксуючи стани виходів регістра по індикаторних світлодіодам і вносячи їх у таблицю станів.

2.3.6. Зобразити часові діаграми роботи регістра в режимі циклічного зсуву вправо.

2.4. Дослідження схеми циклічного зсуву вліво мікросхеми 555ИР1.

2.4.1. Повторити п.п. 2.2.1.-2.2.5. вказані в розділі 2.2.

2.4.2. З'єднати вихід Q3 і вхід D2, вихід Q2 і вхід D1 і вихід Q1 вхід D0.

2.4.3. Перевести регістр в режим паралельного запису подавши на вхід DS лог."1"

2.4.4. Для перевірки роботи регістра в режимі циклічного зсуву вліво до входу CP2 регістра підключити генератор прямокутних імпульсів.

2.4.5. Перевірити працездатність регістра в режимі циклічного зсуву вліво по тактах, фіксуючи стани виходів регістра по індикаторним світлодіодам і заносючи в таблицю станів.

2.4.6. Зобразити часові діаграми роботи регістра в режимі циклічного зсуву вліво.

3. ЗМІСТ ЗВІТУ

3.1. Мета роботи

3.2. Короткі відомості з теорії

3.3. Принципові схеми-дослідження регістра 555ИР1 в режимах:

- послідовного запису інформації;
- паралельного запису інформації;
- циклічного зсуву вправо;
- циклічного зсуву вліво.

3.4. Заповнити таблицю станів регістра.

3.5. Привести часові діаграми, які роз'яснюють роботу регістра.

4. КОНРОЛЬНІ ЗАПИТАННЯ

4.1. Назвіть мікрооперації які можуть виконувати регістри.

4.2. Назвіть типи регістрів.

4.3. Як відбувається перетворення паралельного коду в послідовний і навпки.

4.4. Назвіть базові елементи регістрів.

Тема. Арифметико-логічні пристрої

Мета роботи. Ознайомлення з принципами побудови та дослідження режимів роботи арифметико-логічних пристроїв.

1. ЗАГАЛЬНІ ПОЛОЖЕННЯ

1.1. Арифметико-логічні пристрої

Арифметико-логічні пристрої (АЛП) є основною складовою частиною процесорів і призначені для виконання операцій над машинними словами (числами, командами, кодами). В порівнянні з приладами, які працюють по жорсткій логіці, АЛП представляє собою пристрій більш високого класу. В мікропроцесорній техніці АЛП є базовими елементами. Вони використовуються разом з регістрами зсуву, оперативними запам'ятовуючими пристроями і іншими вузлами.

Набір операцій, що виконує АЛП, повинен володіти функціональною повнотою для того, щоб з його допомогою можна було б реалізувати будь-який обчислювальний алгоритм. Мінімальний набір операцій, який забезпечує функціональну повноту, включає всього чотири операції: перерахування, додавання з $+1$ або -1 , умовний перехід за співпаданням слів і безумовний перехід. При всій різноманітності операцій, які є в сучасних АЛП, до їх складу завжди входять основні арифметичні операції та найважливіші логічні операції. Набір операцій, що виконує АЛП, є важливою його характеристикою.

За способами виконання обчислень АЛП діляться на послідовні, паралельні і послідовно-паралельні. Паралельні АЛП використовуються в основному в швидкодіючих процесорах. Дані АЛП забезпечують високу швидкодію і потребують для своєї реалізації великих апаратних витрат. Значно менших апаратних витрат потребують для своєї реалізації послідовні і послідовно-паралельні АЛП. Дані АЛП використовуються в процесорах з жорсткими вимогами до габаритів і споживаної потужності.

За формою представлення чисел розрізняють АЛП з плаваючою комою, АЛП з фіксованою комою та АЛП, що працюють як з плаваючою, так і з фіксованою комою.

Сучасні АЛП будуються на базі великих інтегральних схем (ВІС). Одним з варіантів реалізації АЛП на ВІС є реалізація його основних функціональних вузлів у вигляді ВІС.

1.2. Характеристика досліджуваної мікросхеми

Мікросхема К155ІПЗ призначена для дій з двома чотирирозрядними двійковими словами A_3, A_2, A_1, A_0 і B_3, B_2, B_1, B_0 . Конкретний тип операції, яка

виконується мікросхемою, задається 5- розрядним кодом на входах $MS_3S_2S_1S_0$. АЛП здатний виконати $2^5=32$ операції: 16 логічних (І, І-НІ, АБО, АБО-НІ, виключаючи АБО і ін.) і арифметико- логічних (додавання, віднімання, подвоєння, порівняння чисел і ряд інших). Умовне позначення виводів мікросхеми показані на рис.1. Для отримання максимальної швидкодії при виконанні арифметичних операцій в мікросхемі К155ИПЗ є внутрішня схема прискореного переносу. Крім того , мікросхема має вхід прийому сигналу переносу С.

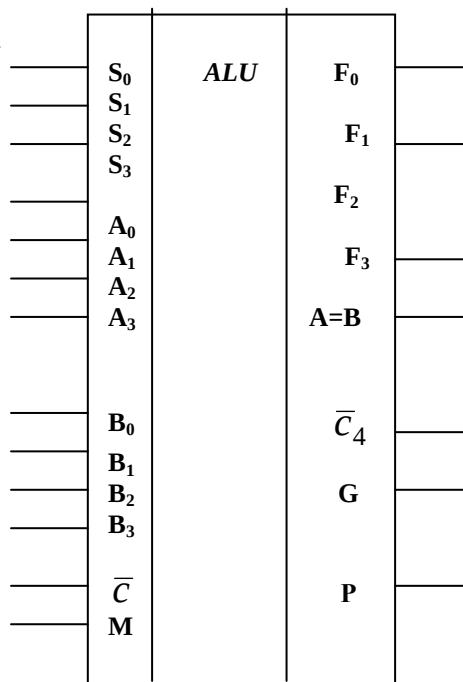


Рис.1. Умовне позначення мікросхеми К 155ИПЗ

Переключення мікросхеми на виконання або логічних, або арифметичних операцій здійснюється на вході М. Коли на вході М сигнал високого рівня ($M=1$), то в мікросхемі блокуються міжрозрядні переноси і в залежності від комбінації на входах S_3, S_2, S_1, S_0 може порозрядно виконуватись будь-яка з 16 логічних операцій. Якщо на вході М сигнал низького рівня ($M=0$), то мікросхема в залежності від комбінації сигналів на входах S_3, S_2, S_1, S_0 може виконувати з врахуванням міжрозрядних переносів будь-яку з 16 арифметичних операцій.

Результати виконання логічних і арифметичних операцій отримуються на виходах F_3, F_2, F_1, F_0 . На виході C_4 формується сигнал вихідного переносу (після чотирьох розрядів), який можна використовувати як вхідний для наступної мікросхеми. На виходах G і P формуються функції генерації та передачі переносу, які можуть використовуватись при побудові багаторозрядних швидкодіючих АЛП з використанням мікросхем прискореного переносу.

Слова А і В можуть бути представлені в додатній або від'ємній логіці. Рівні сигналів позначаються буквами (L-низький рівень напруги, Н-високий рівень напруги). Результати арифметичних операцій вираженів

доповнюючому коді. Числа в доповнюючому і в оберненому коді зв'язані простим співвідношенням $N_{\text{доп}} = N_{\text{оберн}} + 1$ або $N_{\text{оберн}} = N_{\text{доп}} - 1$. Тому в тих лінійках табл.1, де вказана операція «мінус1», результат арифметичних дій представлений в оберненому коді.

Старший розряд коду вибору операції (вхід М) визначає характер дії АЛП. Коли на цьому вході сигнал високого рівня, АЛП проводить логічні операції порозрядно над кожною парою біт слів А і В. Внутрішній переніс в цьому режимі відсутній.

Арифметичні операції виконуються, коли на вході М присутній низький потенціал. Вихідний результат формується з врахуванням стану входу переносу. Обидва сигнали переносу- вхідний С і вихідний C_4 інверсні відносно сигналів на входах А і В. Коли А і В – в додатній логіці, сигналу переносу відповідає низький рівень напруги на відповідному виході.

Якщо АЛП виконує логіко-арифметичну операцію, логічна функція реалізовується порозрядно, а арифметична з переносом. Наприклад, коду $MS_3S_2S_1S_0 = LNNLH$ відповідає операція АВ плюс А (третя знизу лінійка табл.1, від'ємна логіка), де АВ – логічне множення двох слів. Якщо $A=1010$ і $B=0111$, то перша операція дає $AB=0010$ і, отже, 0010 плюс $1010=1100$.

Вихід $A=B$ є виходом компаратора, що здійснює порівняння слів А і В. При цьому мікросхема працює в режимі віднімання $A-B$ ($S_3=0, S_2=1, S_1=1, S_0=0$). Якщо $A=B$, то в усіх розрядах вихідного слова будуть нулі, що забезпечить формування на виході $A=B$ лог. 1.

Вихід компаратора ($A=B$) виконано за схемою з відкритим колектором, і до джерела живлення його потрібно підключити через зовнішній резистор 1 кОм. Паралельне з'єднання виходів $A=B$ кількох мікросхем К155ІПЗ реалізує логічну функцію монтажного «АБО». Це дозволяє виконувати порівняння багаторозрядних слів, які обробляються кількома мікросхемами.

Повний перелік операцій, що виконуються в мікросхемі К155ІПЗ наведено в табл.1.

Таблиця 1- Функціональна залежність виходів мікросхеми К155ІПЗ від станів входів

S_3	S_2	S_1	S_0	Логічна ф-я ($M=N$), ВЛ	Арифм.дія ($M=L, C=L$), ВЛ	Логічна ф-я ($M=N$), ДЛ	Арифм.дія ($M=L, C=N$), ВЛ
L	L	L	L	$\overline{A}$	А мінус 1	$\overline{A}$	А
L	L	L	H	$\overline{AB}$	AB мінус 1	$\overline{A + B}$	A+B
L	L	H	L	$\overline{A + B}$	$\overline{AB}$ мінус 1	$\overline{A} B$	A+ $\overline{B}$
L	L	H	H	Лог. 1	мінус 1	Лог.0	мінус 1
L	H	L	L	$\overline{A + B}$	А плюс ($A + \overline{B}$)	$\overline{A} B$	А плюс $\overline{AB}$
L	H	L	H	$\overline{B}$	AB плюс ($A + \overline{B}$)	$\overline{B}$	(A+B)плюс $\overline{AB}$
L	H	H	L	$\overline{A \oplus B}$	А мінус В мінус 1	$A \oplus B$	А мінус В мінус 1
L	H	H	H	$A + \overline{B}$	$A + \overline{B}$	$\overline{AB}$	$\overline{AB}$ мінус 1

Н	Л	Л	Л	$\overline{A}B$	A плюс (A+B)	$\overline{A} + B$	A плюс AB
Н	Л	Л	Н	$A \oplus B$	A плюс B	$\overline{A} \oplus \overline{B}$	A плюс B
Н	Л	Н	Л	B	A $\overline{B}$ плюс (A+B)	B	(A+ $\overline{B}$) плюс AB
Н	Л	Н	Н	A+B	A+B	AB	AB Мінус 1
Н	Н	Л	Л	Лог. 0	(A плюс A)*	Лог. 1	A плюс A*
Н	Н	Л	Н	$A\overline{B}$	AB плюс A	A+ $\overline{B}$	(A+B) плюс A
Н	Н	Н	Л	AB	A $\overline{B}$ плюс A	A+ $\overline{B}$	(A+ $\overline{B}$) плюс A
Н	Н	Н	Н	A	A	A	A мінус 1

Примітка. 1.Л-низький рівень напруги;Н-високий рівень напруги.

2. Високий рівень напруги на виході A=B має місце при рівності слів A і B.

При побудові багаторозрядних АЛП мікросхеми К155ІПЗ можуть з'єднуватись послідовно, тобто вихід С₄ молодшої тетради з'єднується з входом С наступної тетради і т.д. В цьому випадку на швидкодію виконання арифметичних операцій значно впливає час розповсюдження сигналу переносу, який може проходити від молодшого розряду до старшого розряду результату (через всі послідовно з'єднані мікросхеми). Таким чином час додавання (віднімання) багаторозрядних слів в таких АЛП залежить від часу формування переносу мікросхемою і розрядності слів, що обробляються (кількістю послідовно з'єднаних мікросхем К155ІПЗ).

Для підвищення швидкодії багаторозрядних АЛП разом з мікросхемами К155ІПЗ використовуються мікросхеми 155ІП4, що є схемами прискореного міжгрупового переносу. В цих мікросхемах переноси формуються за допомогою функції генерації переносу G та функції передачі переносу P. Одна мікросхема 155ІП4 утворює прискорені переноси для чотирьох мікросхем К155ІПЗ.

2.ПОРЯДОК ВИКОНАННЯ РОБОТИ

Роботу виконують на САПР CIRCUIT MAKER, PSPICE, OrCAD або лабораторному макеті.

2.1.Ознайомитись з принципами побудови АЛП, структурою, умовним позначенням і нумерацією виводів мікросхеми К155ІПЗ.

2.2. Отримати від керівника варіант виконання роботи (табл.2).

2.3.Нарисувати схему комутації мікросхеми К155ІПЗ і К155ІЕ5 в стенді для виконання 1-го,2-го, 3-го дослідів лабораторної роботи.

2.4.Скласти для кожного із 3-ох дослідів таблиці відповідності значень на входах мікросхеми К155ІПЗ значенням на виході.

2.5. Зібрати схему для проведення першого дослідів.

2.6. Задаючи А (В) в межах від 0 до 15 в режимі одиночного запуску лічильника (від кнопки) порівняти значення, що отримані на виходах мікросхеми К155 ІПЗ з значеннями відповідної таблиці.

2.6. Підключити вхід лічильника до генератора тактових імпульсів та замалювати осцилограми для виходів F_3, F_2, F_1, F_0 .

2.7. Зібрати схему для проведення другого дослідів.

2.8. Виконати п.2.6, 2.7.

2.9. Зібрати схему для проведення третього дослідів.

2.10. Виконати п.2.6, 2.

3.3 МІСТ ЗВІТУ

3.1. Мета роботи

3.2. Короткий опис і умовне позначення мікросхеми К155ІПЗ.

3.3. Схеми комутації мікросхем К155ІПЗ і 155ІЕ5 для кожного із трьох дослідів.

2.4. Таблиці відповідності значень на входах мікросхеми К155ІПЗ значенням на виходах для кожного із трьох дослідів.

3.5. Часові діаграми для кожного із трьох дослідів.

3.6. Висновки.

Таблиця 2- Завдання для виконання лабораторної роботи

№ варіанту	№ дослідів	Значення А	Значення В	Значення S	Значення С	Режим Роботи	Активні Логічні рівні
1	1	A=0...15	1011	0100	-	M=1	Н
	2	1010	B=0...15	0110	0	M=0	В
	3	1101	1010	S=0...15	0	M=0	В
2	1	A=0...15	1100	0110	-	M=1	Н
	2	1100	B=0...15	1101	1	M=0	В
	3	1000	1111	S=0...15	0	M=0	В
3	1	A=0...15	1110	1110	-	M=1	Н
	2	1110	B=0...15	1110	0	M=0	В
	3	0010	1001	S=0...15	1	M=0	В
4	1	0101	B=0...15	0001	-	M=1	Н
	2	A=0...15	0110	1000	0	M=0	В
	3	0001	1110	S=0...15	0	M=0	В
5	1	0111	B=0...15	1010	-	M=1	Н
	2	A=0...15	1001	1001	1	M=0	В
	2	1101	0111	S=0...15	0	M=0	В
6	1	0101	B=0...15	1010	-	M=1	Н
	2	A=0...15	1110	0110	0	M=0	В
	3	1001	0111	S=0...15	0	M=0	В
7	1	1100	B=0...15	1011	-	M=1	Н
	2	A=0...15	1001	1000	0	M=0	В
	3	1100	0011	S=0...15	0	M=0	В

4. КОНТРОЛЬНІ ЗАПИТАННЯ

4.1. Який мінімальний набір операцій забезпечує функціональну повноту АЛП?

4.2. Які за способами виконання обчислень бувають АЛП?

4.3. Як нарощується розрядність АЛП побудованих на мікросхемах К155ИПЗ?

4.4. Як за допомогою мікросхем К155ИПЗ виконати порівняння багаторозрядних чисел?